DIGITAL ELECTRONICS

DR. MOHAMMAD ABDEL-MAJEED

DONE BY
REEM MUIN

POWERUNIT

Scanned with CamScanner

THE UNIVERSITY OF JORDAN

Lecture1
Design Flow

Dr.Mohammad Abdel-Majeed
Assistant Professor
University of Jordan

THE UNIVERSITY OF JORDAN

Coping with Complexity

سواء design لـ code أو chip لازم يكون في عندك خطوات.

- How to design System-on-Chip?
  - Many millions (even billions!) of transistors
  - Tens to hundreds of engineers
- Structured Design
- Design Partitioning

Scanned with CamScanner

Structured Design

أول اشي لازم أعمله إني آخذ
الـ design وأقسمه لـ blocks

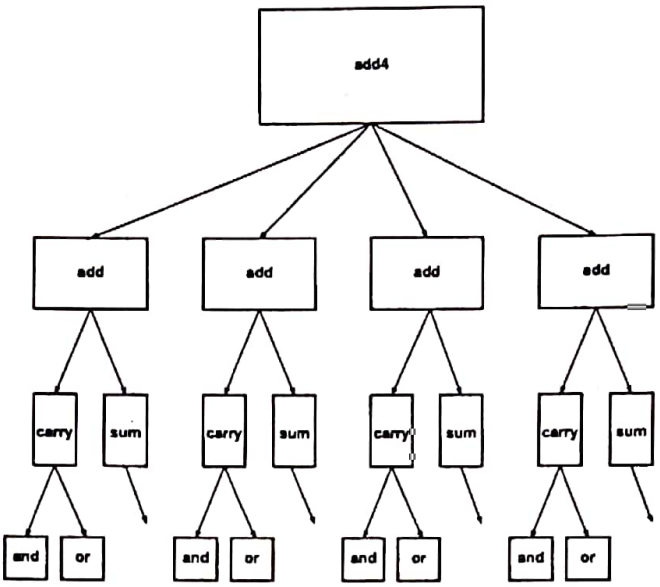
- _____: Divide and Conquer
  - Recursively system into modules
- _____:
  - Reuse modules wherever possible
  - Ex: Standard cell library
- _____: well-formed interfaces
  - Allows modules to be treated as black boxes
- _____:
  - Physical and temporal

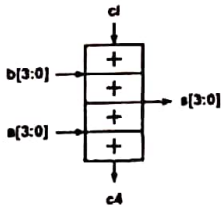
Structural Decomposition of 4-b Adder

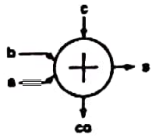
Scanned with CamScanner

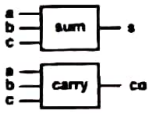
Structural Decomposition of 4-b Adder

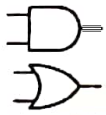
- Easier to handle











*كنا نستفيد من جواب ال Sum في ال Carry مرات.

Structural Hierarchy of 16-b Adder

Scanned with CamScanner

Structural Hierarchy of 16-b Adder

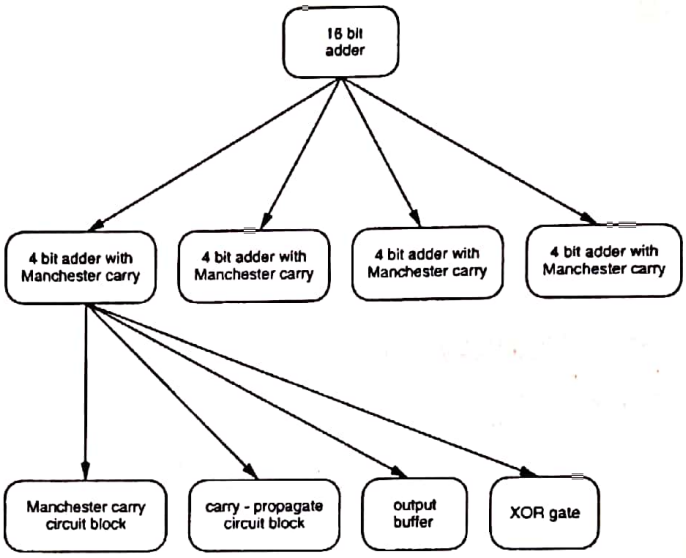
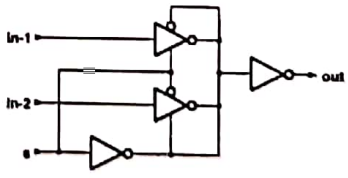


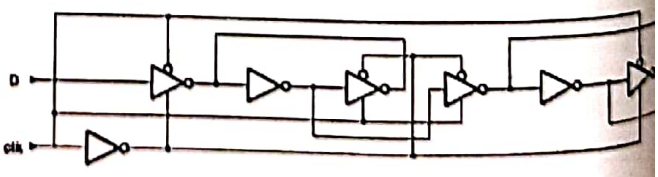
Figure 1.25 Structural hierarchy of the 16-bit adder circuit.

Concepts of Regularity

- Regularity
  - decomposition into similar blocks
  - Example: parallel multiplication array



(a)



(b)

انت بتقرشوا الأحسن .

Figure 1.26 Regular design of (a) 2-1 MUX and (b) DFF, using inverters and tri-state buffers as basic building blocks.

Scanned with CamScanner

THE UNIVERSITY OF JORDAN

Concepts of Modularity and Locality

- Modularity
  - Functional blocks have well-defined functions and interfaces
  - Each block can be designed independently and combined easily
  - Design process parallelized
- Locality
  - Ensures connections are mostly between neighboring modules
  - Delay minimized by avoiding long interconnect

THE UNIVERSITY OF JORDAN

كيف نبدأ عملية الـ design :

Design Partitioning

- **Architecture**: User's perspective, what does it do?
  - Instruction set, registers
  - MIPS, x86, Alpha, PIC, ARM, ...
- **Microarchitecture**
  - Single cycle, multcycle, pipelined, superscalar?
- **Logic**: how are functional blocks constructed
  - Ripple carry, carry lookahead, carry select adders
- **Circuit**: how are transistors used →
  - Complementary CMOS, pass transistors, domino
- **Physical**: chip layout
  - Datapaths, memories, random logic →

* كل ما بعت اللي تحته بس يكون عامل Simulation ومتأكد انه كل شي تمام.

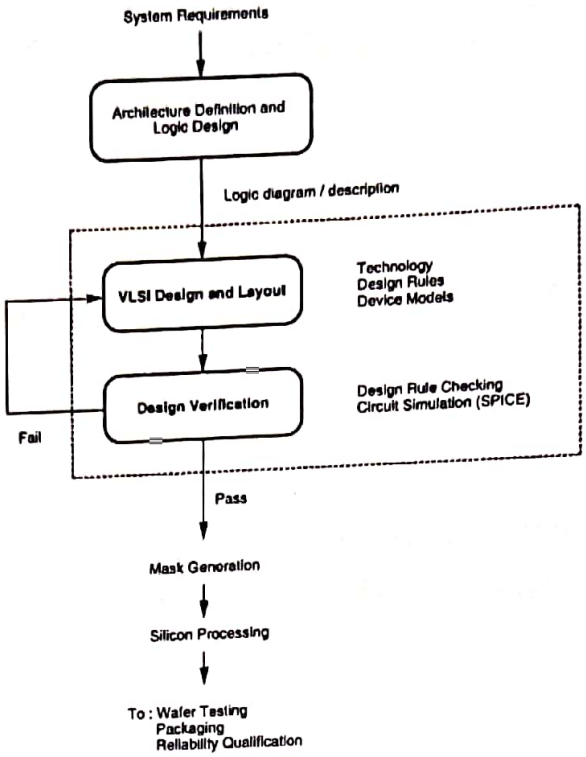
* لازم يكون عندك معرفة سابقة الـ Power قديه بتكون وكذلك الـ delay وغيرها، وتكون النتائج قريبة المتوقع ليكون كل شي تمام.

الشغل اللي جنسويه بهاي المادة.

آخر شي جنعمله بالمادة.

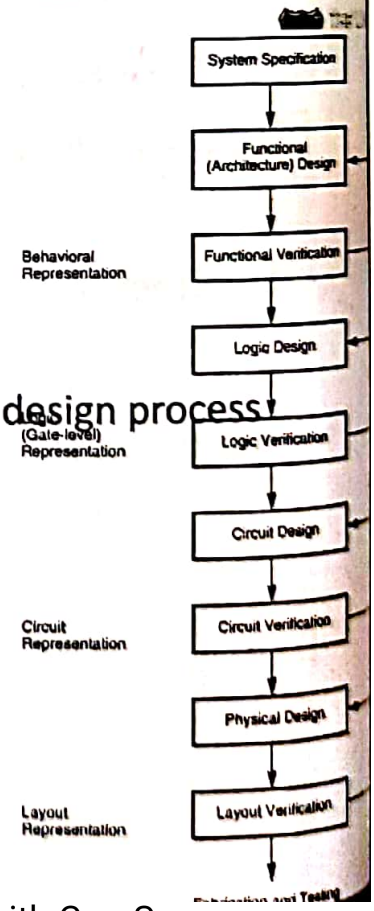
Scanned with CamScanner

Flow of Circuit



More Simplified VLSI Design Flow

- Simplified design flow
  - Verification plays an important role in every step
  - Top-down and bottom-up approaches combined in the design process



Scanned with CamScanner

Example 1.1 (1)

و هاي الأشياء حنحكي كلها بالتفصيل بعدين.

- Problem: Design of 1-bit full-adder circuit using 45 nm, twin-well CMOS technology
  - Specifications:
    - Propagation delay of sum and carry_out < 220 ps
    - Transition delay of sum and carry_out < 220 ps
    - Circuit area < 10 µm²
    - Dynamic power dissipation (@V_{DD} = 1.1V and f_{max} = 500MHz) < 20 µW

* أول اشي بنعمله هو الـ truth table بعدين بنطلع المعادلة باستخدام K-maps

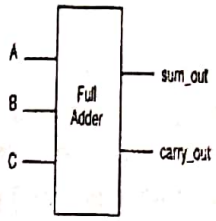
Example 1.1 (2)

- Boolean Description
  - Boolean Functions:
    - A , B = Two inputs
    - C = Carry in
    - sum_out =ABC +AB'C' + A'B'C + A'C'B
    - carry_out = AB +AC+BC
    - Alternatively, sum_out = ABC+(A+B+C)(carry_out)'

Scanned with CamScanner

Example 1.1 (2)

- Boolean Description
  - Boolean Functions:
    - A , B = Two inputs
    - C = Carry in
    - sum_out =ABC +AB'C' + A'B'C + A'C'B
    - carry_out = AB +AC+BC
    - Alternatively, sum_out = ABC+(A+B+C)(carry_out)'



A	B	C	sum_out	car
0	0	0	0	
0	0	1	1	
0	1	0	1	
0	1	1	0	
1	0	0	1	
1	0	1	0	
1	1	0	0	
1	1	1	1	

Example 1.1 (3)

ممكن منا هون أقدر أوزن الـ delay + المنوقعة والـ Power.

- Logi

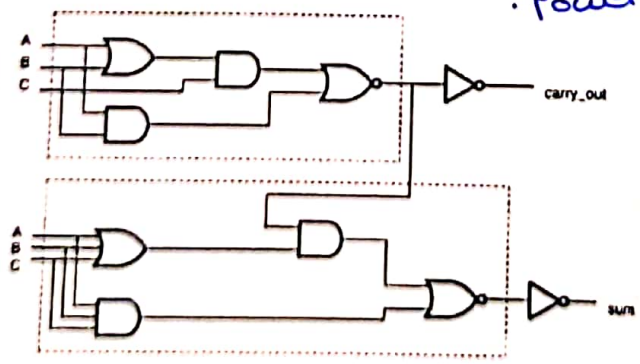


Figure 1.7 Gate-level schematic of the one-bit full-adder circuit

Scanned with CamScanner

Example 1.1 (4)

- Transistor-level circuit
  - AND = Series-connected nMOS
  - OR = Parallel- connected nMOS
  - pMOS network = dual of nMOS network

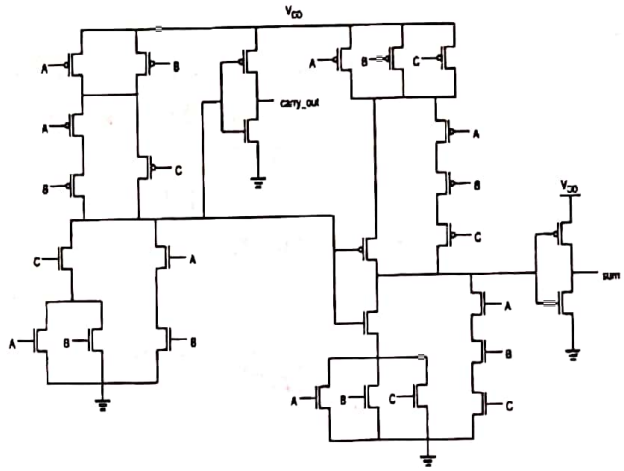


Figure 1.8 Transistor-level schematic of the one-bit full-adder circuit.

Example 1.1 (6)

- Initial sizes
  - nMOS, *(W/L)* = 90nm/50nm
  - pMOS, *(W/L)* = 90nm/50nm
  - May need to be changed depending on performance

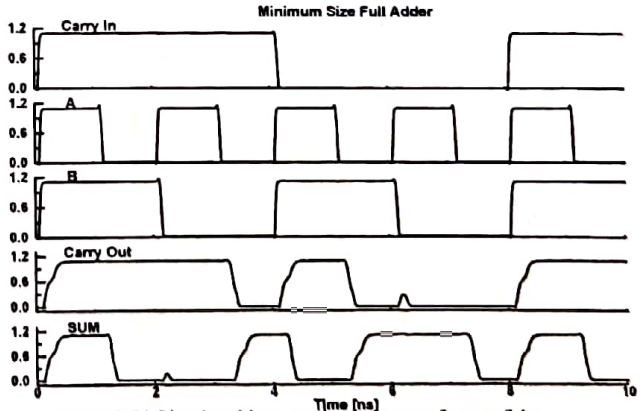


Figure 1.10. Simulated input and output waveforms of the full-adder circuit.

Scanned with CamScanner

Example 1.1 (7)

- Timing constraint violation
  - sum_out and carry_out violate timing constraints
  - Worst-case delay 250 ps (> 220 ps)
  - Modification necessary

بحيير لازم يعدل ليوصل المطلوب.

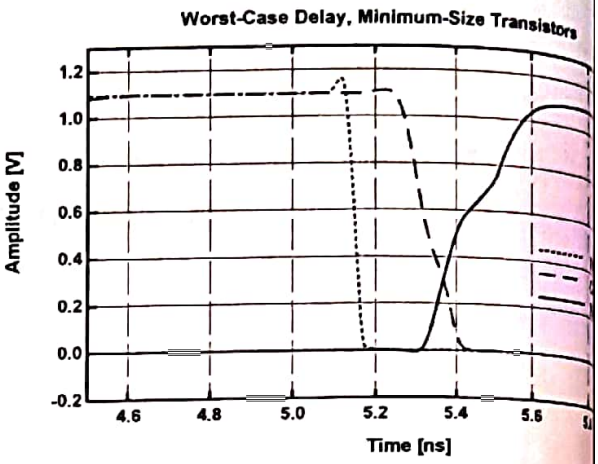


Figure 1.11. Simulated output waveforms of the full a with minimum transistor dimensions, showing the sign delay during one of the worst-case transitions.

Example 1.1 (8)

- Resizing transistors to improve design
  - is an iterative process
  - To meet timing specifications (W/L) of (n/p)MOS is increased

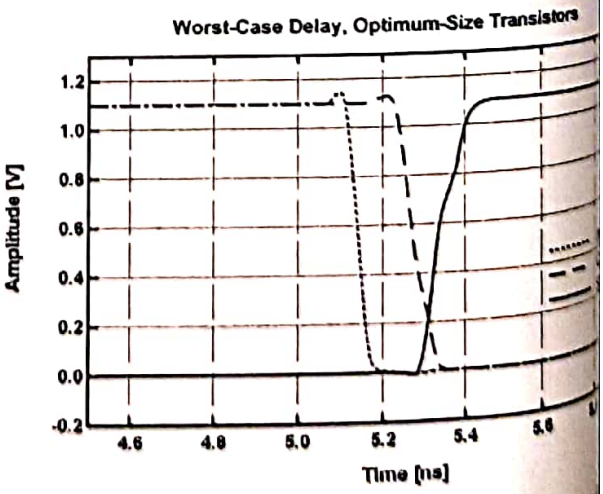


Figure 1.13. Simulated output waveforms of the full-a circuit with optimized transistor dimensions, showing signal propagation delay during the same worst-case

Scanned with CamScanner

Example 1.1 (8)

- Layout Design
  - Design rule checker (DRC) tool used to check violation of design rules
  - Parasitic capacitances and resistances extracted
- Design Verification
  - Extracted parasitics used to create SPICE input file
  - Simulation is run
- Simulation Results
  - Not all specifications met

*إذا الأسلاك مابدي يتقاطعوا لازم أبعدهم عن بعض.

Example 1.1 (9)

- New and compact layout for 1-bit full adder (optimized)
- Now, all the design specifications are satisfied
  - Propagation and transition (rise/fall) delay within 220 ps
  - Dynamic power dissipation = 4.9 μW (<20μW)
  - Area = (2.04 μm x 3.01 μm) = 6.14 μm^2 (<10 μm^2)

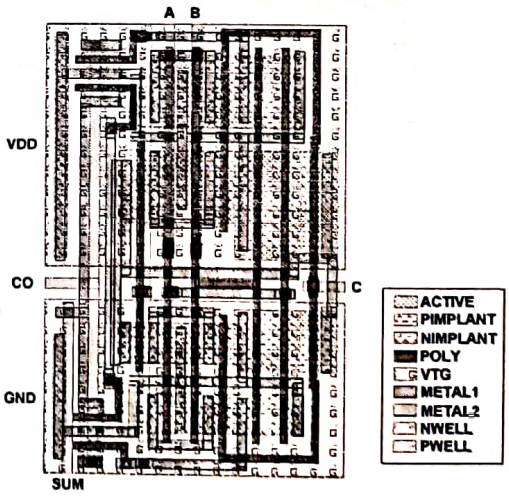


Figure 1.12. Layout of the full-adder circuit, with optimized transistor dimensions.

Scanned with CamScanner

8-bit Binary Adder (1)

- Obtained by cascading 8 full adders – called "carry ripple adder"
  - Speed limited by the delay of carry bits

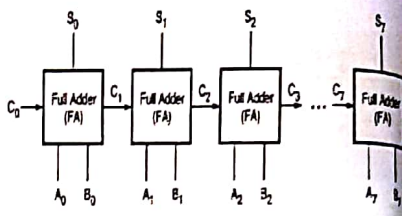
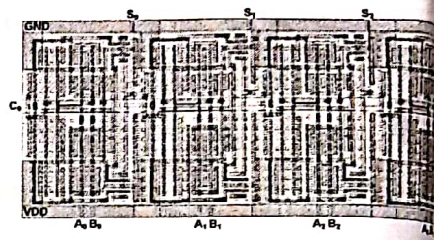


Figure 1.15 Block diagram of a carry ripple adder chain consisting of



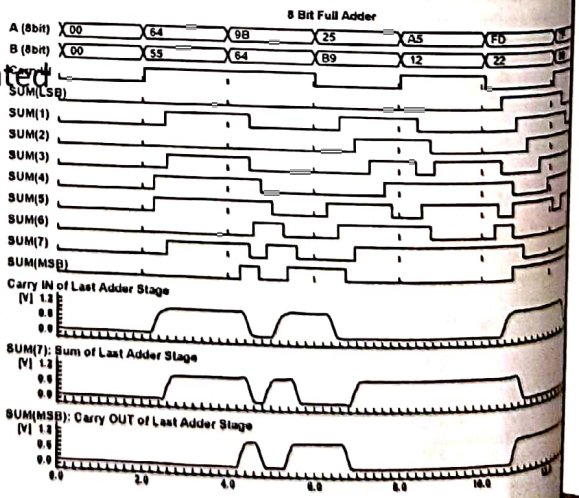
عدد الحالات
2^{65} = 32+32+1 = 32-bit adder
* لو بدي أعدد

8-bit Binary Adder (2)

2^9 = 8 + 1 (carry) عدد الاحتمالات الممكنة

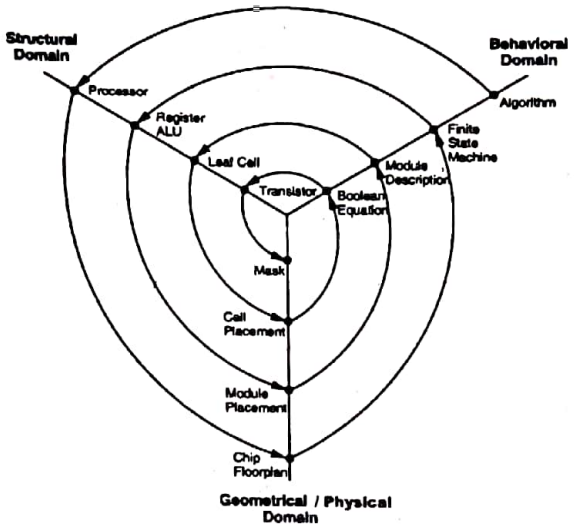
- Simulation results
  - Sum bit of last adder stage is generated last
  - Overall delay as long as 0.7 ns

* input الكل test حابين *



Scanned with CamScanner

Y-Chart



الفرق بين logic lab و embedded lab : أنا ما بعمل برنامج بروح على logic lab * ؛ embedded lab
يعني ببني الـhardware ، بنطيه الـ design وهو بشبك الأسلاك Processor بعمل Program memory الـ
. gates الـ

* embedded lab : بكتب برنامج ونحطه Program memory الـ على machine code لـ وبحدين بنحمله
و بعدين بنفترض الـprocessor ، الـhardware ثابت بكون .

THE UNIVERSITY OF JORDAN

VLSI Design Styles

عشان أقدر أربط الـ gates والـ design زي ما بدي

logic block بقدر أعمل منهم أي NAND و NOR *
. (universal gates)

- Field Programmable Gate Array (FPGA)
  - Consists of
    - I/O buffers
    - Array of configurable logic blocks (CLBs) → بتتكون من configurable logic blocks
    - Programmable interconnect structure

    ↳ بقدر أبرمجها زي ما بدي
    جواهم lookup tables
  - Contains thousands of logic gates
  - Routing between CLBs and I/O blocks done by setting the configurable switch matrices
- Proper choice of design style is essential to delivering the product in time with low cost
  - Full-custom
  - Semi-custom

  ] → طريقتين للحل → بيه وقت طويل

  ↳ FPGA بنزل الـ design على الـ → بنزل بسرعة

مثل Intel ←

Scanned with CamScanner

Digital logic.

18/10/2021

Slide 26 :

- الفرق بين الـ Full-custom والـ Semi-custom :

1- الـ Semi-custom أسرع (تحتاج لوقت أطول fast time to market)

2- الـ Semi-custom (FPGA) فيها hardware زيادة يمكن ما أكون بحتاجه.

3- الـ Full-custom بحسن الـ area وبقلل الـ power والـ delay.

- مميزات الـ FPGA :

1- لو الديزاين كبير رح نلجأ للأنسب للـ design لإنه الـ FPGA بتكون ملزم بعدد gate معين ولو تصميمك كان أكبر رح تحتاج اشي أكبر وأغلى يمكن ما يناسبك.

2- الـ Full-custom بحتاج فيها لمصروف وموظفين كتير.

Scanned with CamScanner

Field Programmable Gate Array (1)

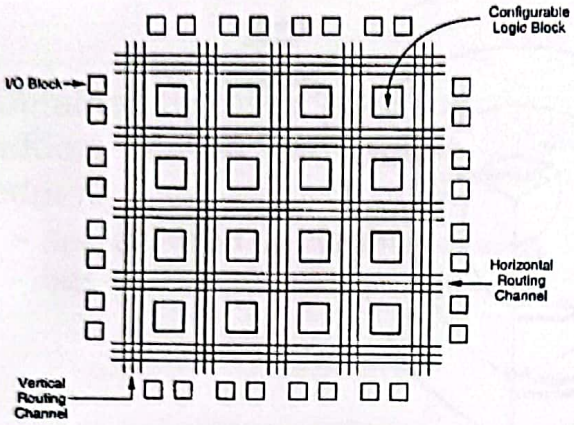


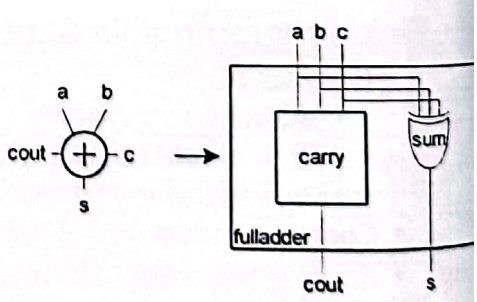
Figure 1.27 General architecture of Xilinx FPGAs.

* configurable logic block *

https://www.youtube.com/watch?v=gUsHwi4M4xE

Verilog Example

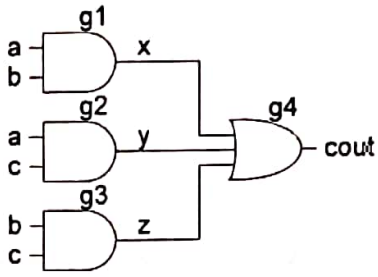
```
module fulladder(input  a, b, c,
                 output s, cout);

  sum       s1(a, b, c, s);
  carry     c1(a, b, c, cout);
endmodule

module carry(input  a, b, c,
             output cout)

  assign cout = (a&b) | (a&c) | (b&c);
endmodule
```



Scanned with CamScanner

Gate-level Netlist(Synthesis)

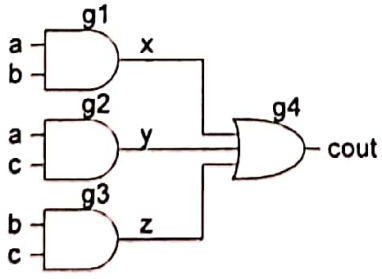
```
module carry(input  a, b, c,
             output cout)

    wire   x, y, z;

    and g1(x, a, b);
    and g2(y, a, c);
    and g3(z, b, c);
    or  g4(cout, x, y, z);
endmodule
```

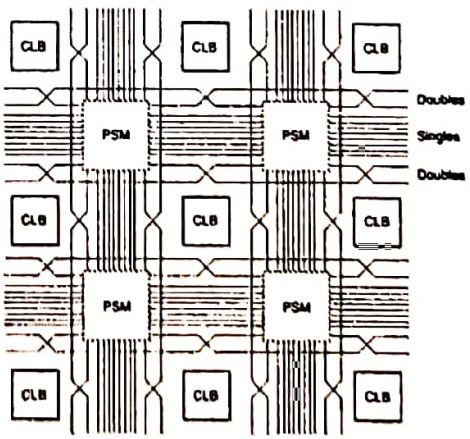


Place and route

3input gates

(8 cells) خلايا 8 بتكون lookup table الـ ←





Scanned with CamScanner

Circuit Design

- How should logic be implemented?
  - NANDs and NORs vs. ANDs and ORs?
  - Fan-in and fan-out?
  - How wide should transistors be?
- These choices affect speed, area, power
- Logic synthesis makes these choices for you
  - Good enough for many applications
  - Hand-crafted circuits are still better

← أي اشي بسويه بإيدي أكيد أحسن دايمًا.

(Full and semi-custom) ← الحل الأوسط بينهم

Standard-Cell Based Design (1)

بعمل بإيدي الأساسيات بس مشاكل اشي.

- One of the most prevalent full custom design styles
  - Commonly used logic cells are optimized and developed
  - Several versions are stored in a standard library cell
- Each cell is characterized by
  - Delay time vs. load capacitance
  - Circuit simulation model
  - Timing simulation model
  - Fault simulation model
  - Cell data for place-and-route
  - Mask data

خبري تكون عاملوم.

Scanned with CamScanner

يعمك الارتفاع يكون نفسه بس العرض عادي يكون م مختلف.

Standard-Cell Based Design (2

- Each cell layout is designed with fixed height
  - Cells can be placed side-by-side
  - Routing of intercell connection is easy

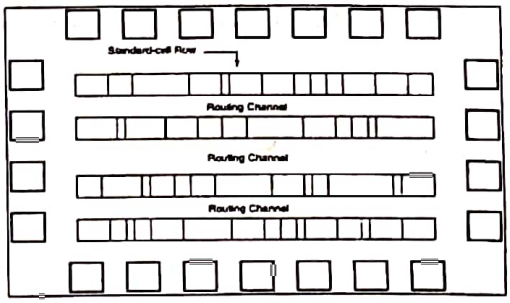


Figure 1.37 A simplified floorplan of standard-cells based design.

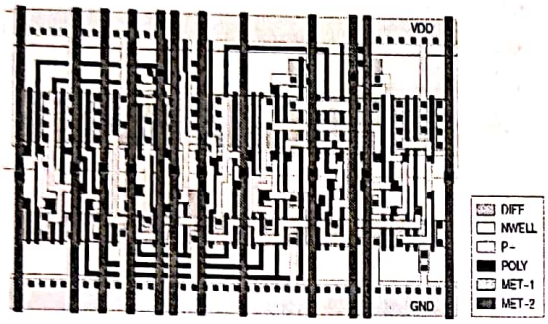


Figure 1.36 A standard cell layout example.

- Floorplan for a standard-cell based design contains
  - I/O frame, cell rows
  - Channels between rows
    - channels may be reduced or removed if over-the-cell routing is done

Standard-Cell Based Design (3)

- Common bus may be incorporated if cells must share same input and/or output signals

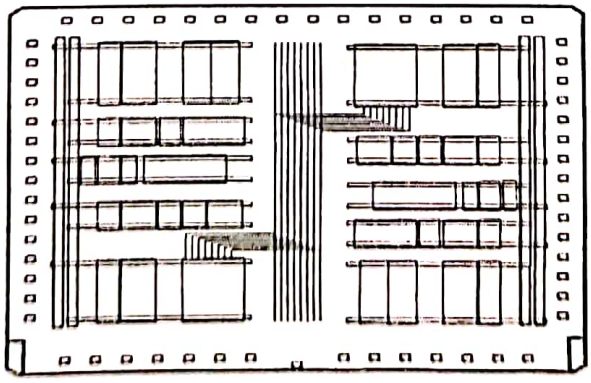


Figure 1.38 Simplified floorplan of a standard cells based design, consisting of two separate blocks and a common signal bus.

Scanned with CamScanner

Structured ASIC (_____)

مقارنة بين ال FPGA والـ Standard Cell

FPGA	Vs.	Standard Cell ASIC
✓ Easy to Design		Difficult to Design
✓ Short Development Time		Long Development Time
✓ Low NRE Costs → التكلفة ثابتة		High NRE Costs
Design Size Limited		✓ Support Large Designs ← بقدر أعمل design أفضل
Design Complexity Limited		✓ Support Complex Designs
Performance Limited		✓ High Performance
High Power Consumption		✓ Low Power Consumption
High Per-Unit Cost		✓ Low Per-Unit Cost (at high volume)

Structured ASIC's Combine the Best of Both Worlds

- Generally speaking
  - 100:33:1 ratio between the number of gates in a given area for _____, _____, _____
  - ___:___:___ ratio for performance (based on clock frequency)
  - ___:___:___ ratio for power

Scanned with CamScanner

Full Custom Design (1)

لشركة بادية جديد ما بنبط هنا الـ design.

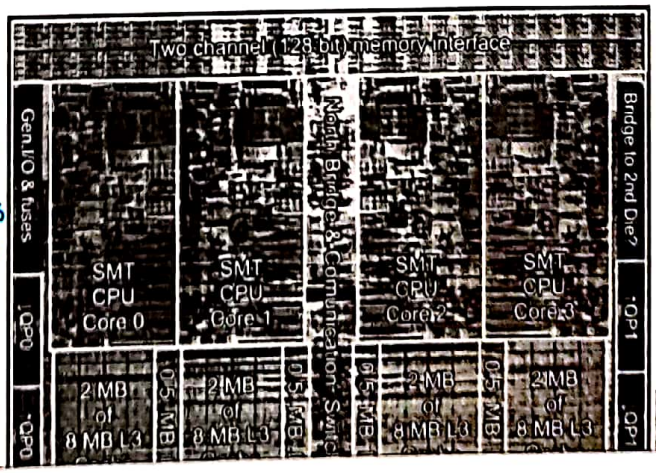
- Design is done from scratch → يبني كل اشي من البداية
  - Geometry, orientation and placement of every transistor done by designer
  - Development cost and time very high
    - "Design Reuse" becoming popular to reduce cost and time
  - Example of a true full custom design – design of memory cell (static or dynamic)

* بالـ Full-custom كل اشي بكون بإيدي ما بكون مقيد باشي بس الفكرة بالوقت الطويل اللي بنحتاجه.

Full Custom Design (2)

- Full custom design rarely used due to high labor cost
  - Rather combination of different design styles are used to develop a chip

* مش دايما كل الـ cores نفس الحجم ونفس بعض، اشي منيح يكون عندك تنوع بأحجام الـ cores ويكون في small cores للأعمال البسيطة و large cores للأعمال المعقدة.



Scanned with CamScanner

* بعد الـ design والـ layout هعمل لازم testing

Design Quality

- Important metrics for measuring the quality of design
  - Testability
  - Yield and manufacturability
  - Reliability
  - Technology updateability

Testability

مهم جدًا ولازم تجرب كتير لتتأكد.

- Fabricated chips should be fully testable which requires
  - Generation of good test vectors
  - Availability of reliable test fixture at speed
  - Design of testable chip

Scanned with CamScanner

* لما نعمل test أكيد مش كل الـ chips رح يطلعوا زابطين إلا ما تلاقي خلل ما، ولكن يكون بسيط مش خلل كبير لأنه وقتها بكون في غلط.

THE UNIVERSITY OF JORDAN

Yield and Manufacturability

- Yield may be defined in two ways
  - (1) No. of good tested chips divided by the total no. of tested chips
  - (2) No. of good tested chips divided by the total no. of chip sites available at the start of wafer processing – strictest definition
- Chip yield can be further divided into
  - Functional yield – obtained by testing the functionality of the chip at a speed lower than required
    - Weeds out problems of short, open and leakage
    - Can detect logic and circuit design faults
  - Parametric yield – performed at the required speed on chips that passed functional test
    - Delay testing done in this phase

41

- في نوعين من الـ Testing : 1- Functional yield يعني ببساطة إنه هل بجمع بضرب بطرح صح ويساوي الشغل صح وهكذا، إنه يعني الـ chip شغالة زي ما بدي.

2- Parametric yield : هو اللي بعدنا، إنها تكون شغالة بالـ Parameters اللي أنا عاملها وضمن الـ Power اللي أنا محطيها إياها وهكذا.

THE UNIVERSITY OF JORDAN

Reliability

لازم الـ design يكون معتمد عليه.

- Reliability depends on design and process conditions
  - Major causes of chip reliability problem are
    - Electrostatic discharge (ESD) and electrical overstress (EOS) and electromigration
    - Latch-up in CMOS I/O Internal circuits
    - Hot carrier induced aging
    - Oxide breakdown and single event upset
    - Power and ground bouncing
    - On-chip noise and crosstalk
- Measures taken to ensure reliability
  - Metal wire widened to avoid over-etching
  - Rise time of signals applied to nMOS gate reduced to avoid aging

Scanned with CamScanner

Technology Updateability

- Process technology advancing at a high pace
  - Design styles should be chosen such that chips are technology updateable
    - "Silicon Compilation" – where physical layout is done automatically – is used

References

Scanned with CamScanner

Backup

MIPS Architecture

- Example: subset of MIPS processor architecture
  - Drawn from Patterson & Hennessy
- MIPS is a 32-bit architecture with 32 registers
  - Consider 8-bit subset using 8-bit datapath
  - Only implement 8 registers ($0 - $7)
  - $0 hardwired to 00000000
  - 8-bit program counter
- You'll build this processor in the labs
  - Illustrate the key concepts in VLSI design

Scanned with CamScanner

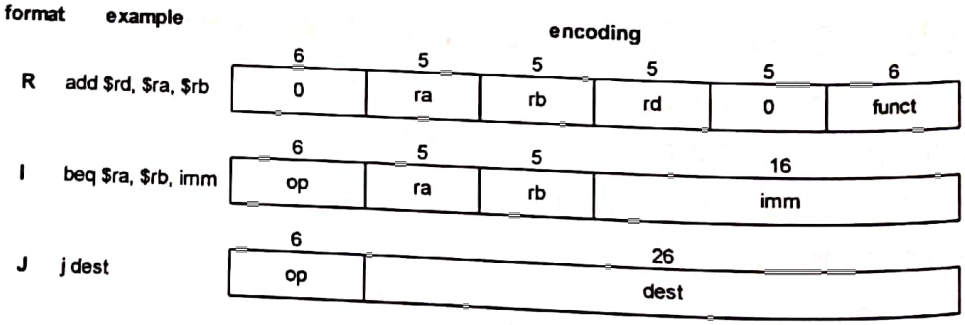
Instruction Set

Table 1.7 MIPS instruction set (subset supported)

Instruction	Function		Encoding	op	funct
`add $1, $2, $3`	addition:	$1 → $2 + $3	R	000000	100000
`sub $1, $2, $3`	subtraction:	$1 → $2 – $3	R	000000	100010
`and $1, $2, $3`	bitwise and:	$1 → $2 and $3	R	000000	100100
`or $1, $2, $3`	bitwise or:	$1 → $2 or $3	R	000000	100101
`slt $1, $2, $3`	set less than:	$1 → 1 if $2 < $3 $1 → 0 otherwise	R	000000	101010
`addi $1, $2,`	add immediate:	$1→ $2 + imm	I	001000	n/a
`beq $1, $2, imm`	branch if equal:	PC → PC + imm[a]	I	000100	n/a
`j destination`	jump:	PC_destination[a]	J	000010	n/a
`lb $1, imm($2)`	load byte:	$1 → mem[$2 + imm]	I	100000	n/a
`sb $1, imm($2)`	store byte:	mem[$2 + imm] → $1	I	110000	n/a

Instruction Encoding

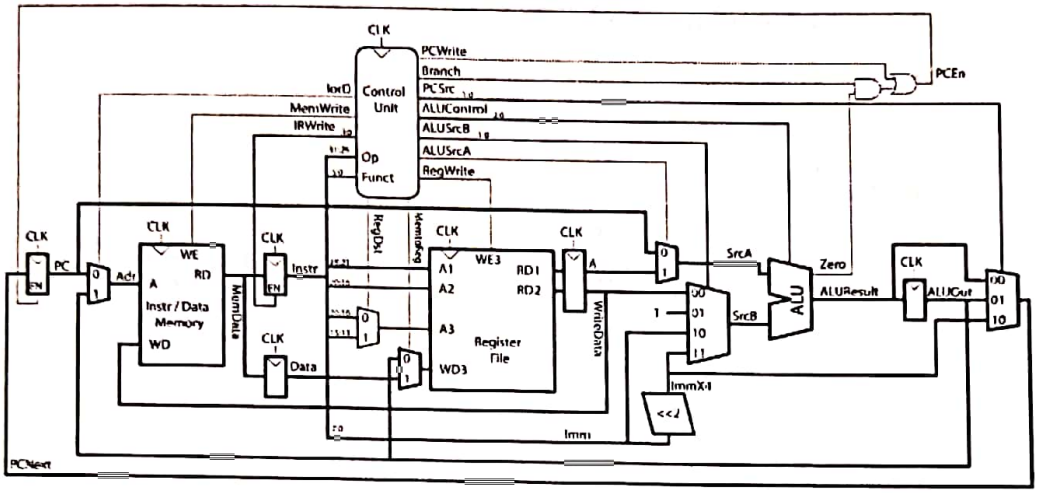
- 32-bit instruction encoding
  - Requires four cycles to fetch on 8-bit datapath



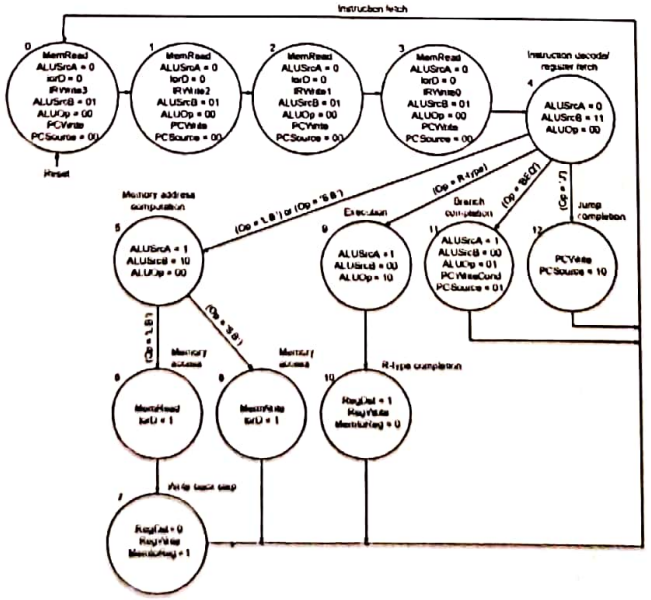
Scanned with CamScanner

MIPS Microarchitecture

- Multicycle μarchitecture ([Paterson04], [Harris07])



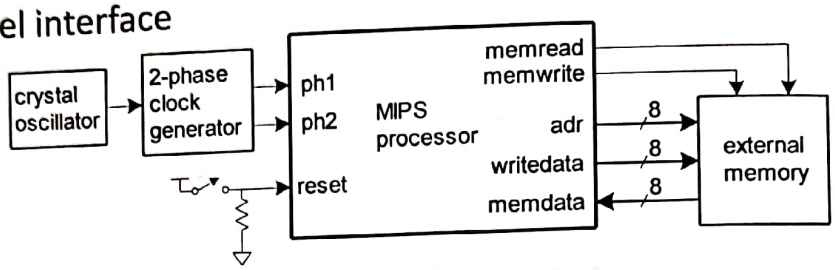
Multicycle Controller



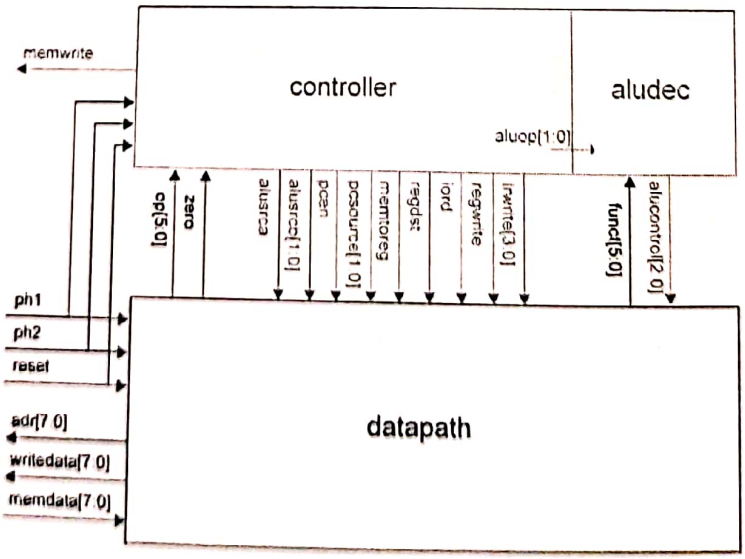
Scanned with CamScanner

Logic Design

- Start at top level
  - Hierarchically decompose MIPS into units
- Top-level interface

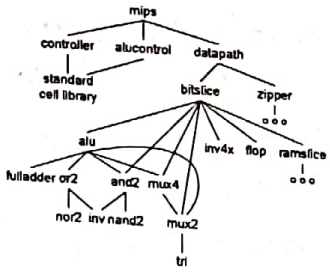


Block Diagram



Scanned with CamScanner

Hierarchical Design



"gate, Source, drain" → الـ Switch بتؤدي CMOS الـ بطلي الـ drain الـ Source الـ Current بيمشي من الـ gate الـ Voltage بإني أحط وكذلك العكس.

digital Circuits الـ design بالـ بنشتغل ↳

CMOS Transistor

Dr.Mohammad Abdel-Majeed

Assistant Professor

University of Jordan

Scanned with CamScanner

* أنا بدي أحرك الكترونات وعشان أحركها بدي أحط قوة تخلي الرابط بين هاد الالكترون في الذرة تضعف تكسر هاد الرابطة عشان يقدر يتحرك هذا الالكترون.

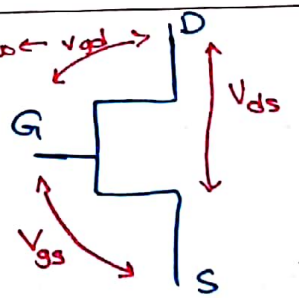
How Does a Transistor Work?

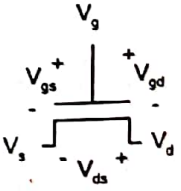
- http://www.youtube.com/watch?v=IcrBqCFLHIY

* n, p type شحنتهم الكلية صفر لإنهم ذرات مش أيونات.
* سميا الـ n type لأنه الـ Moving charge عبارة عن الالكترونات والالكترون شحنتهم Negative.
* الـ Moving charges في الـ p type هم holes والـ holes شحنتهم موجبة.
* الـ holes عبارة عن missing electrons.
* اختاروا الـ Si لإنه لنوعه الـ Semiconductor الأنسب لتصنيع الـ chip.
* لازم نحسن مواصفات الـ Si عشان نخليه موصل بإنه نزيد عدد الـ Moving carriers فيه وهم يا الكترونات يا holes.

* إذا عنيي نفس الـ Voltage عالطرفين فما في فايدة إني أسكر الـ Switch *
* الـ Source هي اللي بطلعوا منه الالكترونات. (الجهد فيه أقل) في الـ NMOS.
* الـ Drain هي اللي بروحوا عليه الالكترونات مش بطلعوا منه. (الجهد فيه أكبر) في الـ NMOS.
* بالـ NMOS الـ Moving carriers هم electrones.

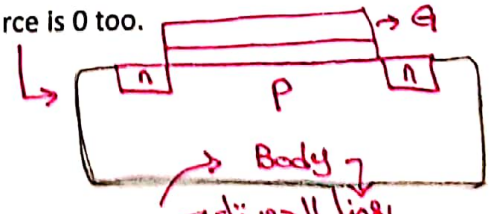
Terminal Voltages





- Mode of operation depends on V_g, V_d, V_s
  - $V_{gs} = V_g - V_s$
  - $V_{gd} = V_g - V_d$
  - $V_{ds} = V_d - V_s = V_{gs} - V_{gd}$
- Source and drain are symmetric diffusion terminals
  - By convention, source is terminal at lower voltage ← في حالة الـ NMOS
  - Hence $V_{ds} \geq 0$
- nMOS body is grounded. First assume source is 0 too.
- Three regions of operation
  - Cutoff ← current (channel) ما في
  - Linear ← channel في
  - Saturation

Transistor الـ بتشتغل بـ 3 regions



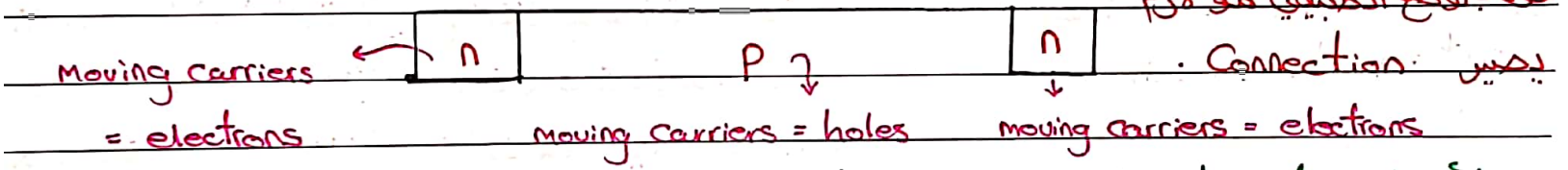
Scanned with CamScanner

20 / 10 / 2021

CMOS Transistors :

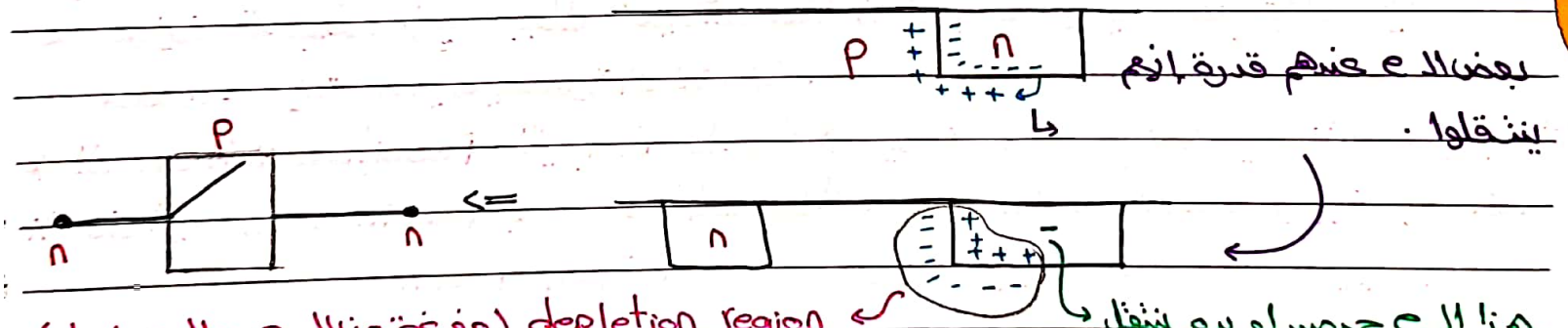
Slide 2 :

* أول طريقة استخدموا لزيادة عدد الـ moving carriers هي الـ Doping :



هون بالوضع الطبيعي مو لازم يصير Connection .

* لما أحط 2 materials جنب بعض بتكون بينهن منطقة مفرغة (depletion region) حسب بعض بتكون سبب من الـ moving carriers تكونت بسبب :



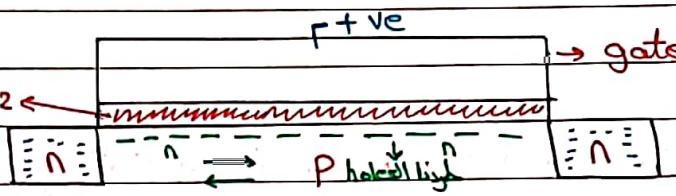
يواجه ممانعة فمارح يقدر يخرق ويروح لـ n-type عالجهة الثانية .

* الحل إنه نعطي هذا الـ e الـ Energy اللي بتمكنه ينتقل من الـ n الأولى إلى الثانية عن طريق إضافة gate وتحتها عازل لأنه لو حطوها مباشرة مارح نكون استفدنا لأنه حرنا شابكين دايما .

، فشان هيك حطينا عازل .

Five Apple

Scanned with CamScanner



* لو حطيت على الـ gate جهد موجب (Positive Voltage) بالنسبة لوحدة من الـ n-type وفي فراغ أجبر الـ electrons يجوا لعندي:
* الجهد اللي لازم أحطه على الـ gate لازم يكون أكبر من الجهد الموجود بوحدة من الـ n-type عشان نستفيد.
* هيك حيصير عندي Voltage difference فحينتقل الالكترونات، مارح تروح على الـ gate عشان عندي عازل. (حتنتقل كما موضح بالرسمة باللون الأخضر)، (هيك كإنه كله صار n-type)
* لو الـ electrones بهم يخترقوا العازل بهم Energy huge عالية جدًا ولكن بتشحنت عندهم لاحقًا.
* الالكترونات عند الـ p مارح تتحرك أو تولد تيار إلا إذا كان في فرق جهد، إذا ماكان في فرق جهد مارح يمشي التيار.

* تشكيل الـ Switch مابيعني إنه صار عندي تيار، التيار بمشي عندي لو كان في فرق جهد بين الطرفين.

* Q = C.V → Voltage
الشحنة ← Capacitance

* مصير الالكترونات اللي رح تنتقل ممكن تكون من الـ n-type الاثنين أو من وحدة منهم.
* الالكترونات رح تنتقل من المنطقة اللي الـ Voltage فيها أقل للمنطقة اللي الـ Voltage فيها أعلى.
* رح يضلوا يتحركوا الالكترونات من الـ Source لـ Drain لحد ما يصير الـ Voltage عالطرفين قد بعض فهيك ببطل عندي Current فخلص بوقف وهيك ما بستهلك أي Power زيادة وهاي هي حلوة الـ CMOS.
* الـ Positive voltage اللي بحطه على الـ gate حيكون ضمن range معين بتقدر تشوي فيه العشان.
* مش أي Positive voltage بخوي الـ Transistor، الـ Positive Voltage اللي بيخوي الـ Transistor هو الـ Positive voltage بالنسبة للـ Source اللي كافي يقيملي كل الـ holes ويجيب بدالهم الالكترونات.
* في عندي V_{th} بعتمد عليه لو كانت الـ V قده أو أكبر في الـ channel ولو أصغر ما في channel
* تسمية الـ Source والـ Drain تأتي من طريقة حركة الشحنات.
* إذا زيت الـ Voltage difference بين الـ Source والـ Drain بزيد الـ current.

Scanned with CamScanner

NMOS cross section

* شرط وجود الـ Channel $V_{gs} >= V_{th}$

Yes → شغال Transistor الـ وفيه channel

No → Cutoff ← مافي channel

Yes → linear / Saturation

Cutoff

مافي channel

بتزيد الـ Voltage differance بين الـ Source والـ Drain.

لو كنت في Voltage difference ← V_{ds} → لما أزيده بتزيد سرعة الالكترونات فبزيد الـ Current.

رح يتحركوا الالكترونات وحيكون في Current (I_{ds})

بس ماراح أضل أزيد فيه للانهاية لأنه رح يثبت على مقدار معين أو سرعة معينة وهون بنكون دخلنا بمرحلة الـ Saturation يعني خلص مافي أكثر من هيك.

من قيمة لـ V_{ds} اللي انت حاطها، شو مازدت V_{ds} بصير عالفاضي

Scanned with CamScanner

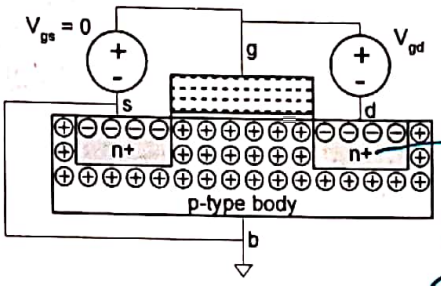
Linear

Saturation

Scanned with CamScanner

nMOS Cutoff

- No channel
- $I_{ds} \approx 0$



نسبة الـ doping
لو + يعني بزيده
لو - بقلله

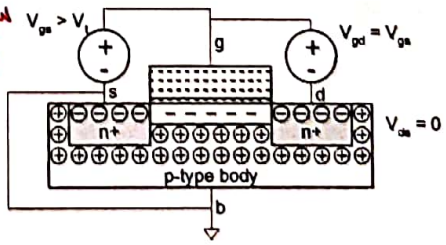
* بالعادة الـ Source والـ Drain بكونوا (+)
والـ Body (-)

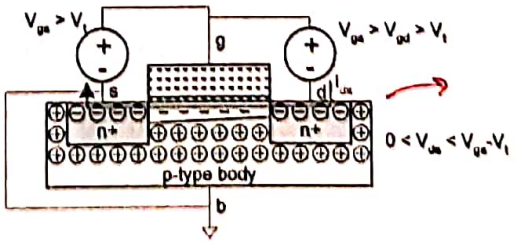
nMOS Linear

حطينا gate الـ Voltage أكبر من اللي موجود عالـ Source

- Channel forms
- Current flows from d to s
  - e^- from s to d
- I_{ds} increases with V_{ds}
- Similar to linear resistor

اصطلاحًا هو حركة الشحنات الموجبة. بس فعليًا اللي بتتحرك شحنات سالبة.





الـ Channel بيكون قريبة من الـ Source والمنطقة بين الـ Channel والـ Drain اللي فيها الالكترونات.

لما صارت قريبة من الـ drain صارت أرفع.

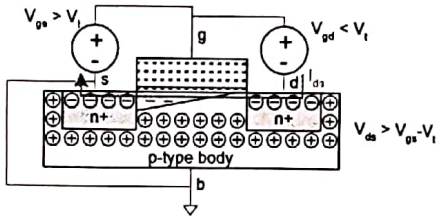
Scanned with CamScanner

nMOS Saturation

- Channel pinches off → Drain مع الـ Channel يعني تقاطع الـ حيصير ضيق.
- I_{ds} independent of V_{ds}
- We say current *saturates*
- Similar to current source

ideal بال transistor

(ما حنلاقي شحنات بسبب انه الالكترونات صارت الـ Energy فيها عالية)



مهما زدت حيصير عالفاضي.

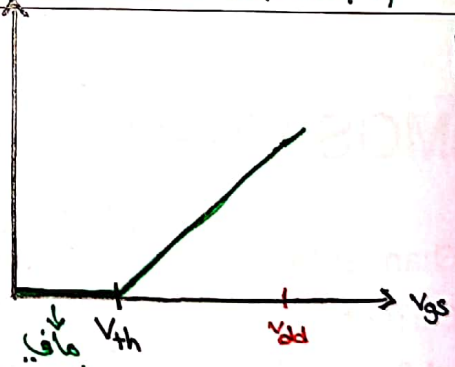
كل ما أزيد V_{gs} بكون بزيد شحنات زيادة فبزيد I_{ds} التيار.

$I = \frac{Q}{t}$ ← بتغير

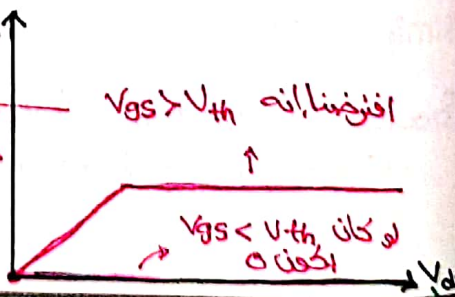
بتلعب بعدد الـ electrons

I-V Characteristics

- In Linear region, I_{ds} depends on
  - How much charge is in the channel?
  - How fast is the charge moving?



ما في current لو $V_{gs} < V_{th}$



بتلعب على السرعة

$I = \frac{Q}{t}$ ← بتغير

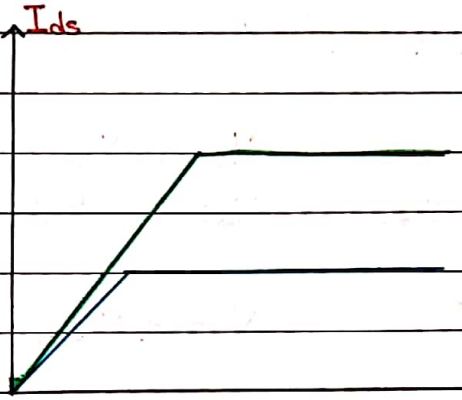
كل ما تزيد V_{ds} رح يقل الـ Time يعني بالنهاية حنوصل لـ Max speed فبثبت

Scanned with CamScanner

25/10/2021

Slide 11 :

Ex :



* if Vgs = 0.7 , what is the curve ?

لأنه Vgs هون أعلى وتحت → نفس كل الظروف الفرق بس Vgs حيكون عدد الشحنات بال channel أعلى وبالتالي حيمشي ال current أعلى.

* Slide 12 and 13 :

* علاقة المتغيرات بالتيار I : $\mu, V_{ds}, V_{gs}, L, w, t_{ox}$

- $I \propto \mu$ → ($t = \frac{L}{\mu E}$) لما تزيد μ ال current بزيد

- $I \propto \frac{1}{t_{ox}}$ → لما أزيد t_{ox} بتقل C فبتقل الشحنة فوح يقل التيار.

- $I \propto \frac{1}{L}$ → لما أزيد المسافة ال current بزيد لإنه الشحنة بتزيد ولكن أيضًا لما نزيد L بزيد t , إضعف فوبيك بقل ال current « $t = \frac{L^2}{\mu V_{ds}}$ » $I = \frac{Q \uparrow \propto L}{t \uparrow \propto L^2}$

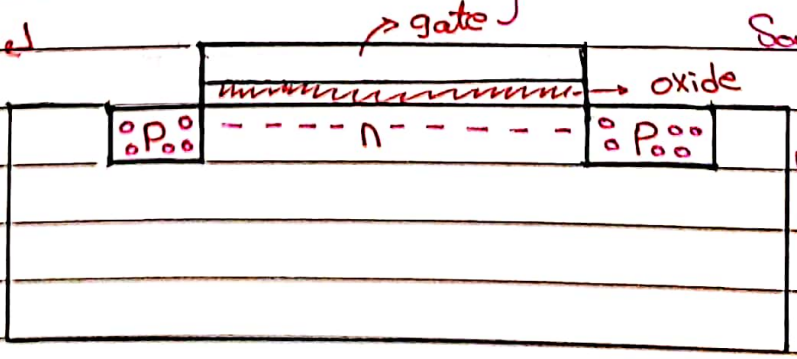
- $I \propto W$ → لما أزيد W بزيد عدد الشحنات الموجودة في الchannel فبزيد I « ما بأثر على ال t أبدًا »

- $I \propto V_{ds}$ → لما بزيد V_{ds} بزيد ال E فبزيد ال I

- $I \propto V_{gs}$ → لما بزيد V_{gs} بزيد Q فبزيد ال I

Slide 20 : PMOS :

عكس ال NMOS



لازم ال Volt يكون أقل من ال Volt اللي على ال Source

↓

كل ما صار more negative كل ما كان أفضل.

($V_{gs} < V_{th}$)

→

Scanned with CamScanner

* الـ Voltage على الـ Source بالـ PMOS لازم تكون أعلى من الـ Drain .

* الـ V_{ds} هيكون سالب، كل ما كان سالب جزيد الـ I .

$$I_{ds} = \begin{cases} 0 & V_{gs} > V_t \quad \text{Cutoff} \\ \beta\left(V_{gs} - V_t - \frac{V_{ds}}{2}\right) V_{ds} & V_{ds} > V_{dsat} \quad \text{linear} \\ \frac{\beta}{2}\left(V_{gs} - V_t\right)^2 & V_{ds} < V_{dsat} \quad \text{Saturation} \end{cases}$$

* الفرق بين PMOS و NMOS :

1- الـ NMOS بتتحرك فيه e والـ PMOS بتتحرك فيه holes . ($\mu_n > \mu_p$)

2- $\mu_n \sim 2\mu_p$

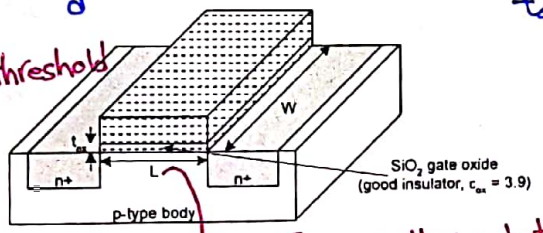
Scanned with CamScanner

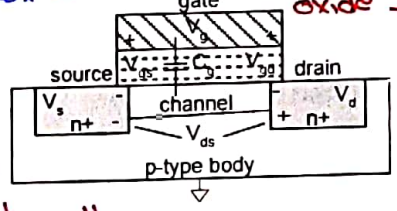
Q لحظة
$((I = \frac{Q}{t}))$

$* I \propto \frac{\mu W V_{ds} V_{gs}}{t_{ox} L}$

Channel Charge

- MOS structure looks like parallel plate capacitor while operating in inversions
  - Gate – oxide – channel
- $Q_{channel} =$ CV → capacitance ← الـ Voltage المحطوطة على الـ Capacitor
- $C = C_g =$ $\frac{\varepsilon_{ox} A}{d}$ → ايبسون للـ oxide $= \frac{\varepsilon_{ox} L W}{t_{ox}}$ → oxide thickness الـ oxide
- V =





$V_{gc} - V_t$ ← threshold
↓ gate channel

الـ distance بين الـ Source و الـ Drain

المنطقة بين الـ Source والـ Drain الي فيها electrones.

الـ Voltage الموجود بين الـ gate والـ channel (تقريبي)

$((I = \frac{Q}{t}))$ ← t لحظة

الوقت اللي بحتاجه الـ e لينتقل من مكان لمكان.

Carrier velocity

- Charge is carried by e-

* سرعة الالكترون تتحرك تحت تأثير قوة، وهاي القوة هي الـ lateral electric field

- Electrons are propelled by the lateral electric field between source and drain
  - $E = \frac{V_{ds}}{L}$ → electric field الـ كلما زاد فرق الجهد بزيد
- Carrier velocity *v* proportional to lateral E-field
  - $v = \mu E$ → قدرتها على الحركة
- Time for carrier to cross channel:
  - $t = \frac{L}{v}$ → المسافة على السرعة

* μ_n للـ electron أعلى من الـ μ_h للـ holes لأنه ارتباطهم بالذرة أقل من الـ holes.

الي قدرتها على الحركة أعلى سرعتها أعلى.

Scanned with CamScanner

nMOS Linear I-V

- Now we know
  - How much charge $Q_{channel}$ is in the channel
  - How much time t each carrier takes to cross

مثلاً لو كان أول -0.3V لازم أوصله أول لصفر عشان يكون جاهز.

$$I_{ds} = \frac{Q_{channel}}{t}$$

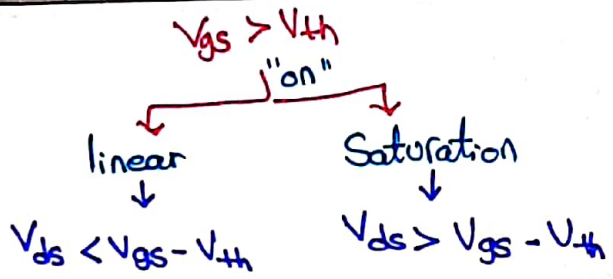
لإنه في Voltage بدي انقلب عليه أول.

$$= \mu C_{ox} \frac{W}{L}\left(V_{gs} - V_t - V_{ds}/2\right)V_{ds}$$

$\frac{\varepsilon_{ox}}{t_{ox}}$

$$= \beta\left(V_{gs} - V_t - V_{ds}/2\right)V_{ds}$$

$$\beta = \mu C_{ox}\frac{W}{L}$$



nMOS Saturation I-V

- If $V_{gd} < V_t$, channel pinches off near drain
  When $V_{ds} > V_{dsat} = V_{gs} - V_t$
- Now drain voltage no longer increases current

$$I_{ds} = \beta\left(V_{gs} - V_t - V_{dsat}/2\right)V_{dsat}$$

$$= \frac{\beta}{2}\left(V_{gs} - V_t\right)^2$$

Scanned with CamScanner

nMOS I-V Summary

- *Shockley* 1st order transistor models

$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t \quad \text{cutoff} \\ \beta\left(V_{gs} - V_t - V_{ds}/2\right)V_{ds} & V_{ds} < V_{dsat} \quad \text{linear} \\ \frac{\beta}{2}\left(V_{gs} - V_t\right)^2 & V_{ds} > V_{dsat} \quad \text{saturation} \end{cases}$$

$V_{gs} - V_{th}$

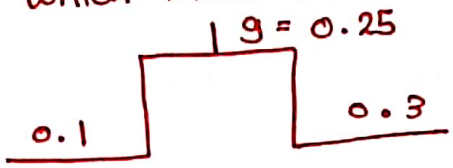
$\hookrightarrow V_{gs} - V_{th}$

Example

- Plot I_{ds} vs. V_{ds} Given that
  - t_{ox} = 100 Å
  - μ = 350 $cm^2/V*s$
  - V_t = 0.7 V
  - $\xi_0 = 8.85*10^{-12} F/m$
  - $\xi_{0x} = 3.9$
  - **V_{gs} = 0, 1, 2, 3, 4, 5**
  - **Use W/L = 4/2 λ**

Scanned with CamScanner

Ex: which mode of this NMOS ? $V_{th} = 0.2$

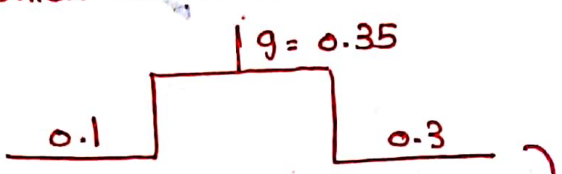


Sol. $V_{gs} = 0.25 - 0.1 = 0.15$

$V_{th} = 0.2$

$\rightarrow 0.15 < 0.2 \rightarrow$ cutoff

Ex: which mode of this NMOS ? $V_{th} = 0.2$



Sol. $V_{gs} = 0.35 - 0.1 = 0.25$

$V_{th} = 0.2$

$\rightarrow 0.25 > 0.2$ (on)

* $V_{ds} = 0.3 - 0.1 = 0.2$

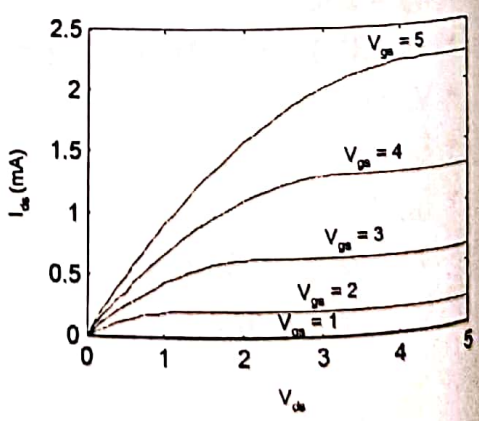
* $V_{dsat} = V_{gs} - V_{th} = 0.25 - 0.2$
$= 0.05$

$V_{ds} > V_{dsat} \rightarrow$ saturation

* ملاحظة: لو بدي أخليها ممكن linear
اني أخلي الـ Drain = 0.14
بصير linear mode

Example

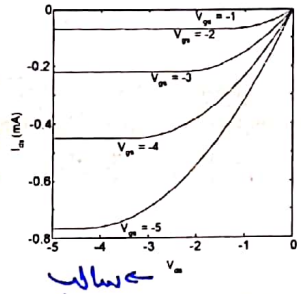
$$\beta = \mu C_{ox} \frac{W}{L} = (350)\left(\frac{3.9 \times 8.85 \cdot 10^{-14}}{100 \cdot 10^{-8}}\right)\left(\frac{W}{L}\right) = 120 \frac{W}{L} \mu A/V^2$$



Scanned with CamScanner

pMOS I-V

- All dopings and voltages are inverted for pMOS
  - Source is the more positive terminal
- Mobility μ_p is determined by holes
  - Typically 2-3x lower than that of electrons μ_n
  - 120 $cm^2/V \cdot s$ in AMI 0.6 µm process
- Thus pMOS must be wider to provide same current
  - In this class, assume $\mu_n / \mu_p = 2$



تتغير سالب

سالب

* الـ PMOS بتشتغل عكس الـ NMOS .

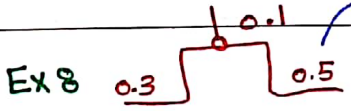
* الـ holes بتتحركوا من الـ high voltage إلى الـ low

* الـ electrons بتتحركوا من الـ low voltage إلى الـ high

Problem

- NMOS Transistor
- V_{th}=.7 V_s=1V V_G=2.5 V_d=4V B=23uA/V^2
- Find W/L

Ex 8



V_{th} = -0.25
V_{gs} = -0.4 → 0.1 - 0.5

which mode of this PMOS ?

* V_{gs} = -0.4 → -0.4 < -0.25 (on)
* V_{ds} = 0.3 - 0.5 = -0.2
* $V_{gs} - V_{th}$ = -0.4 - -0.25 = -0.15
* -0.2 < -0.15

↓

Saturation

Scanned with CamScanner

* The Threshold Voltage (1)(Optional)

- Physical components of the threshold voltage of a MOS structure
  - The work function difference between the gate and the channel.
  - The gate component to change the surface potential. → اللي بنحط حيصلاح أو الـ حاجز
  - The gate voltage component to offset the depletion region charge.
  - The voltage component to offset the fixed charges in the gate oxide and i silicon-oxide interface.

مش موجودة بالوضع الطبيعي
بس ممكن تصير مع الوقت لو صار في اختراق للعازل.

The Threshold Voltage (2) (Optional)

- The work function difference Φ_{GC} between the gate and the channe determines the built-in potential of the MOS system.

مثلاً جيب 2 metal حطوم جيب بعض
رح يكون عالاقل energy الـ e تاعتها عالية لما تشتغل رح تعمل Voltage differance لازم انتبه عليهم .

- For metal gate

$$\Phi_{GC} = \phi_F(substrate) - \phi_M$$

- For polysilicon gate

$$\Phi_{GC} = \phi_F(substrate) - \phi_F(gate)$$

Scanned with CamScanner

* لما تطلع الـ hole من الذرة بتصير أيون.

* زيادة الـ doping الـ Body معناه بدك تقيم holes أكثر وتجيب e أكثر أو العكس حسب نوع الـ transistor.

The Threshold Voltage (3) (Optional)

- Because of the fixed acceptor ions located in the depletion region near the surface, depletion charge exists.
  - Depletion region charge

$$Q_{B0} = -\sqrt{2q \cdot N_A \cdot \varepsilon_{Si} \cdot |-2\phi_F|}$$

  - Consider the voltage bias of the body.

$$Q_B = -\sqrt{2q \cdot N_A \cdot \varepsilon_{Si} \cdot |-2\phi_F + V_{SB}|}$$

- The component that offsets the depletion region charge is equal to:

$$-Q_B / C_{OX}$$

$$C_{OX} = \frac{\varepsilon_{ox}}{t_{ox}}$$

The Threshold Voltage (4) (Optional)

- There always exists a fixed positive charge density Q_{ox} at the interface between the gate oxide and the silicon substrate.
- The gate voltage component that is necessary to offset this positive charge at the interface is .
  - For zero substrate bias

$$V_{T0} = \Phi_{GC} - 2\phi_F(substrate) - \frac{Q_{B0}}{C_{ox}}$$

Scanned with CamScanner

The Threshold Voltage (optional)

- We can use the (3.23) for both n-channel device and p-channel devi
- However, some of the terms and coefficient in (3.23) have different polarities for the n-channel case and for the p-channel case.
  - The substrate Fermi potential ϕ_F is negative in nMOS, positive in pMOS.
  - The depletion region charge density Q_{B0} and Q_B are negative in nMOS, positi pMOS.
  - The substrate bias coefficient γ is positive in nMOS, negative in pMOS.
  - The substrate bias voltage V_{SB} is positive in nMOS, negative in pMOS.

Example 3.2 (1) (optional)

- Calculate the threshold voltage V_{T0} (@ V_{SB}=0).
  - $N_A = 4 \times 10^{18}$ cm^{-3}
  - $N_D = 2 \times 10^{20}$ cm^{-3}
  - $t_{ox} = 26.3$ Å
  - $N_{i=}1.45*10^{18}$

- Sol.
  - Calculate the Fermi potentials

$$\phi_F(substrate) = \frac{kT}{q}\ln\left(\frac{n_i}{N_A}\right) = 0.026\text{V}\cdot\ln\left(\frac{1.45\cdot10^{10}}{4\times10^{18}}\right) = -0.51\text{V}$$

  - Calculate the work function difference

$$\Phi_{ms} = \phi_F(substrate) - \phi_F(gate) = -0.51\text{V} - 0.55\text{V} = -1.06\text{V}$$

Scanned with CamScanner

Example 3.2 (2) (optional)

- Sol.(Cont'd)
  - The depletion region charge density at $V_{SB} = 0$

$$Q_{B0} = -\sqrt{2 \cdot q \cdot N_A \cdot \varepsilon_{Si} \cdot |-2\phi_F(substrate)|}$$
$$= -\sqrt{2 \cdot 1.6 \cdot 10^{-19} \cdot (4 \times 10^{18}) \cdot 11.7 \cdot 8.85 \cdot 10^{-14} \cdot |-2 \cdot 0.51|}$$
$$= -1.16 \cdot 10^{-6} \text{C/cm}^2$$

  - The gate oxide capacitance per unit area

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} = \frac{3.97 \cdot 8.85 \cdot 10^{-14} \text{F/cm}}{1.6 \cdot 10^{-7} \text{cm}} = 2.2 \cdot 10^{-6} \text{F/cm}^2$$

  - Combine all components

$$V_{T0} = \Phi_{GC} - 2\phi_F(substrate) - \frac{Q_{B0}}{C_{ox}}$$
$$= -1.06 - (-1.02) - (-0.53)$$

يقدر من خلاله اتحكم بال Vth ← Channel
(ال V اللي بحتاجه لأقدر اعكس ال V اللي بال Channel)

Body effect

Body ← ال V اللي هون

* ممكن بسبب ال Voltage اللي موجود عندي عالـ Body ال Vth يتغير.
* كل ما زاد ال doping بزيد عدد الذرات في المنطقة، عشان تقدر تبعد ال ions وتجيب بدالهم ions holes مثلاً، هنا حياخد هنك جهد.

$$V_T = V_{T0} + \gamma\left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|}\right)$$

لـ اللي أنا هسميه ال Chip عشانه.

بتكون صفر لو شبكت ال Body مع ال Source
أما اذا غيرت ال Voltage بين ال Source وال Body فأنا بعدل على ال Vth

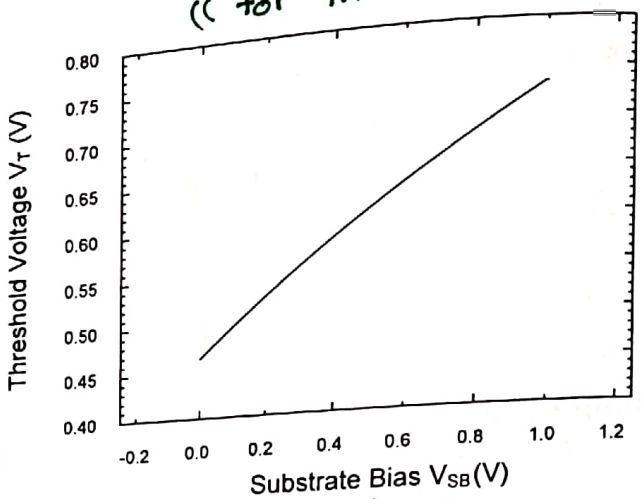
لـ شبكت +ve بالنسبة لـ Source حيصير ال holes اللي طرزتهم يطلعوا لفوق فيلاقوا أيون سالب وهاد حيقلل الشغل علي واللي لازم أحطه عالـ gate عشان أقوي ال transistor فالتالي حيقلل ال Vth.

أما لو شبكنا -ve عالـ Body رح يزيد ال Vth ← في حالة ال NMOS

Scanned with CamScanner

* الـ PMOS بشتغل بالعكس *

« for NMOS »

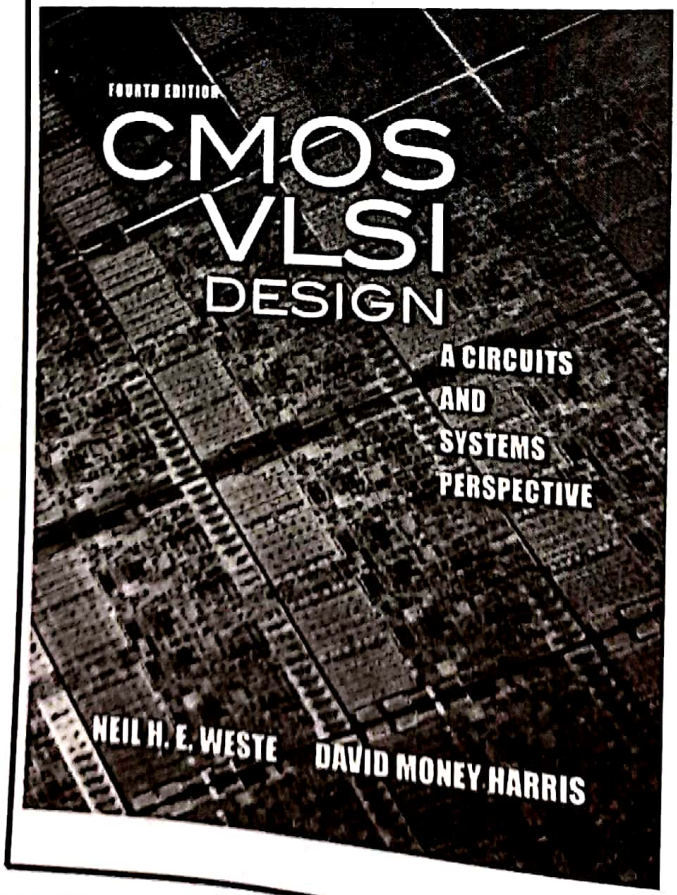


* V_{th} كمية الـ Voltage اللي بحتاجها لأفتح الـ transistor.

* Adaptive Body Biasing (ABB)

عملية التحكم بالـ Body V عشان أغير V_{th} لأهداف الـ delay والـ Power ، طبقاً لحالة ما شبكت الـ Body مع الـ Source

CMOS Digital Integrated



Lecture 4
Nonideal Transisto
Theory

Scanned with CamScanner

Outline

- Nonideal Transistor Behavior
  - High Field Effects
    - Mobility Degradation
    - Velocity Saturation
  - Channel Length Modulation
  - Threshold Voltage Effects
    - Body Effect
    - Drain-Induced Barrier Lowering
    - Short Channel Effect
  - Leakage
    - Subthreshold Leakage
    - Gate Leakage
    - Junction Leakage
- Process and Environmental Variations

* ال Scaling بقلل: W, L, tox, Vdd, Vth
منهون.
لهون.

* ال physical dim ← لما أنزلها وال V بخل نفسه تقريبًا فحيزيد ال E بشكل هائل (E=V/d)

Ideal Transistor I-V

كل اللي حنحكيه اليوم بسبب ال Scaling.

- *Shockley* long-channel transistor models

المسافة بين ال Drain وال Source كبيرة

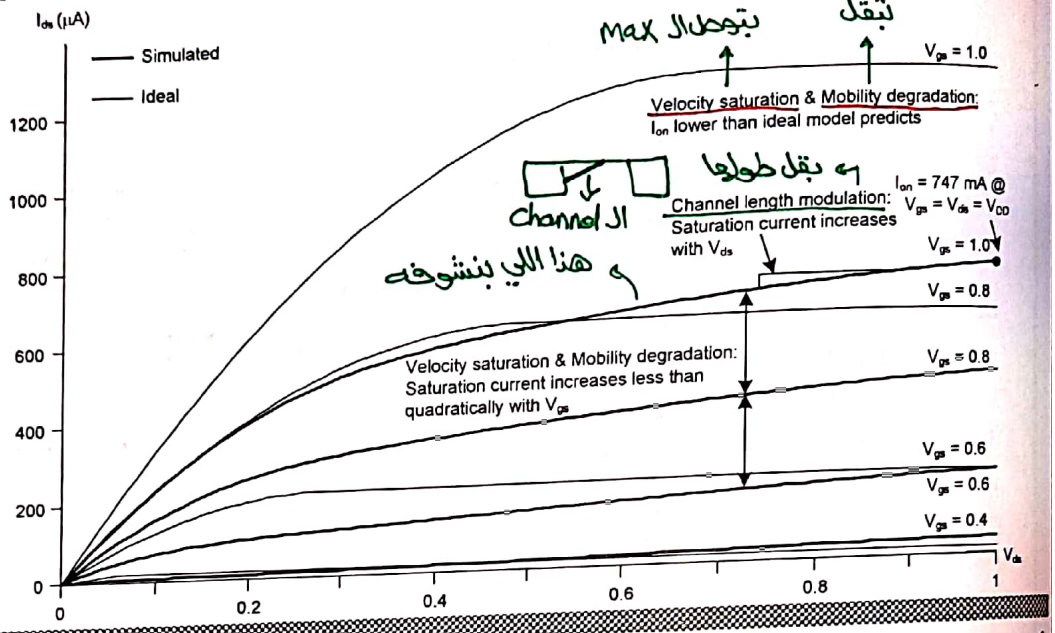
$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t \quad \text{cutoff} \\ \beta\left(V_{gs} - V_t - V_{ds}/2\right)V_{ds} & V_{ds} < V_{dsat} \quad \text{linear} \\ \frac{\beta}{2}\left(V_{gs} - V_t\right)^2 & V_{ds} > V_{dsat} \quad \text{saturation} \end{cases}$$

* مش ليش إنك تزيد ال VDS يعني أحسن.
* ما بقدر أنزل Vth أقل من قيمة معينة لأنه بيطل ال transistor يشتغل زي ما بدي.

Scanned with CamScanner

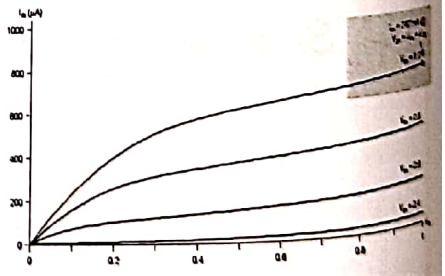
Ideal vs. Simulated nMOS I-V Plot

- 65 nm IBM process, V_{DD} = 1.0 V

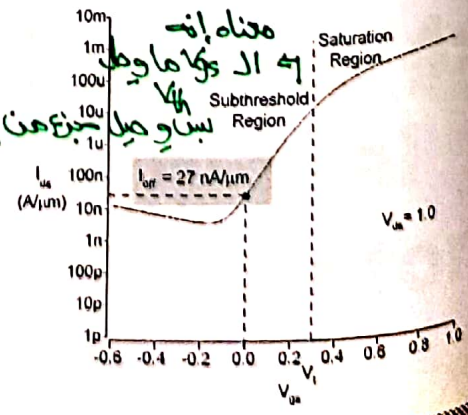


ON and OFF Current

- $I_{on} = I_{ds}$ @ $V_{gs} = V_{ds} = V_{DD}$
  - Saturation



- $I_{off} = I_{ds}$ @ $V_{gs} = 0$, $V_{ds} = V_{DD}$
  - Cutoff



Scanned with CamScanner

Electric Fields Effects

- Vertical electric field: $E_{vert} = V_{gs} / t_{ox}$ → يجيب الـ e أو holes للـ channel.
  - Attracts carriers into channel → من الـ gate للـ channel
  - Long channel: $Q_{channel} \propto E_{vert}$ → تناسب طردي
- Lateral electric field: $E_{lat} = V_{ds} / L$
  - Accelerates carriers from drain to source → من الـ Source للـ Drain
  - Long channel: $v = \mu E_{lat}$

* V_{gs} → هدفه يزيد عدد الشحنات
* V_{ds} → هدفه يسرع السرعة اللي بتمشي فيها الشحنات.

Coffee Cart Analogy

- Tired student runs from VLSI lab to coffee cart
- Freshmen are pouring out of the physics lecture hall
- V_{ds} is how long you have been up → يعني تخيل انت ماشي وفي هوا قاعد يلزقك بالحيط
  - Your velocity = fatigue × mobility → قديه تعبان
- V_{gs} is a wind blowing you against the glass (SiO_2) wall
- At high V_{gs}, you are buffeted against the wall
  - *Mobility degradation* → بسببها E_{vert} → قدرتك على الحركة بتضعف → لأنه في اشي بيشدك وحشا قادر تخترقه لأنه في جدار.
- At high V_{ds}, you scatter off freshmen, fall down, get up → تشتت
  - *Velocity saturation* → بسببها E_{lat} * لأنه تحركت باشي فوق طاقتها.
    - Don't confuse this with the saturation region

* صار لازم نغير المعادلات لناخذ كل اشي بين الاعتبار.

Scanned with CamScanner

Mobility Degradation

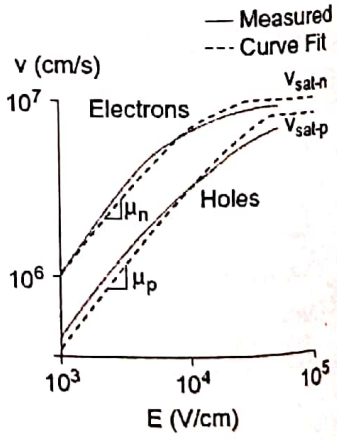
- High E_{vert} effectively reduces mobility
  - Collisions with oxide interface

$$\mu_{\text{eff}-n} = \frac{540\frac{\text{cm}^2}{\text{V}\cdot\text{s}}}{1+\left(\frac{V_{gs}+V_t}{0.54\frac{\text{V}}{\text{nm}}t_{ox}}\right)^{1.85}} \qquad \mu_{\text{eff}-p} = \frac{185\frac{\text{cm}^2}{\text{V}\cdot\text{s}}}{1+\frac{\left|V_{gs}+1.5V_t\right|}{0.338\frac{\text{V}}{\text{nm}}t_{ox}}}$$

Velocity Saturation

- At high E_{lat}, carrier velocity rolls off
  - Carriers scatter off atoms in silicon lattice
  - Velocity reaches v_{sat}
    - Electrons: 10^7 cm/s
    - Holes: 8 x 10^6 cm/s
  - Better model

$$v = \begin{cases} \dfrac{\mu_{\text{eff}}E}{1+\dfrac{E}{E_c}} & E < E_c \\ v_{\text{sat}} & E \geq E_c \end{cases} \qquad E_c = \frac{2v_{\text{sat}}}{\mu_{\text{eff}}}$$



Scanned with CamScanner

Vel Sat I-V Effects

- Ideal transistor ON current increases with V_{DD}^2

$$I_{ds} = \mu C_{ox} \frac{W}{L} \frac{(V_{gs} - V_t)^2}{2} = \frac{\beta}{2}(V_{gs} - V_t)^2$$

- Velocity-saturated ON current increases with V_{DD}

$$I_{ds} = C_{ox} W (V_{gs} - V_t) v_{max}$$

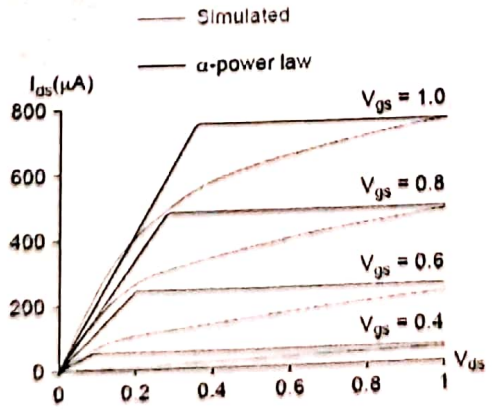
- Real transistors are partially velocity saturated
  - Approximate with α-power law model
  - $I_{ds} \propto V_{DD}^{\alpha}$
  - $1 < \alpha < 2$ determined empirically (≈ 1.3 for 65 nm)

α-Power Model

$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t \quad \text{cutoff} \\ I_{dsat} \frac{V_{ds}}{V_{dsat}} & V_{ds} < V_{dsat} \quad \text{linear} \\ I_{dsat} & V_{ds} > V_{dsat} \quad \text{saturation} \end{cases}$$

$$I_{dsat} = P_c \frac{\beta}{2}(V_{gs} - V_t)^{\alpha}$$

$$V_{dsat} = P_v (V_{gs} - V_t)^{\alpha/2}$$



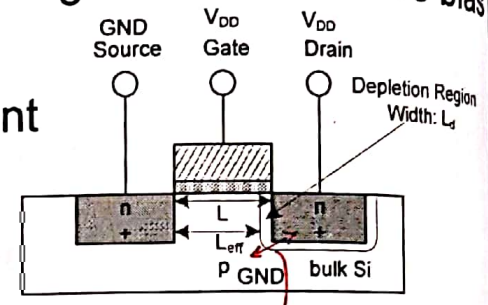
Scanned with CamScanner

Short channel فقط بال long Devices ← تأثيره مو واضح بال

Channel Length Modulation

- Reverse-biased p-n junctions form a *depletion region*
  - Region between n and p with no carriers
  - Width of depletion L_d region grows with reverse bias
  - $L_{eff} = L - L_d$
- Shorter L_{eff} gives more current
  - I_{ds} increases with V_{ds}
  - Even in saturation

المسافة بين الـ S و الـ D قلت فزاد التيار



P-n junction هيعمل

reversed biase ولما يكون p أقل من n يكون

ولما يكون الـ Voltage على p أعلى من n يكون Forward biase يمشي بالاتجاه اللي بدنا ياه

Chan Length Mod I-V

$$I_{ds} = \frac{\beta}{2}\left(V_{gs} - V_t\right)^2 \left(1 + \lambda V_{ds}\right)$$

$\beta = \varepsilon_{ox} \frac{W}{L} \frac{1}{t_{ox}}$ ← ما غيرناها

بعكس التغير بمقدار (L)

- λ = *channel length modulation coefficient*
  - not feature size
  - Empirically fit to I-V characteristics

Transistor Size لما بينقصان فالزيادة بال Current بتحس أعلى.

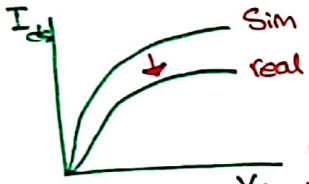
Scanned with CamScanner

* أسلم الشي دليما إنك تشبك الـ Body و الـ Source الـ Voltage نفس
. Body biasing بس بتضيع حالك فوحدة إنه تتعامل بال

Threshold Voltage Effects

- V_t is V_{gs} for which the channel starts to invert
- Ideal models assumed V_t is constant
- Really depends (weakly) on almost everything else:
  - Body voltage: *Body Effect* → بطلع مثلا لما يكون فوق 2 transistor
  - Drain voltage: *Drain-Induced Barrier Lowering* بعض
  - Channel length: *Short Channel Effect*

بأنه موديلا
بحكي إنه الـ Source
مشبوك بالـ ground.



بتأثر هنا الـ Drain عم بنقلل الـ Barrier
قدام الـ carriers كشان يتحركوا.
بتخلي يمشي current حتى لو الـ transistor off

Body Effect

- Body is a fourth transistor terminal
- V_{sb} affects the charge required to invert the channel
  - Increasing V_s or decreasing V_b increases V_t

$$V_t = V_{t0} + \gamma\left(\sqrt{\phi_s + V_{sb}} - \sqrt{\phi_s}\right)$$

- ϕ_s = *surface potential* at threshold

$$\phi_s = 2v_T \ln\frac{N_A}{n_i}$$

  - Depends on doping level N_A
  - And intrinsic carrier concentration n_i
- γ = *body effect coefficient*

$$\gamma = \frac{t_{ox}}{\varepsilon_{ox}}\sqrt{2q\varepsilon_{si}N_A} = \frac{\sqrt{2q\varepsilon_{si}N_A}}{C_{ox}}$$

Scanned with CamScanner

Body Effect Cont.

- For small source-to-body voltage, treat as linear

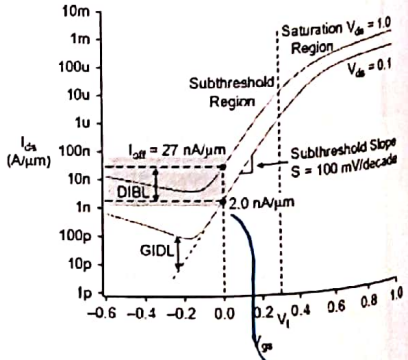
$$V_t = V_{t0} + k_\gamma V_{sb}$$

$$k_\gamma = \frac{\gamma}{2\sqrt{\phi_s}} = \frac{\sqrt{\frac{q\varepsilon_{si}N_A}{v_T \ln\frac{N_A}{n_i}}}}{2C_{ox}}$$

DIBL

- Electric field from drain affects channel
- More pronounced in small transistors where the drain is closer to the channel
- Drain-Induced Barrier Lowering
  - Drain voltage also affect V_t

$$V_t' = V_t - \eta V_{ds}$$



- High drain voltage causes current to increase

نزل مع إنه off ، بنغير بتغير الـ V_{ds} لإنه الـ V_{ds} بعطي energy أكتر للـ e الموجودين بالـ Source فبقلل الـ barrier اللي لازم يتخطوها الـ e ليوصلوا الـ Drain.

Scanned with CamScanner

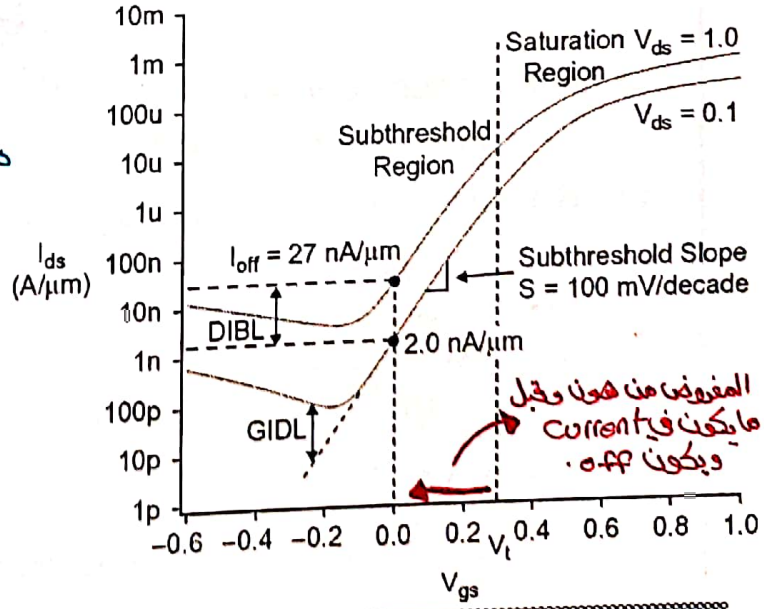
Short Channel Effect

- In small transistors, source/drain depletion regions extend into the channel
  - Impacts the amount of charge required to invert the channel
  - And thus makes V_t a function of channel length
- Short channel effect: V_t increases with L
  - Some processes exhibit a reverse short channel effect in which V_t decreases with L

Leakage

"بمسخها وأنا قاعد"

- What about current in cutoff?
- Simulated results
- What differs?
  - current doesn't go to 0 in cutoff.



Scanned with CamScanner

Leakage Sources

- Subthreshold conduction → leakage أكثر مصدر لـ
  - Transistors can't abruptly turn ON or OFF
  - Dominant source in contemporary transistors
- Gate leakage → gate مار العازل كتير رقيق فصار في اختراق لـ
  - Tunneling through ultrathin gate dielectric

- Junction leakage
  - Reverse-biased PN junction diode current

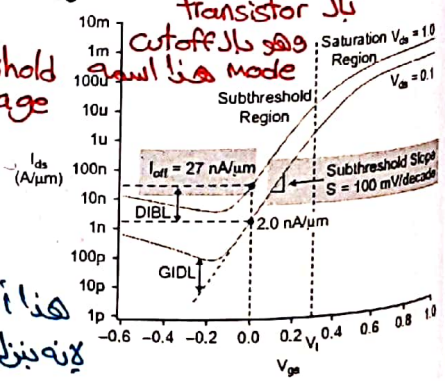
Subthreshold Leakage

- Subthreshold leakage exponential with V_{gs} → يعني current في transistor بال cutoff وهو بال mode هذا اسمه

$$I_{ds} = I_{ds0} e^{\frac{V_{gs} - V_{t0} + \eta V_{ds} - k_\gamma V_{sb}}{n v_t}} \left(1 - e^{\frac{-V_{ds}}{v_t}}\right)$$

subthreshold leakage

- n is process dependent
  - typically 1.3-1.7
- Rewrite relative to I_{off} on log scale



معناها قلل V_{gs} بمقدار 50 حينزل الـ leakage بمقدار 10× → هذا أفضل من الـ 100 لإنه بينزل أقل ، بقدر أنزل 50 بعدين

$$I_{ds} = I_{off} 10^{\frac{V_{gs} + \eta(V_{ds} - V_{dd}) - k_\gamma V_{sb}}{S}} \left(1 - e^{\frac{-V_{ds}}{v_t}}\right)$$

Ex: 50 mV/decade

50 وبقل بخمسة 20% $S = \left[\frac{d(\log_{10} I_{ds})}{dV_{gs}}\right]^{-1} = n v_T \ln 10$

- S ≈ 100 mV/decade @ room temperature → يعني لو بقلل الـ V_{gs} بمقدار 100 الـ subthreshold leakage بنزل لـ 10% وهذا اشي منيح

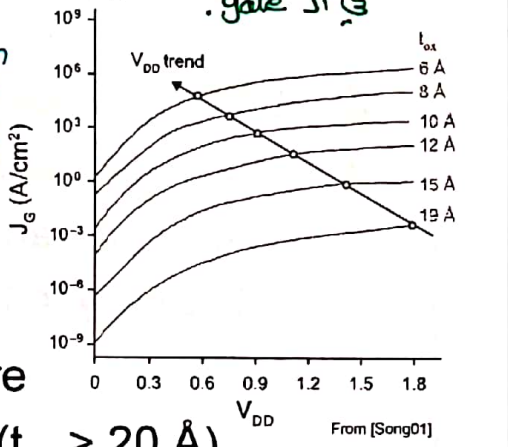
Scanned with CamScanner

Gate Leakage

- Carriers tunnel thorough very thin gate oxides
- Exponentially sensitive to t_{ox} and V_{DD}

$$I_{gate} = WA\left(\frac{V_{DD}}{t_{ox}}\right)^2 e^{-B\frac{t_{ox}}{V_{DD}}}$$

  - A and B are tech constants
  - Greater for electrons
    - So nMOS gates leak more

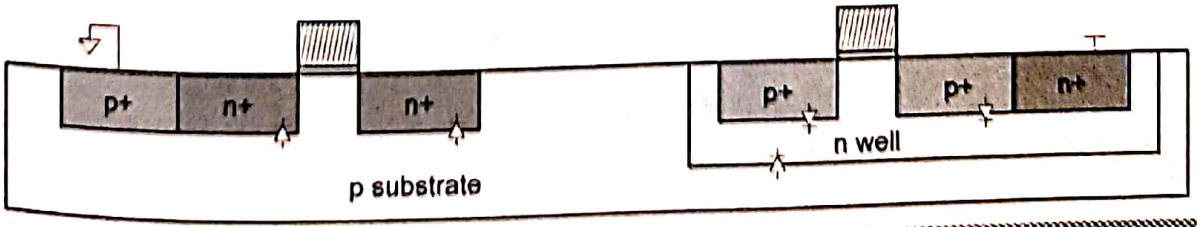


From [Song01]

- Negligible for older processes (t_{ox} > 20 Å)
- Critically important at 65 nm and below (t_{ox} ≈ 10.5 Å)

Junction Leakage

- Reverse-biased p-n junctions have some leakage
  - Ordinary diode leakage
  - Band-to-band tunneling (BTBT)
  - Gate-induced drain leakage (GIDL)



Scanned with CamScanner

Diode Leakage

- Reverse-biased p-n junctions have some leakage

$$I_D = I_S\left(e^{\frac{V_D}{v_T}} - 1\right)$$

- At any significant negative diode voltage, $I_D = -I_s$
- I_s depends on doping levels
  - And area and perimeter of diffusion regions
  - Typically < 1 fA/μm^2 (negligible)

Band-to-Band Tunneling

- Tunneling across heavily doped p-n junctions
  - Especially sidewall between drain & channel when *halo doping* is used to increase V_t
- Increases junction leakage to significant levels

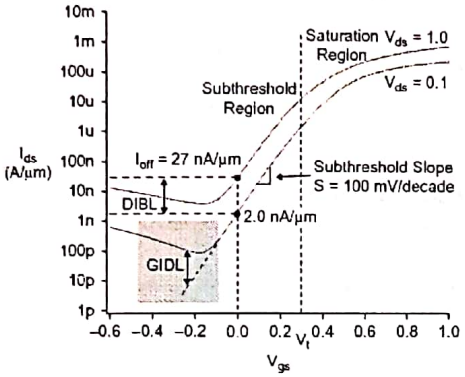
$$I_{BTBT} = WX_j A \frac{E_j}{E_g^{0.5}} V_{dd}\, e^{-B\frac{E_g^{1.5}}{E_j}} \qquad E_j = \sqrt{\frac{2q\varepsilon N_{halo} N_{sd}}{\varepsilon(N_{halo} + N_{sd})}}\left(V_{DD} + v_T \ln\frac{N_{halo} N_{sd}}{n_i^2}\right)$$

  - X_j: sidewall junction depth
  - E_g: bandgap voltage
  - A, B: tech constants

Scanned with CamScanner

Gate-Induced Drain Leakage

- Occurs at overlap between gate and drain
  - Most pronounced when drain is at V_{DD}, gate is at a negative voltage
  - Thwarts efforts to reduce subthreshold leakage using a negative gate voltage



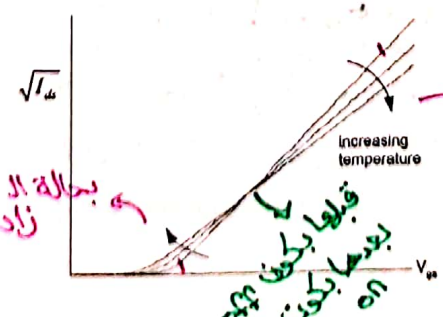
شو بصير مع تغير درجة الحرارة . * بحسب درجة الحرارة عن طريق البرامج اللي بتطلعوا * ← لل CPU

Temperature Sensitivity

- Increasing temperature
  - Reduces mobility → I_{on} ↓
  - Reduces V_t → I_{on} ↑ I_{off} ↑
- I_{ON} decreases with temperature
- I_{OFF} increases with temperature

بصير يخوي عأي اشي بصير صعب أقدر أطفيه.

* بال Five Stage Pipeline أكثر جزء درجة حرارته بتكون مرتفعة هي : register file لإنه حجمه صغير وبعمله access سواء read أو write بشكل متكرر. أيضًا الـ control unit حرارتها مرتفعة.



بحالة الـ on قل ودّا بزيادة الحرارة

بحالة الـ off زادت الحرارة قل V_t زاد الـ I_{off}

قبلها بكون off بعدها بكون on

* أبرد شيء بال CPU هي الـ Memory لإنها كبيرة وشغلها موزع

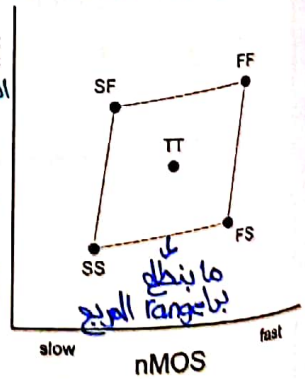
Scanned with CamScanner

So What?

- So what if transistors are not ideal?
  - They still behave like switches.
- But these effects matter for…
  - Supply voltage choice
  - Logical effort
  - Quiescent power consumption
  - Pass transistors
  - Temperature of operation

Parameter Variation

- Transistors have uncertainty in parameters
  - Process: L_{eff}, V_t, t_{ox} of nMOS and pMOS
  - Vary around typical (T) values
- Fast (F)
  - L_{eff}: short — faster ↓L → slower
  - V_t: short — faster ↓V_t → slower
  - t_{ox}: thin — faster ↓t_{ox} → slower
- Slow (S): opposite
- Not all parameters are independent for nMOS and pMOS



Environmental Variation

- V_{DD} and T also vary in time and space
- Fast:
  - V_{DD}: high
  - T: low

T ↑
Tempreture [50 70 100]
Voltage [1.7 1.8 1.9]
↓ T

Corner	Voltage	Temperature
F	1.9	50 C
T	1.8	70 C
S	1.7	100 C

Process Corners

- Process corners describe worst case variations
  - If a design works in all corners, it will probably work for any variation.
- Describe corner with four letters (T, F, S)
  - nMOS speed
  - pMOS speed
  - Voltage
  - Temperature

Scanned with CamScanner

Important Corners

- Some critical simulation corners include

بدي أفحصهم

Purpose	nMOS	pMOS	V_{DD}	Temp
Cycle time	S	S	S	S
Power	F	F	F	F
Subthreshold leakage	F	F	F	S

بقيمها بالـ worst case لإنها تكون طويلة وبطيئة. وعشان أفحص هيك بحتاج أفحص الـ Slow corner.

بستهلك power أكثر لما يكون شغال أكثر يعني بشغله بالـ Fast

اللي بخليه يزيد لما نقلل الـ V_t وهذا بشوفه بالـ Fast corner. لما نقلل V_{th} بزيد درجة الحدة.

بحكيلي higher V_{DD} و higher Subthreshold leakage.

Inverter Static Characteristics

Dr.Mohammad Abdel-Majeed
Assistant Professor
University of Jordan

Scanned with CamScanner

Combinational Logic

* ideal inverter & [0 → 0.55] → logic = 1
[0.55 → 1.1] → logic = 0
(بس كيف بدهب هذا الـ ideal ومش هيك بنفس نشتغل)

- A combinational logic cell, logic circuit or gate is generally a multiple input, single output system that performs a Boolean function
  - In the positive logic convention, logic 1 is shown by high voltage VDD and logic 0 by low voltage of zero

*

* لما نتعامل مع الـ digital signals بكون بتعامل مع فلتات، يعني لو كان Voltage logic الـ 1 = Voltage بين [0.9 → 1.1] يعتبر الـ logic = 1 ولو كان الـ Voltage مثلاً فيعتبر الـ logic = 0 [0 → 0.2]
* بين [0.2 → 0.9] ما بقدر أحدد إذا هي 0 أو 1.
ماعدا الفترة إنه يكون 1.1 بالزبط لإنه في noise كثير.

* في DRAM cells هي عبارة عن transistor و capacitor والـ capacitor هي اللي بتخزن شحنات والشحنات لما تتخزن على الـ capacitor معناها فولتية فلو في شحنات بكون logic 1 ولو ما في بكون logic 0.

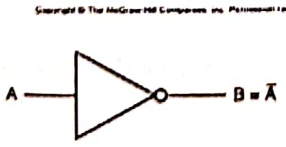
بتروح الـ T إذا كان الـ V عن C أعلى بـ 0.5v
الـ 0.5 جسمها بزيد وإذا كان الـ V عالـ C أقل حيمشي الـ current هيك وبناء عليه بروح عالـ 0.5 لو زايدة يعني 1 لو قلت 0.

Ideal Inverter and Inverter Threshold Voltage

لحتى إنه ما بزبط نشتغل هيك

- Logic symbol & truth table

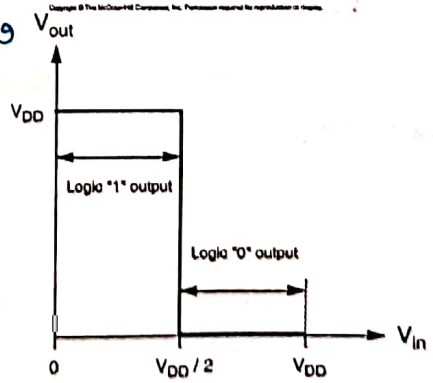
$V_{DD}/2$ ونخلي هو الفاصل.



Symbol

A	B
0	1
1	0

Truth Table



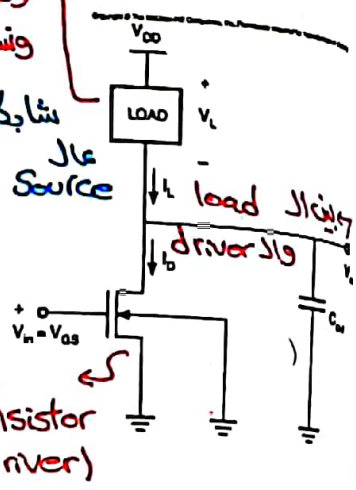
Scanned with CamScanner

VTC of an NMOs inverter

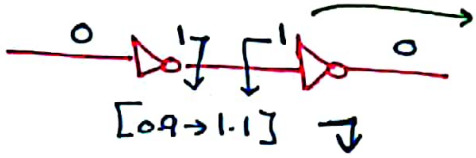
- Vin is V_{gs} ← لإنه الـ Voltage عالـ Source بكون صفر
- Vout is V_{ds}
- VSB = 0 → Body effect ماني →
- The circuit connected to the output node can be represented using the capacitance C_{out}
- $I_D = I_L$ (_____). By solving this equation we can derive the VTC

NMOS مرة بكون Resistor ومرة PMOS ومرة ونشوف خصائص كل واحد.

شايلين الـ body عالـ Source



Ex: [0 → 0.2] '0'
[0.9 → 1.1] '1'



الـ Signals كلما تقش بتضعف أكثر عن ما كانت بالبداية

لازم تحاول إنك ماتطلع برا الـ range عشان ما تقش النتائج، فلو بدي الناتج 1 لازم أقرب الناتج كتير لـ 1.0 عشان أبعد عن الخطأ أو الخروج من الـ range

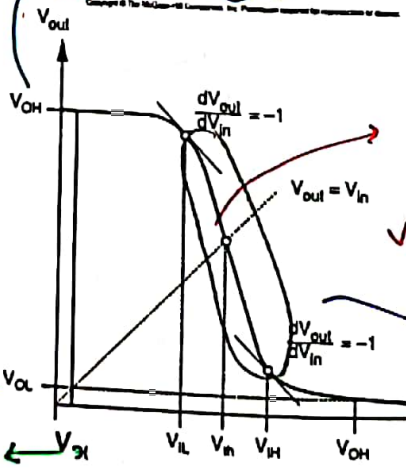
VTC

* V_{OL} → output low
* V_{IL} → input low
* V_{IH} → input high
* V_{OH} → output high

ماني أعلى منه لأقرب لـ logic 1

$[V_{OL}, V_{IL}]$ '0'

$[V_{IH}, V_{OH}]$ '1'



بهاي المنطقة أي تغير حيوديني بسرعة على Vout = Vin لإنه

المنطقة هاي بتوصيني إنه مش idle وما بربط يكون idle.

logic 0 ← أقل V بجبره V_{OL}

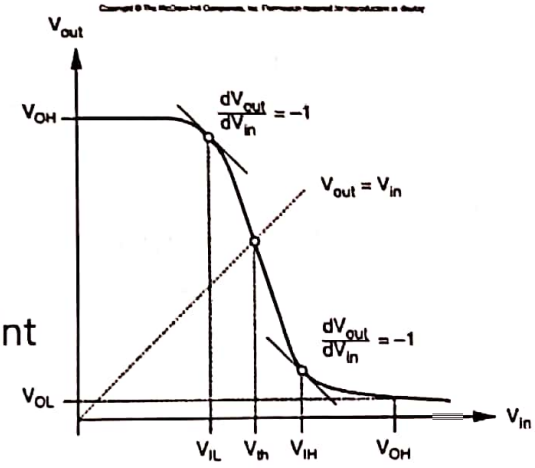
أقل V بجبره 0 ← V_{IL}

لـ أقل V بجبره 1 بعطيني عالـ output = 0

Scanned with CamScanner

nMOS Inverter: Schematic & VTC

- V_{OH} : $V_{OUT,MAX}$ when the output level is logic "1"
- V_{OL} : $V_{OUT,MIN}$ when the output level is logic "0"
- V_{IL} : $V_{IN,MAX}$ which can be *interpreted* as logic "0"
- V_{IH} : $V_{IN,MIN}$ which can be *interpreted* as logic "1"
- Inverter threshold Voltage V_M is defined as the point where $V_{in} = V_{out}$



- V_{OL} <= Vin <= V_{IL} → logic 0
  - Vin is interpreted as "0"
  - This means that V_{IL} is low enough to ensure a logic 1 output
- V_{IH} <= Vin <= V_{OH} → logic 1
  - Vin is interpreted as "1"
  - This means that V_{IH} is low enough to ensure a logic 0 output

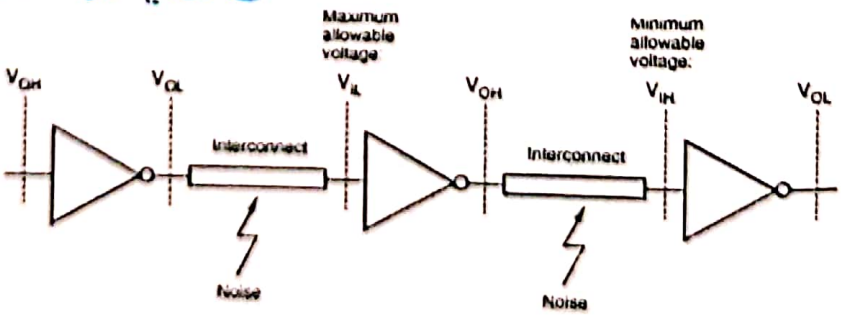
Scanned with CamScanner

Tolerance

- Ability to interpret range of values as logic 0 or logic 1 allows the circuits to operate with certain _____
- Noise sources
  - Unwanted capacitive coupling
  - Radiations
  - ...

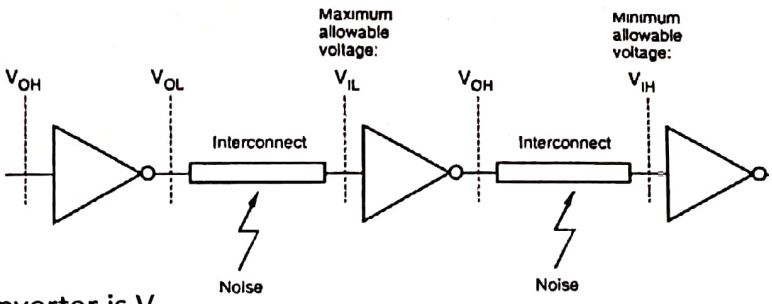
Noise Margin

ممنوع تزهيد عزفا الـ noise



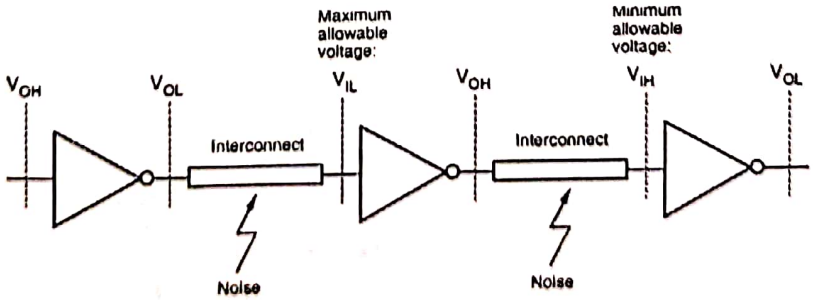
Scanned with CamScanner

Input Noise Margin



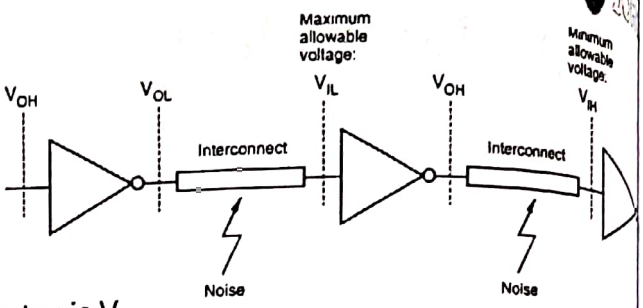
- By definition the output of the first inverter is V_{OL}
- The output signal of the 1st inverter will be perturbed during transmission because of on-chip interconnect
- If the input voltage of the 2nd inverter is smaller than V_{OL}, then this signal will be interpreted correctly as a logic "0" input by 2nd inverter
- But if the input voltage becomes larger than V_{IL}, then it may not be interpreted correctly by the inverter
- Thus, V_{IL} is the maximum allowable voltage at the input of the 2nd inverter

Output Noise Margin



Scanned with CamScanner

Input Noise Margin



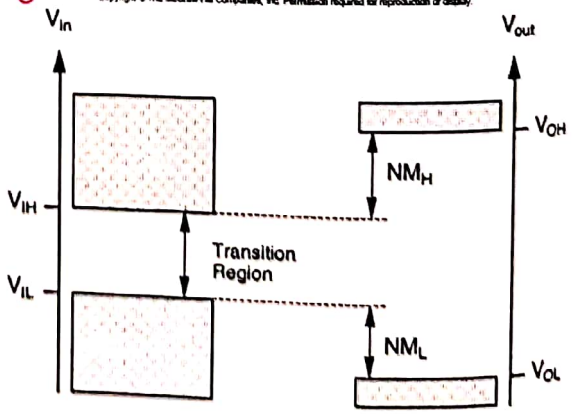
- Assume the output of the 2nd inverter is V_{OH}
- Input of the 3rd inverter will be different from V_{OH} due to noise interference
- If the input voltage of the 3rd inverter is larger than V_{OH} this signal is interpreted correctly as a logic "1"
- If the voltage level drops below V_{IH} , the input may not be interpreted as a logic "1"
- Therefore, V_{IH} is the minimum allowable voltage at the input of the 3rd inverter

Noise Margin → عشان أخلي الـ Range بتع logic (0) قديه مسموحلي يجيبي Noise وأنا ضمن

الـ Range بتع logic (0) وقديه مسموحلي يجيبي Noise وأنا ضمن الـ Range ضمن

- $NM_L = V_{IL} - V_{OL}$ logic 1 بتع Range الـ ضمن أخلي logic 1 عشان بتع
- $NM_H = V_{OH} - V_{IH}$

Copyright © The McGraw-Hill Companies, Inc. Permission required for reproduction or display.



Scanned with CamScanner

THE UNIVERSITY OF JORDAN

Power →

موضوع مهم

وكل ما كانت power صغيرة بتصرف قستهلك البطارية بطريقة أقل وبطئ معاك.

كلما نزل عن 1 لازم أضل أشحنها ↳ عشان يضل 1 ويحافظ عليها.

- Lower consumption extends battery-based operation time for portable systems
- DC power dissipation: $P_{DC} = V_{DD} \cdot I_{DC}$ → Voltage * current
- DC power is input and output voltage dependent
- To calculate avg DC power assume 50% of the time input is at V_{in} = low and 50% at V_{in} = high
  - $P_{DC} = 0.5\ VDD \{I_{DC}(V_{in}=low) + I_{DC}(V_{in}=high)\}$

↳ ح، high نص الفترات صغيرة ونصها نرجعها بالتفصيل لقدام.

- Inverter type and its design affects the power dissipation significantly

THE UNIVERSITY OF JORDAN

Inverter

1. Resistive Load Inverter
2. NMOS depletion load inverter
3. CMOS inverter

Scanned with CamScanner

* عشان أفحص الـ inverter لو بيشتغل صح أو لأ مثلاً لو الـ Vin = 1 حط عالـ Vout = 1
وأشوف لو خلاها تنزل لـ 0 معناها شغال بشكل صحيح ؛ لـ 1 معناها inverted شغال بشكل خطأ

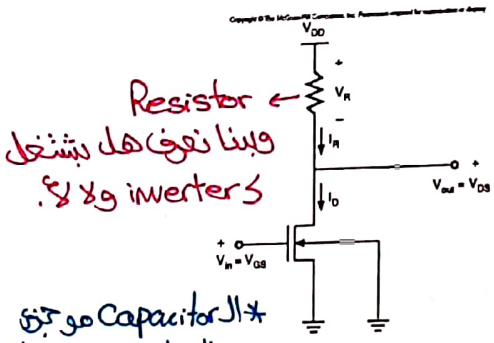
Resistive-Load Inverter

الـ Load بكون عبارة عن Resistor ←

- Resistive-load inverter circuit & its VTC

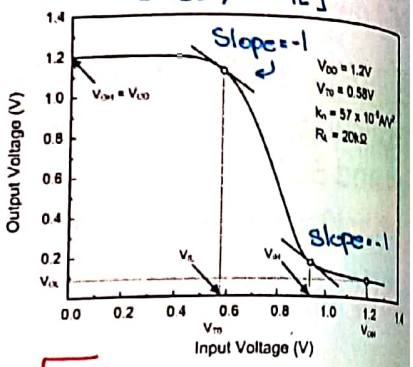
[V_{IH} , V_{OH}]

[V_{OL} , V_{IL}]



Resistor ← وبنا نفوض هل بشغل inverter ولا لأ.

* الـ Capacitor موجود من البرا بس بنحطه عشان نعمل modeling عشان أقيس الـ delay بشكل صحيح



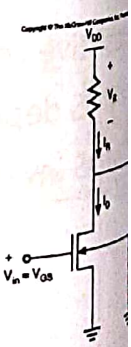
* في حالة logic = 1 : الـ output يكون كيش قريب من V_{OH}

عشان لما يوصل هون يكون V_{IH}

* في حالة logic = 0 : الـ output يكون كيش قريب من V_{OL}

Resistive-Load Inverter

- Resistive-load inverter circuit & its VTC
- $V_{in} < V_{T0}$, nMOS off
  - I_D = 0
  - V_{out} = V_{dd}
- $V_{in} > V_{T0}$, nMOS in sat. → V_{out} → يكون قريب من V_{dd}
  - V_{ds} = $V_{out} > V_{in} - V_{T0}$
  - I_R = $\frac{V_{dd} - V_{out}}{R}$
- $V_{in} > V_{T0}$ & $V_{out} < V_{DSAT}$, nMOS in lin.
  - I_R = $\frac{V_{DD} - V_{out}}{R}$



* I_R لا يساوي I_D إلا لما الـ output يثبت

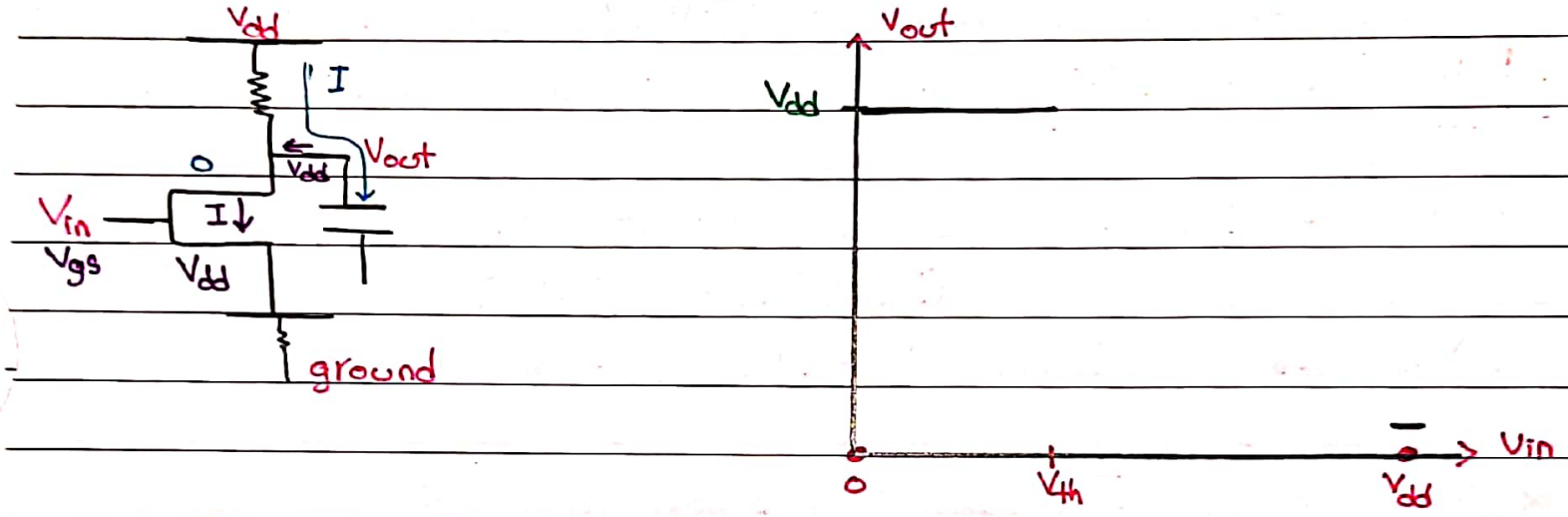
* output ثابت عالـ Voltage إلا لما يصير الـ I_R لا يساوي I_D *

Scanned with CamScanner

10/11/2021

Inverter Static Characteristics :

Slide 16 : (with no body effect)



* لما نعطيه أقل Voltage = 0 شو بصير ولما نعطيه أكبر Voltage = Vdd شو بصير.

1- لما أحط على Vin = 0 ← * الـ transistor حيكون off (Vgs < Vth)

* الـ Capacitor فاضي الشحنات فالـ Voltage طرف الـ Capacitor = 0 . ← 0 =

* رح يمشي current قيمته (Vdd - 0) / R وحيبدأ يعبي بالـ Capacitor لحاله وما في تفريغ.

* رح يرتفع الـ Voltage عالـ Capacitor وحيضل يشحن لحد ما الـ Voltage diff يروح والـ max اللي حوصله على Vout هو Vdd (لما يكون Vin = 0 حيكون Vout = Vdd) (Vdd = VOH)

* لو حطيت 0.1 عالـ Vin برضه حيكون Vout نفس الاشي ، لحد Vth حتضل قيمة Vout تقريبًا = Vdd.

Scanned with CamScanner

2- لما نحط Vdd على الـ input & * رح يكون on ($V_{gs} = V_{dd} > V_{th}$).

* الـ Resistor ماني Current لإنه ماني وقبجود.

* الـ NMos حيمشي في Current لإنه on وقيمة $V_{gs} > V_{gs} - V_{th}$ وحيكون بال Saturation والشحنات حتجيبها من الـ Capacitor (بتحكي بأول لحظة لحنا) وهيك الـ Voltage على الـ Capacitor رح تقل، الـ NMos بفرغ شحنات وال Resistor حيث يعيي لإنه صار عليه Voltage difference (بال design نعمل الـ NMos أقوى) الـ transistor حيفرغ أسرع وال Current اللي بال Resistor حيزيد و الـ Current اللي بالـ NMos حيقل بالنهاية حوصل لمرحلة تثبت الشحنة على الـ Capacitor واللي بعيبه الـ Resistor بفرغه الـ NMos.

* هاي نوصل لمرحلة تكون فيها الشحنات اللي عالـ Capacitor = 0 مهما كانت سرعة تفاعلي.

V_{OL} ← أقل Voltage بتوقع بال Circuit وبعتبره logic=0. لإنه في Resistor كم بيعيي بفرق النظر كم بعيي.

15/11/2021

Slide 16 &

* بدي أزيد الـ Noise margin بدي أزيد قيمة V_{IL} و V_{IH} أقللوا عشان أزيد قيمة الـ Noise margin سواء high أو low، لإنه عالي لو قل الـ Voltage شوي عن V_{DD} ما بأثر كتير على بتقل الـ Circuit وعالي لو الـ output زاد شوي عن V_{OL} ما بأثر كتقل الـ Circuit، هيك بكون ضمنت إنه عندك Noise margin منيحة مع شوية تجاوزات خفيفة بس عالي مقابلها إنك تكسب.

* بس برضه ماني لشي بمنع إنه نحكي $V_{IL} = V_{IH}$ بس هيك ممكن نكون خيعنا شوية ميزات عالينا.

* V_{OL} ← عشان أقلله أكثر ما يمكن لأقلل كمية الشحنات اللي بالـ Capacitor ممكن إني أزيد المقاومة (R) فبقل التيار اللي بعيي وقدرتي على التفريغ بتقل زي ما هي (بفرغ معلقة بس بعيي نص معلقة) وهيك قدرنا نقلل الـ V_{OL}، الحل الثاني لتقليل V_{OL} إنه أزيد من قوة اللي بفرغ (NMos) وذلك عن طريق إني أزيد الـ width الـ NMos. (لتقليل الشحنات الموجودة في الـ Capacitor يا إما بخفف اللي بعيي أو بقوي اللي بفرغ بهدف إني أقلل V_{OL} قدر الإمكان).

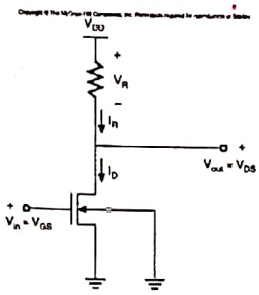
* ما بقدر على الـ 2 عشان الحدود حسب التصميم فما بزيد. * note &

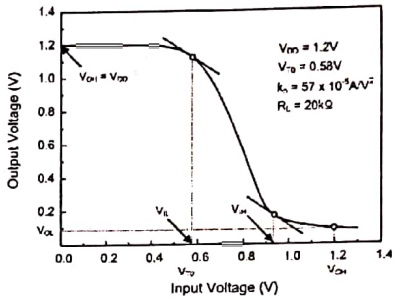
(لإني بحطهم minimum فما بزيد أقلله أكثر بخرب التصميم عندي).

Scanned with CamScanner

Calculation of V_{OH}

- $V_{out} = V_{dd} - R_L.I_R$
- When $V_{in} < V_{T0}$
  - Transistor is in off
  - $I_R = I_D = 0$
  - $V_{OH} = V_{dd}$





Calculation of V_{OL}

أعلى Voltage بتوفه بالسيركت

- V_{OL} is obtained when $V_{in} = V_{OH} = V_{dd}$
  - V_{in}
  - NMOS is in Sat
  - Using KCL $I_R = I_D$

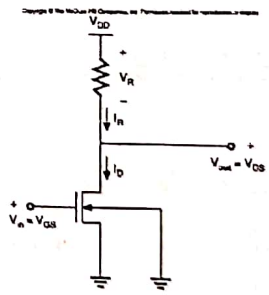
لما الـ output يكون طالع VoH

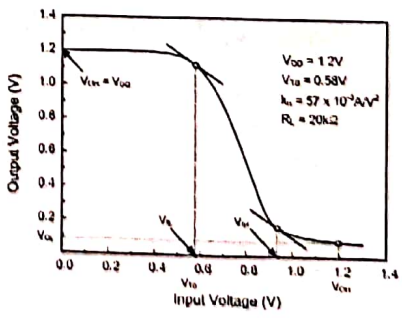
بنزل بحيث بال linear لما الـ output يصير حوالين

بنعتبره قريب من الصفر ← V_{OL}

Capacitor عالـ Voltage والـ ثبت الشحنة

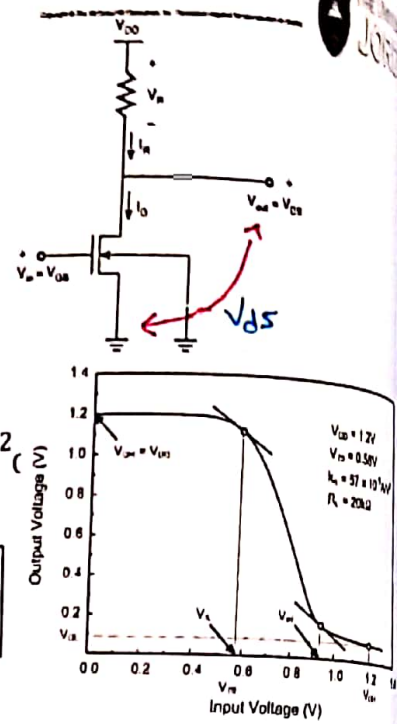
هذه الشحنات عالـ capacitor ما بتتغير وهناك الـ current نفسه ساووا بعض.





Scanned with CamScanner

Calculation of V_{OL}



- V_{OL} is obtained when $V_{in} = V_{OH} =$ V_{dd}
  - V_{in}
  - NMOS is in Saturation → linear
  - Using KCL $I_R = I_D$
  - $(Vdd - VOL)/RL = B/2 . (2.(V_{dd} - VT_0).VOL - V^2($

$$V_{OL} = V_{DD} - V_{TO} + \frac{1}{k_n R_L} - \sqrt{(V_{DD} - V_{TO} + \frac{1}{k_n R_L})^2 - \frac{2V_{DD}}{k_n R_L}}$$

- Use the KCL and V_{OL} definition to to find the value of V_{OL}

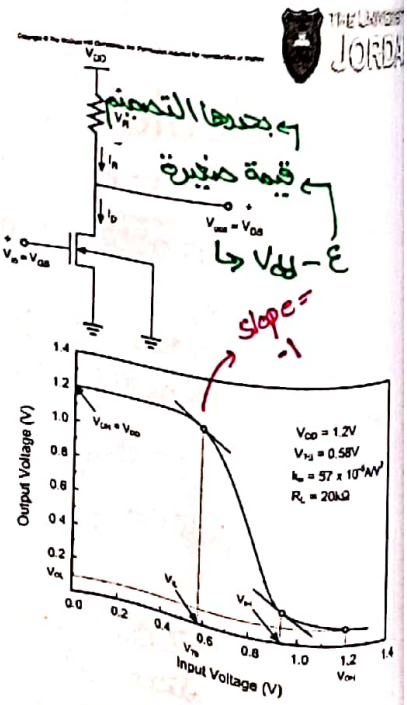
20

$$\frac{B}{2}(\underbrace{V_{gs}}_{V_{OH}} - V_{th} - \underbrace{V_{ds}}_{V_{OL}})\frac{V_{ds}}{2} = V_{dd} - \frac{V_{out}}{R}$$

القيمة الوحيدة اللي ما بعرفها هي V_{OL} يا بنحلها معادلات يا بالـ Simulation.

Calculation of V_{IL}

اتفقنا ما حنخليها V_{th} بالزيط حنمشيها شوي لبعد V_{th} لإنه عادي لو نزل الـ output voltage أقل من V_{dd} بشوي مقابل إني أزيد الـ noise margin لـ logic 0 وأحسن مكان أوقف عنده قبل ما الـ curve يبدأ ينزل لإنه بعدها أي تغيير بسيط بالـ input بسبب الـ noise رح يسبب تغيير كبير بالـ output بالتالي ممكن أطلع برا الـ range الـ logic=0 وأدخل بـ logic=1 range أو undifined region الـ range.



- At $V_{in}=V_{IL}$ $dV_{out}/dV_{in} = -1$ — V_{IL} أكبر بشوي من V_{th}
- NMOS is in Saturation — $V_{ds} > V_{gs} - V_{th}$
  - Using KCL $I_R = I_D$ — لإنه V_{ds} قريبة من V_{DD} وبالتالي أكبر

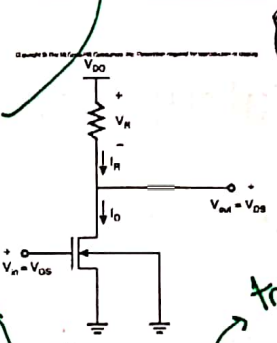
Scanned with CamScanner

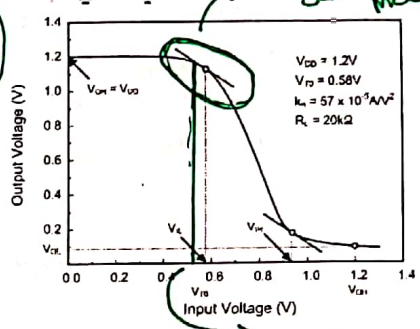
مستحيل نوصل الـ V_{DD} لإنه الـ NMOS شغال فقد ما كبينا مستحيل نخلي الـ capacitor لإنه لسا في تفريغ كنا.

* $\frac{dV_{out}}{dV_{in}} = -1$ * بهمني النقطة اللي فيها

Calculation of V_{IL}

أمّا لو قللت R فأنا هيك بقوي اللي بعبي واللي بفرغ فل زي ما هو فحيتأخر نزول الـ curve.





- At $V_{in}=V_{IL}$ $dV_{out}/dV_{in} = -1$
- NMOS is in Saturation
  - Using KCL $I_R = I_D$
  - $(Vdd - Vout)/ RL = B/2 (Vin - VT_0)^2$ ....(eq1)
  - Differentiate both side
    - $-1/R_L . (dV_{out}/dV_{in}) = B(V_{IL} - V_{TO})$
  - substitute $dV_{out}/dV_{in} = -1$
    - $-1/R_L . (-1) = B(V_{IL} - V_{TO})$
    - $V_{IL} = V_{TO} + 1/(B.R_L)$ ....(eq2)

لما أزيد R فبطل يعبي قد ما بتفرغ فبتقل V_{IL} برضه فال curve بنزل أسرع

$V_{IL} = V_{TO} + \frac{1}{k_n R_L}$

-1 = Slope اللي بكون عنده الـ

لحد هون قيمة Vout ثابتة

هاي المعادلة بتوصف النقطة اللي بدنا ياها.

B_n

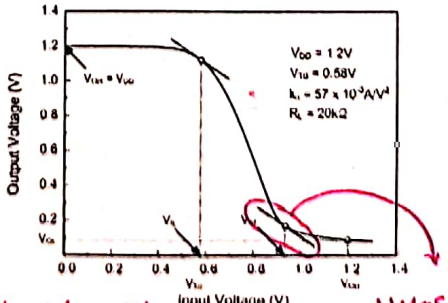
بس عاليمين كل ما نقشي وتغير V_{in} بتغير V_{out}.

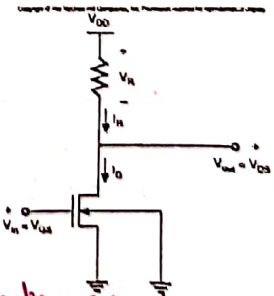
$= \frac{\mu \varepsilon_{ox} W}{L\, t_{ox}}$ → لما أزيدها رح V_{IL} تقل فال curve رح ينزل أسرع لإنه طلبت NMOS أقوى.

Calculation of V_{IH}

شو القيمة اللي بحطها لل input وتعطيني قيمة عال output V_{OL} مش أعلى منه بشوي

- At $V_{in}=V_{IH}$ $dV_{out}/dV_{in} = -1$
- V_{in} is slightly larger than V_{OL}
- NMOS is in Linear



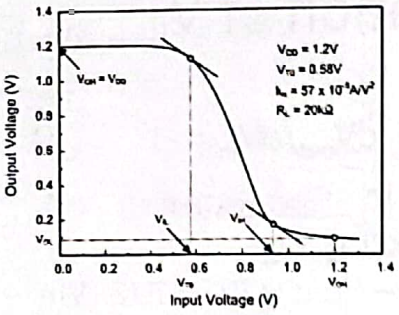


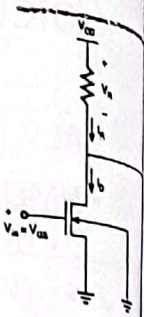
NMOS in linear mode ← إنه V_{DS} عالية و V_{GS} قليلة.

Scanned with CamScanner

* احنا يابنحل بالمعادلات زي هيك يا إما بال Simulation *

Calculation of V_{IH}





- At $V_{in}=V_{IH}$ $dV_{out}/dV_{in} = -1$
- V_{in} is slightly larger than V_{OL}
- NMOS is in Linear
  - * Using KCL $I_R = I_D$
  - * $(Vdd - Vout)/RL = B/2 . (2.(V_{in} - VT_0).VOUT - V^2_{OUT})$ ....eq(1)
  - * Differentiate both side
    - $-1/R_L . (dV_{out}/dV_{in}) = B/2 . (2.(V_{in} - VT_0).dV_{OUT}/dVin - 2V_{OUT} . dV_{OUT}/dVin$ ....eq(2)
  - Solve eq1 and eq2 and substitute $dV_{out}/dV_{in} = -1$ and V_{in} with V_{IH}

$$V_{IH} = V_{TO} + \sqrt{\frac{8}{3}\cdot\frac{V_{DD}}{k_n R_L}} - \frac{1}{k_n R_L}$$

المفروض أوازن بينهم قد ما بقدر .

VTC, Power & Chip Area

*Note: R_L: Resistor قوة بتقلل
$k_n(\beta)$: بتقلل قوة الـ transistor

noise margin high ← بزيد — noise margin low بقل

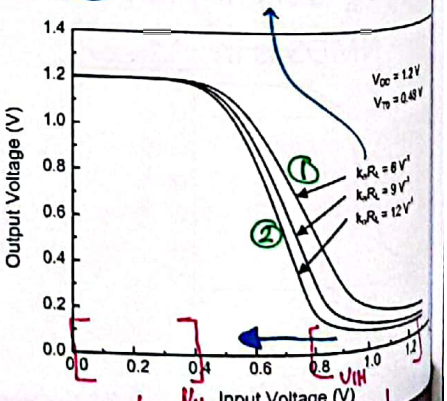
- VTC of the resistive-load inverter for different $(k_n \cdot R_L)$

كلما زدناهم الـ curve بنزل أسرع (V_{IL} بتقل) و (V_{IH} بتقل)

$$V_{IH} = V_{TO} + \sqrt{\frac{8}{3}\cdot\frac{V_{DD}}{k_n R_L}} - \frac{1}{k_n R_L}$$

$$V_{IL} = V_{TO} + \frac{1}{k_n R_L}$$

* دايما في قوتين ، قوة بتبني وقوة بتفرغ .
* لو زيت قوة اللي بتبني (قللنا R) بكون الـ curve رقم ① حيطول الـ curve لينزل .
* لو زيت قوة اللي بتفرغ (زدنا R) بكون الـ curve رقم ② حينزل الـ curve بسرعة .← (أو زدنا W) وحيطول ليطلع لو مشينا بالعكس بالرسمة زي ما رسمت السوم .



Range logic ①

Range logic ②

Scanned with CamScanner

* ما بنحكي عالـ Power اللي بنحتاجها لنقل من 0 إلى 1 أو من 1 إلى 0 أو العكس.
* الـ Power اللي بنركز عليها هون هي إنه بعد ما خلصت الحفرة، هل لازم تضل عيني عالحفرة كشان في احتمال حد يعبيها فالتالي لازم أضل أفرغ ؟ .

Power

تضل عيني عالحفرة كاساس إنه في احتمال تنقص فأرجع أزيدها أو بعد ما فرغت الحفرة، هل لازم تضل عيني عالحفرة كشان في احتمال حد يعبيها فالتالي لازم أضل أفرغ ؟ .

- $V_{in} = V_{OH}$
  - NMOS is in Linear
  - $I_D = I_R = (V_{dd} - V_{OL})/R_L$
- $V_{in} = V_{OL}$
  - NMOS is cutoff
  - ID = 0 → الوحدة J/S
- $P_{DC}(\text{Average}) = (V_{dd}/2).(V_{dd} - V_{OL})/R_L$
  - ↳ ليه ؟ Vdd/2 لإنه Power بستهلكوا من الـ gates 50% هم بستهلكوا الـ 50% الباقي ما بستهلكوا لإنه الـ NMos cutoff.

* 50% NMOS cutoff ↓ P=0 (in=0)

*50% NMos on ↓ P= IV (in=1)

↳ * لو خلينا 60% in=0 و 40% in=1 معادلة Pdc رح تختلف حتنقسم على 0.25 مش على 2 وهكذا.

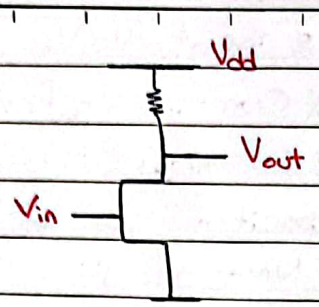
* مشكلتين أساسيتين للـ Resistive-load inverter لما يكون الـ Power
  - 1- مشكلة الـ input=1 وهذا اشي ما بنقدر نتحكم فيه.
  - 2- مشكلة الـ Resistor

Resistor

- Two possibilities for fabricating resistors:
  - Diffused resistor: an isolated n or p-type diffusion region.
    - 20-100 ohm/square: needs large area not practical for VLSI
  - Metal Resistor
  - Undoped polysilicon resistor:
    - mask off during poly doping to create about 10M ohm/square.

Scanned with CamScanner

Slide 25 :



* V_{OH} → Voltage أعلى
* V_{OL} → Voltage أقل
بحسبه لما يكون الـ input هو أعلى Voltage بالسيركت اللي هو V_{OH}

* بال inverter لما نعطي logic=0 بطلعلنا logic=1 ولما نعطي logic=1 بطلعلنا logic=0.
* بوسنا V_{OL} تكون أقل ما يمكن وأقرب ما يمكن الـ zero (عن طريق إنه نزيد R أو نزيد الـ width فويك بقل V_{OL}).

Slide 26 :

1- لما أعبي الحفرة : - لإنه الـ NMOS بكون cutoff وأنا بعبي بالـ Capacitor ← $V_{OH} = V_{dd}$ وصارت لـ V_{dd} والـ Voltage differend بيساوي صفر، ماحد حيقدر يفرغ لإنه الـ NMOS بكون off طالما الـ input=0 معناها ماعندي حد حيفرغ الـ Capacitor فبقدر أروح وما أخلي أراقب لإنه بضمن لما أروح وأرجع حلاقي الـ Capacitor مليان ماحد فرغ منه شي في power أبدلها لأحافظ عالشحنة الموجودة على الـ Capacitor.

2- لما أبلش أفرغ : - حطيت عال input =V_{OH} وعال out حيطلع V_{OL}، هون الـ NMOS بكون on ففي تفريغ، في current بال Resistor لإنو في Voltage difference.

- لما نوصل V_{OL} بكون الـ current اللي ماشي في الـ Resistor يساوي الـ current اللي ماشي في الـ NMOS، والـ NMOS هو الشخص اللي بفرغ عشان يطيني V_{OL}، ما بزبط الـ NMOS يحكي أنا خلصت شغلي وما حشتغل لإنو وقف الـ Resistor حيضل شغال وبعبي، ففي power عم بنبلها هون لإني بضل مراقبة.

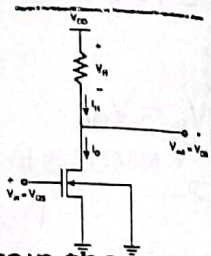
Scanned with CamScanner

$P = I^2R$

* الـ Power مش ثابتة، بتعتمد على الـ Parameters بتاعت الـ Circuit.

مثال لطريقة حساب الـ Power

Example 5.1 - Inverter Design



- Resistive-load inverter circuit
  - V_{DD}=5V, $\mu * C_{ox}$=30μA/V², V_{T0}=1V → 0.53 v
  - V_{OL}=200mV → k_n = 83.3 μA/V²
- Determine (W/L) ratio of the driver Tr. And R_L to obtain the required V_{OL}
  - V_{out} = 80 mv, V_{in} = V_{OH} (= V_{dd}). NMOS is in Linear

when W/L = 1

1.2 V

80 mV

شرط نحافظ عليها 80 v

لما نزيدها بنزيد قوة الـ pull down في V_{OL} بتقلبس بين ياها ثابتة فرح أزود قوة الـ pull down يعني حقلل R.

(W/L)-Ratio	Load resistor (R_L[kΩ])	DC power consumption ($P_{DC,avg}$[μW])
1	263.0 (X)	2.56 (Y)
2	131.5 (0.5X)	5.11 (2Y)
3	87.7	7.67
4	65.8	10.2
5	52.6	12.8
6	43.8	15.3

→ $(2I)^2 * \frac{R}{2} = 2I^2R$

* عشان نوجد R بالبداية لازم أعرف الـ Current اللي ماشي في R واللي هو مساوي لـ الـ Current اللي ماشي في الـ transistor

$I_D = \frac{V_{dd} - 80mv}{R}$

↓ الـ Current اللي ماشي بالـ NMOS

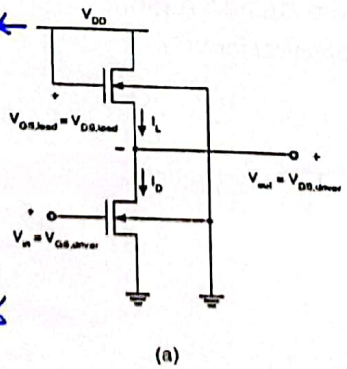
↳ هاي المجهول الوحيد فنقدر أوجدها

* لما نكون بنقارن بين 2 designs لازم تاخذ كل شي بعين الاعتبار مش نقص اشي واشي لأ.

- NMOS transistor وحطيت بدال Resistor قمت الـ

Inverters with MOSFET Load

- Enhancement-Load Inverter



(a)

NMOS اللي بالأعلى هذا مشبوك Vdd على (drain) يشتغل بالـ Saturation كأنه بتصرف current كـ Source.

$V_{gs} > 0.3$

$V_g - V_{dd} > 0.3$

↓

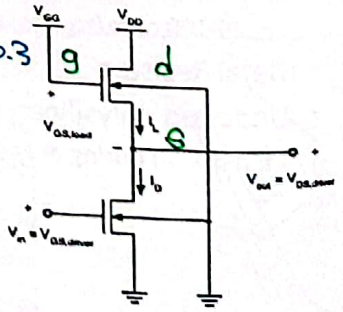
$= 1$

$V_g > 1.3$

↓

هيك بشتغل كل الـ Vdd كـ S

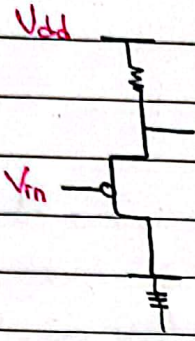
→ $V_{dd} + V_{th}$



(b)

Scanned with CamScanner

Slide 28 : if I want to design the Inverter using PMOS not NMOS, what is the difference ?

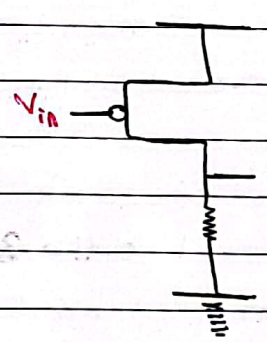


* الفحص الأول إني أحط على input = 0 وأفترض ال output = 1 وأشوف هل ال output حتصير one ولا لأ
* الفحص الثاني إني أحط على input = 1 وأفترض ال output = 0 وأشوف هل ال output حتصير zero ولا لأ

① حطيت على input = 1 = Vdd (أعلى voltage ممكن) ال PMOS بشغال بـ cutoff ، وطبقًا فاريين إنه ال out = Vdd ، ال Vout حتضلها Vdd ، فإنا حطيته 1 وخلاها 1 ، فهنا مش inverter.

② حطيت على input = 0 ، وال output فرضناه = Vdd ، شغال ال PMOS بـ on يعني بقوة ، لازم يحافظ على ال Vdd كمان نقول إنه شغال كـ inverter ، فرع يفرغ فحيطلي على ال out zero ، فإنا مارح يشتغل كـ inverter.

* الشكل الصحيح ال PMOS Resistive-load inverter :



* حنفحص الحالتين اللي فوق بالآخر لتشوف إنه inverter.

① حطيت على input = 1 = Vdd ال PMOS بشغال بال cutoff كما فرضنا ، ال output = Vdd ، إنا ما عندي current بال PMOS ، ال Resistor حيمشي فيه current ، حيصير في تفريغ ، Vout = 0 حتوصل لصفر بينما لما كنا نستخدم ال NMOS ما كنا نوصل لل 0 بالزبط . (وصلنا 0 لأنه ال Resistor بفرغ بس ماذي اشي بعيد)

② حطيت على input = 0 وافترضنا ال out = 0 حيصير ال PMOS بحالة on ، بالبداية ماني current لأنه Resistor ال voltage difference = 0 ، لما يبدأ ال PMOS يشحن رح يزيد ال voltage على ال out رح يبدأ يمشي current بال Resistor وال PMOS لازم يكون أقوى من ال Resistor ، الفرق إنه Vdd بال NMOS بس بال PMOS ال Vdd = Voh قوية بس ، لأنها (لأنه في Resistor بفرغ مش بس تشحن بدون تفريغ)

Five Apple

Scanned with CamScanner

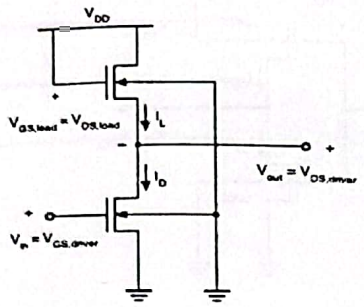
*Note: ما بشتغل ← V_{DD} ○ | بشتغل ← V_{DD} ○ | بشتغل ← ○ V_{DD} | ما بشتغل ← ○ V_{DD}

PMOS بشتغل ← logic 0 واحد بعبي

NMOS بشتغل ← logic 1 واحد بفرغ

Inverters with MOSFET Load

- Enhancement-Load Inverter



(a)

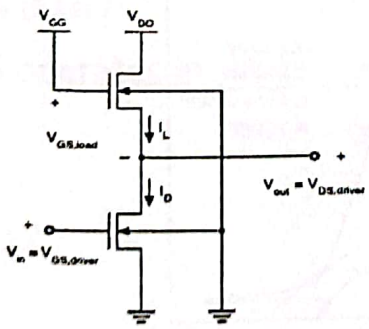
Load NMOS operates in _____

V_{OH} = _____

Power

Inverters with MOSFET Load

- Enhancement-Load Inverter



(b)

Load NMOS operates in _____

V_{OH} = _____

Power

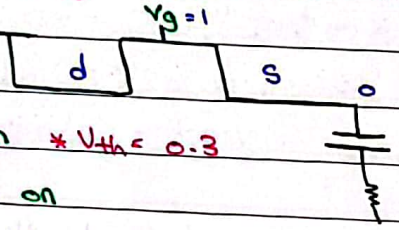
Scanned with CamScanner

* Slide 29 :

① لو حطيت هالـ Vin = 0 الـ NMOS اللي تحت حيكون شغال بالـ Cutoff
والـ NMOS اللي فوق شغال بالـ Saturation ، فـ حيشحن الـ Capacitor الموجود هالـ out
لحد ما يوصل أعلى شي ، هل VOH = Vdd ؟ لأ والشرح في الأسفل

② لو حطيت هالـ Vin = 1 الـ NMOS اللي تحت حيكون شغال بالـ Saturation
افتراض إنه الـ out = 1 ، ففي current ماشي بالـ 2 NMOS ، المفروض الـ NMOS
اللي تحت يكون أقوى لأقدر أسحب الـ Voltage لأشي قريب من الصفر ، ما يوصل صفر
بالزبط لإنه في تعبئة ، VOL ~ 0 .

- حلينا مشكلة الـ fabrication Resistor بس هل حنحصل نفس النتائج بالتصميمين ؟



* بدي أهتم بالـ NMOS اللي فوق حاليا :

Vg	Vs	Vgs	
1	0	1	on * Vth = 0.3
1	0.4	0.6	on

لو افترضنا Vdd = 1v ، والـ Capacitor في البداية صفر والـ Vg = 1 ، والـ transistor بـ Saturation الـ Mode ، فيشحن الـ Capacitor ففي current ، نفوض شحنة الـ Capacitor زادت لـ 0.4 بصيرلها زاد لـ 0.6 ←

Vg	Vs	Vgs	
1	0.6	0.4	on

لحد ما أوصل لـ 0.71 بصير عندها Vg Vs Vgs و off معناها ما في تيار

1	0.71	0.29	off

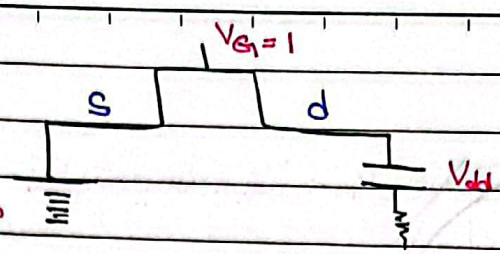
وما بدي أشوف اشي أعلى من 0.71 ، فإذا أكبر Voltage ممكن أشوفه هالـ capacitor هو 0.7 إذا ما حوصل Vdd والفرق بين أعلى Voltage بشوفه و Vdd هو Vth = 0.3 (VOH = Vdd - Vth) و (VOL ~ 0)
إذا زي ما لاحظنا الـ NMOS مش هو الخيار الأفضل إني أنقل منه logic = 1 .
* ممكن أحل الموضوع بإني أزيد الـ Voltage اللي هالـ gate لـ 1.1 عندها

Vg	Vs	Vgs	
1.1	0.7	0.4	on

كـ حيضل شغال لحد ما أرجع أوصل إنه الـ Vth = Vgs

فصار هالـ Max اللي بقدر أوصله = 0.8
منوا بعرف أعلى قيمة لـ Vs بقدر نشوفها . → [Vg - Vs ≥ Vth]

Scanned with CamScanner

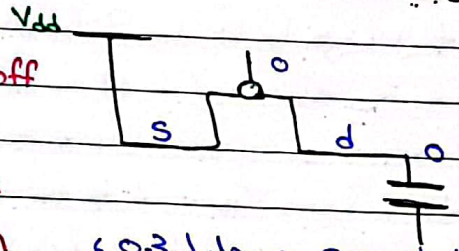


V_G	V_s	V_{gs}	ON/off
1	0	1	ON
1	0	1	ON
1	0	1	ON
1	0	1	ON

حطيت هال Source = 0 أولمرة، التوضيح بالجدول، حيكون شغال وعم بفرغ وال Voltage كان 1 مع التفريغ هال 0.7 ما نقى اشي حيخلي يفرغ زيادة ليوصل 0.2 رح يخلي ON لحد ماتوصل لـ 0 والـ voltage differand ما حيمشي current. هال صفر معناه ما حيمشي بس بالـ weak هال آخر واحد

[فرح ينقلي Strong zero بس بينقل weak one زي ما شرحنا ولا. ← بال NMOS]

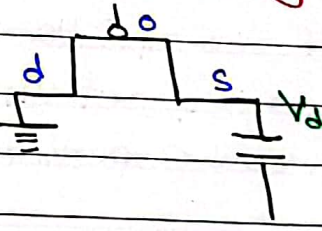
* هلأ حنشوف نفس التجربتين بال PMOS & $V_{th} = -0.3$, $V_{dd} = 1$



Vg	Vs	Vgs	ON/off
0	1	-1	on
0	1	-1	on
0	1	-1	on
0	1	-1	on

حيمشي current ويشحن الـ capacitor حيوصل لـ 0.3، حيخلي يشحن ويوصل لـ 0.7 لحد ما أوصل لـ 1 حيكون on $V_{ds} = 0$ ما في دافع للشحنات إذا تتحرك فحوصل لـ max اللي هو 1 واللي هو V_{dd}.

* هال PMOS حينقل Strong one فهو أفضل من الـ NMOS بينقل الـ 1.



Vg	Vs	Vgs	ON/off
0	1	-1	ON
0	0.7	-0.7	ON
0	0.3	-0.3	ON

* $V_{gs} < -0.3$

$V_g - V_s < -0.3$

$0 - V_s < -0.3$

$V_s > 0.3$

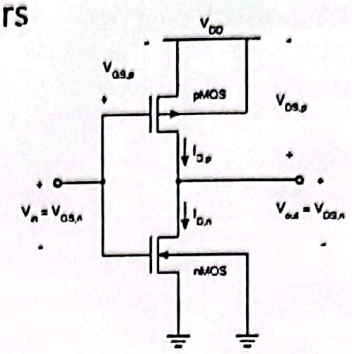
حيفرغ من الـ capacitor، وصلنا 0.7 حيخلي يفرغ لحد ما أوصل 0.3 لو نزل عنه شوي حيصير off، فمارح أشوف أقل من 0.3، مارح أوصل صفر يعني، لو بدي أجيبه ينزل لصفر أقلل V_g لـ 0.3- بس هاي صعب نعملها. * هال PMOS حينقل Weak Zero

الميزان الصح إني أعتمد هال NMOS يفرغ وال PMOS يعبي، بس أنا صعب أشغل الايشين سوا.

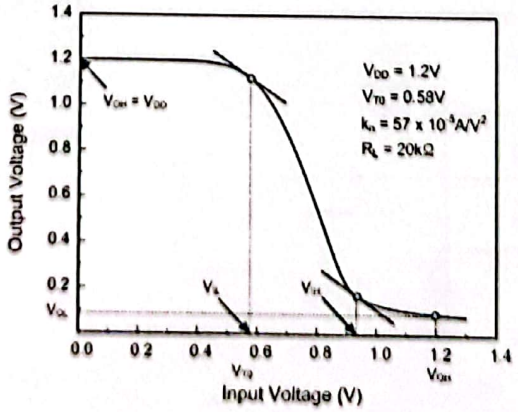
Scanned with CamScanner

CMOS Inverter

- Has NMOS and PMOS Transistors
- Cons
  - Complexity
- Pros
  - Power
  - VTC is sharp



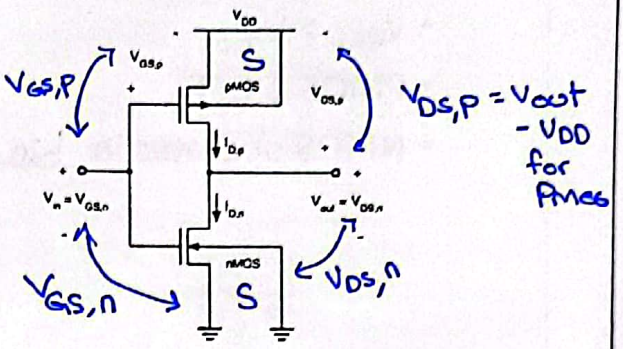
(a)



Scanned with CamScanner

Operation

- $V_{GS,n}$ _____
- $V_{GS,p}$ _____
- $V_{DS,n}$ _____
- $V_{DS,p}$ _____



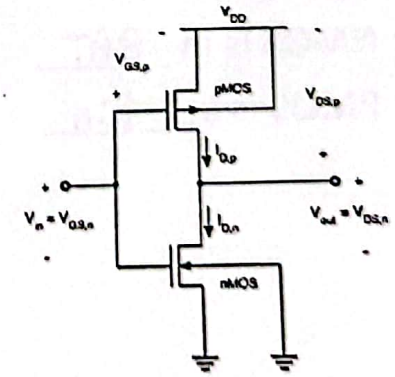
(a)

*كلما صعوبة إلى Vth كلما ضعيف.

Operation

① Strong one

- $V_{GS,n} < V_{th,n}$
- NMOS is OFF
- PMOS operates in Sat → out=0
  lin → out= Vdd



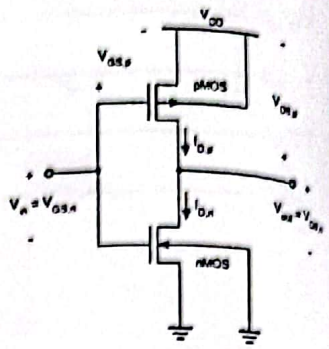
(a)

Scanned with CamScanner

Operation

② Strong 0

- $V_{GS,p} > V_{th,p}$
- PMOS is OFF
- NMOS operates in lin

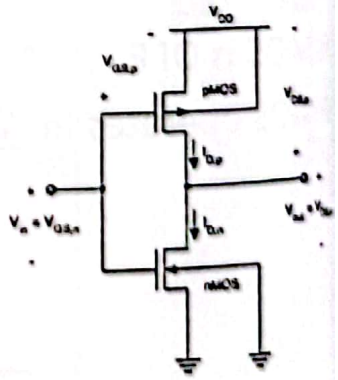


(a)

③

Operation

- $V_{in} = V_{IL}$
- NMOS is in SAT
- PMOS is in lin



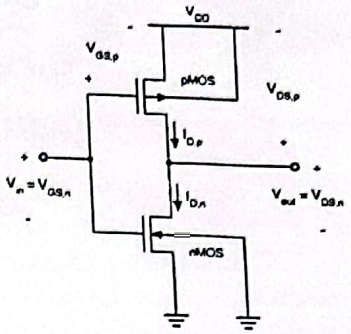
(a)

Scanned with CamScanner

⑤ when the inverter is symmetric.

Operation

- $V_{in} = V_M = Vdd/2$
- NMOS is in SAT
- PMOS is in SAT

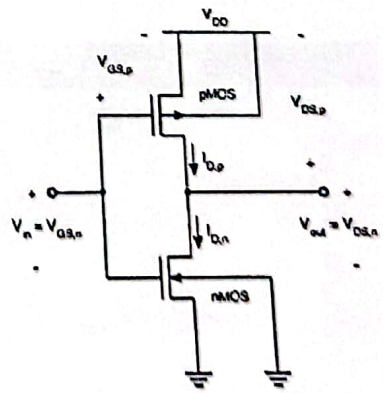


(a)

④

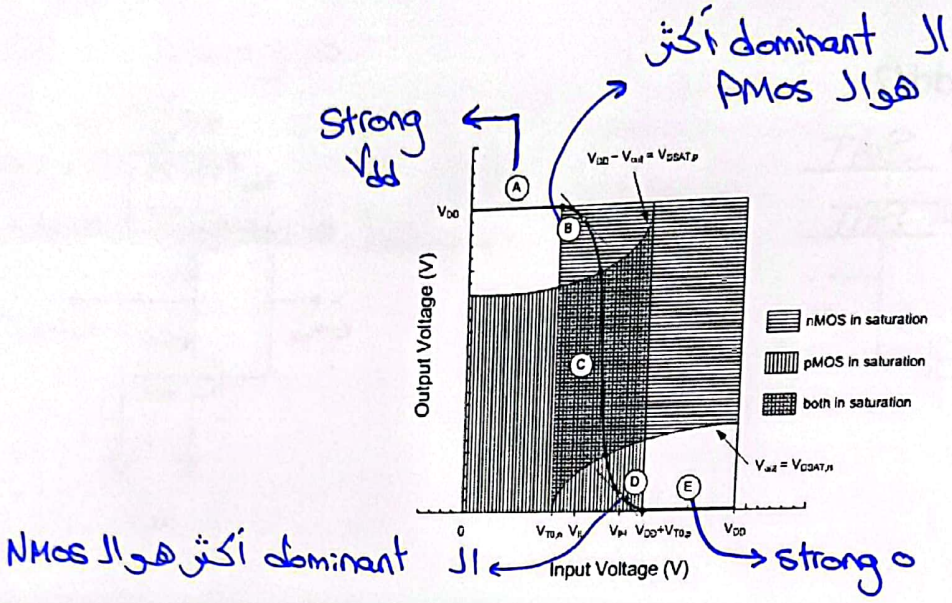
Operation

- $V_{in} = V_{IH}$
- NMOS is in Lin
- PMOS is in SAT



(a)

Scanned with CamScanner

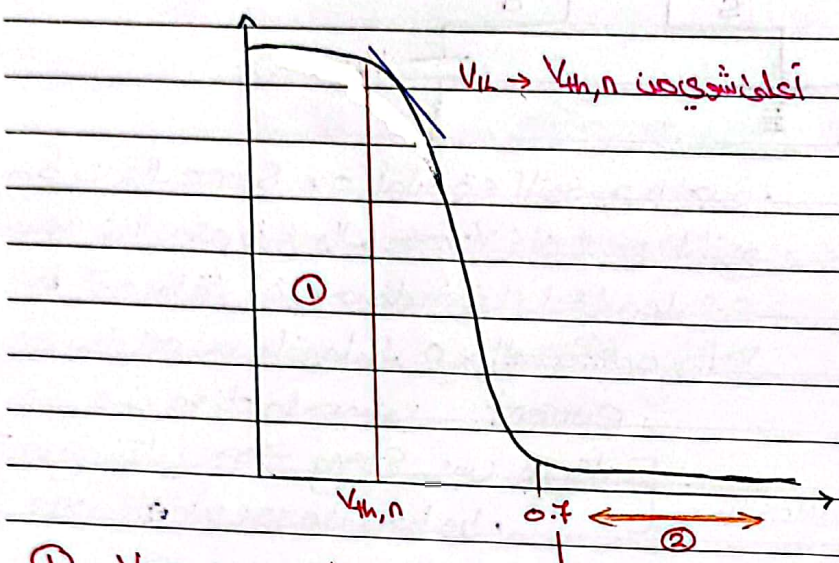


ملخص .

Region	V_{in} in the region	V_{out}	NMOS	PMOS
A	$< V_{th,n}$	V_{OH}	Cut-off	Linear
B	V_{IL}	$\sim V_{OH}$	Sat.	Linear
C	V_M	V_M	Sat.	Sat.
D	V_{IH}	$\sim V_{OL}$	Linear	Sat.
E	$> V_{tdd} + V_{th,p}$	V_{OL}	Linear	Cut-off

Scanned with CamScanner

Slide 36 8



* نفترض إنه $V_{DD} = 1v$.
* $V_{th,n} = 0.3$.
* $V_{th,p} = -0.3$.
* حيكون عندي 5 مناطق .

① $V_{GS,n} < V_{th,n}$ ⁰⁰ ← $= V_{th,p} + V_{DD}$

* الـ NMOS رح يكون off .
* ما بنبط نحدد Saturation أو linear وحنا ما بنعرف الـ output .
* الـ PMOS رح يكون on ، الـ out بكون 0 بالبداية ورح يبدأ الـ PMOS يشحن ، لما يكون الـ out=0 حيكون mode of operation الـ PMOS ← Saturation لإنه V_{GS} أقل من $V_{th,n}$ وفوقنا قيمة $V_{in} = 0.2$ أقل من V_{th} ووقت إجراء الحسبة بنعرف إنه Saturation .
* بعدين حيضل يعبي ليحس الـ out = V_{DD} فحينها الـ PMOS يشتغل بالـ linear .
* لما يوصل الـ out = V_{DD} الـ current اللي ماشي في الـ PMOS = 0 لإنه بالـ linear .
  ↳ * بالـ linear إذا الـ $V_{DS}=0$ بكون الـ current = 0 *

② $V_{GS,p} > V_{th,p}$ ⁰⁰

* الـ PMOS حيكون off (لو كان عالـ input من 0.7 وطالع)
* الـ NMOS بكون on ، لو كان الـ out=V_{DD} بكون بـ Saturation mode ، رح يبدأ يفرغ وحدة كبيرة بفرغ عالـ capacitor لحد ما توصل لـ out=0 فحينها بـ linear mode .

③ $V_{in} = V_{IL}$

~ V_{DD} رح يكون output الـ $V_{in} = V_{IL}$ وهاي يكون الـ V_{in} مثلاً = 0.4 فحينها الـ NMOS بالـ Saturation والـ PMOS بالـ linear .
* الـ Voltage محلول ثابت ماشي قريب من V_{DD} معناها الـ PMOS مسيطر .

Scanned with CamScanner

④ $V_{in} = V_{IH}$

* نفترض إنه $V_{IH} = 0.6$ مثلاً ، الـ NMOS حيكون بالـ linear والـ PMOS بالـ Sat ، لازم نعمل الحسابات عشان نطلع الـ modes هيك بالزبط.

⑤ when the inverter is symmetric, $V_{in} = V_M = V_{dd}/2$

* يعني لو فرضنا الـ $V_{in} = 0.5$ حيكون الـ $V_{out} = 0.5$ ، الـ NMOS بالـ Saturation والـ PMOS بالـ Saturation (كمان شبكنا الـ gate والـ drain نفس الـ Volt)

Scanned with CamScanner

V_{OH} & V_{OL}

- V_{OH} = V_{dd}

* هذه هي ميزة ال CMOS Inverter" بكون " Strong 0 و Strong 1 وهذا ما شفناه قبل بال NMOS أو ال PMOS (resistive load inverter)

- V_{OL} = 0

V_{IL}

- $V_{in} = V_{IL} \rightarrow dV_{out}/d\,V_{in} = -1$
- NMOS is in SAT
- PMOS is in Lin

Scanned with CamScanner

* β_n و β_p بفرقوا عن بعض أكيد *

* الـ β إلها دور لما يكون الـ transistor مفتوح (on)
أما لما يكون مطفي ما بسأل في β *

V_{IL}

- $V_{in} = V_{IL} \rightarrow dV_{out}/d\,V_{in} = -1$
- NMOS is in SAT
- PMOS is in lin

- $B_n/2(V_{GS,n} - V_{th,n})^2 = B_p/2\,(2.(V_{GS,p} - V_{th,p}).\,V_{DS,p} - V_{DS,p}^2)$

($V_{GS,p} \rightarrow V_{in} - V_{dd}$, $V_{DS,p} \rightarrow V_{out} - V_{dd}$, $V_{GS,n} \rightarrow V_{IL}$)

$$V_{IL} = \frac{2V_{out} + V_{T0,p} - V_{DD} + k_R V_{T0,n}}{1 + k_R}$$

- $K_R = K_n/K_p$

(K_R: β_n قوة الـ NMOS، β_p)

* مش كتير حنستعمل المعادلة *

لو زدت K_R، إذا زادت k_n معناه زادت الـ W للـ NMOS، وإذا زدت k_p كمان زدت الـ W للـ PMOS، فلما أثبت k_p وأزيد k_n حتزيد V_{IL} فصار يزيد الـ ratio فالـ curve حتمال بتنزل أسرع.
وكذلك لو قللنا k_p مع ثبات k_n حيصير نفس الاشي.

V_{IH}

- $V_{in} = V_{IH} \rightarrow dV_{out}/d\,V_{in} = -1$
- NMOS is in lin
- PMOS is in SAT

Scanned with CamScanner

V_{IH}

- $V_{in} = V_{IH} \rightarrow dV_{out}/d\,V_{in} = -1$
- NMOS is in lin
- PMOS is in Sat

- $B_p/2(V_{GS,p} - V_{th,p})^2 = B_n/2\,(2.(V_{GS,n} - V_{th,n}).\,V_{DS,n} - V_{DS,n}^2)$

$$V_{IH} = \frac{V_{DD} + V_{T0,p} + k_R \cdot \left(2V_{out} + V_{T0,n}\right)}{1 + k_R}$$

- $K_R = K_n/K_p$

Inverter threshold voltage

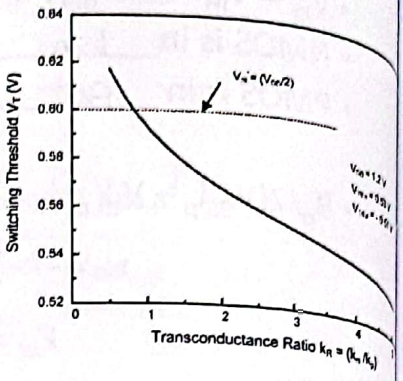
- $V_{in} = V_{out}$
- NMOS and PMOS are in Saturation

Scanned with CamScanner

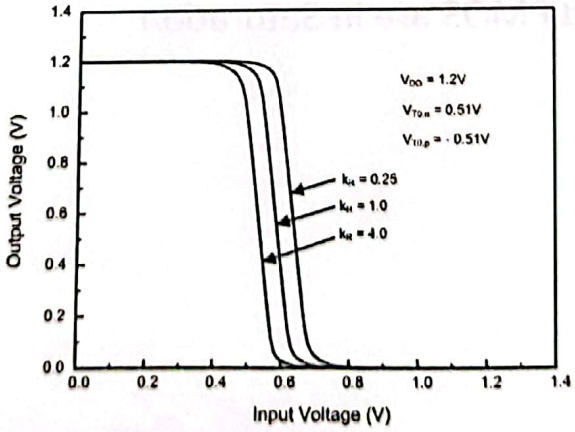
Inverter threshold voltage

- $V_{in} = V_{out}$
- NMOS and PMOS are in Saturation

$$V_{th} = \frac{V_{T0,n} + \sqrt{\frac{1}{k_R}} \cdot \left(V_{DD} - \left|V_{T0,p}\right|\right)}{\left(1 + \sqrt{\frac{1}{k_R}}\right)}$$



Design of CMOS Inverter



Scanned with CamScanner

Design of CMOS Inverters (2)

- If symmetric CMOS inverter with $V_{T0,n} = |V_{T0,p}|$ and $k_R = 1$,

$$V_{IL} = \frac{1}{8}\cdot\left(3V_{DD} + 2V_{T0,n}\right)$$

$$V_{IH} = \frac{1}{8}\cdot\left(5V_{DD} - 2V_{T0,n}\right)$$

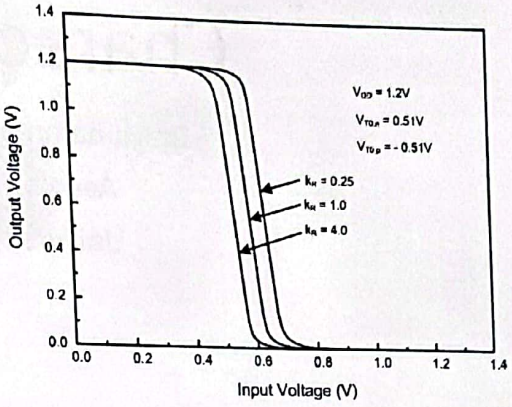
$$\rightarrow V_{IL} + V_{IH} = V_{DD}$$

in a symmetric inverter

$$NM_L = V_{IL} - V_{OL} = V_{IL}$$

$$\rightarrow NM_H = V_{OH} - V_{IH} = V_{DD} - V_{IH}$$

$$\Rightarrow NM_L = NM_H = V_{IL}$$



في محاضرة الاثنين 29/11 ومحاضرة الأربعاء 1/12 لـ كامل المحاضرة

لـ الدقيقة 56 تطبيقات على الـ LTspice.

* الـ Capacitor مشا جزء من التصميم ، بنحطه كشان نعمل modeling.

Scanned with CamScanner

كيف الـ behaviour لـ inverter مع الوقت.

Inverter Transient Characteristics

Dr.Mohammad Abdel-Majeed
Assistant Professor
University of Jordan

Timing Analysis

- Delay models are required for _____ and the _____

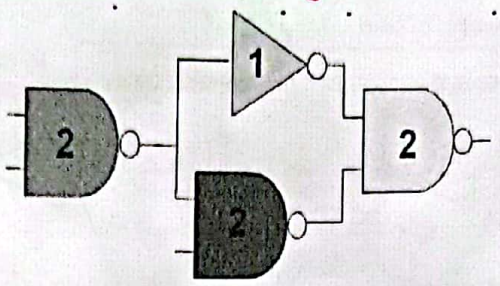
↳ هو اللي بهمني في الـ Timing Analysis

* بهمنا دايما الـ "worst case delay" كشان أقدر بناء عليه أحدد الـ clock cycle.

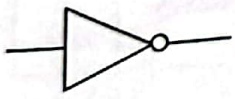
Scanned with CamScanner

Example

* لما اجي اعمل Pipeline Stage أقل شي طولها بده يكون 6 delay units ↓ worst case Path

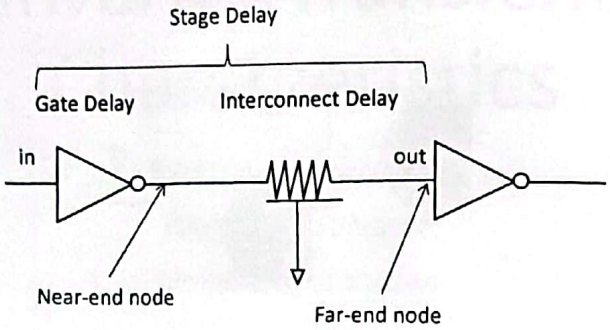


* ما بزبط احكي 5 لإنه أنا مش رايحة خلص من إني أخلص الشغل على 5 .



Scanned with CamScanner

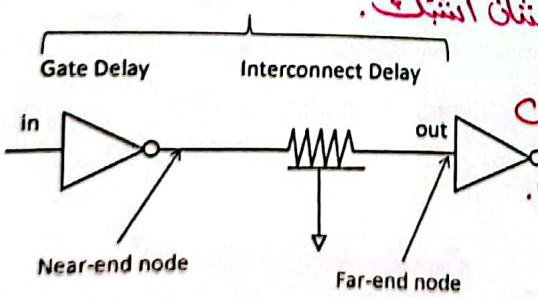
Inverter delay



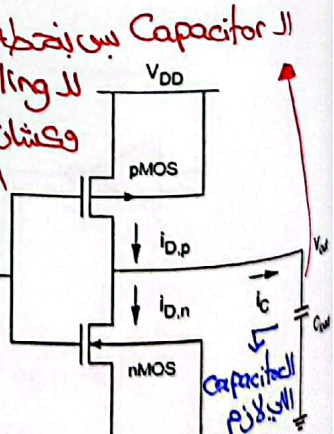
← بدي وقت لينتقل الـ input من مكان لمكان ووقت ليطلع الـ output ووقت ليوصل لبداية الـ inverter الثاني وهكذا.

* الـ Capacitor بين الـ wire بتعتمد على الـ dimension بتاع الـ wire

* الـ Capacitor بين الـ inverter بتعتمد على الـ dimensions بتاعة الـ transistors اللي بستعملها لهذا الـ inverter بالإضافة لـ الـ wires اللي أنا بستعملهم عشان أشبّك.

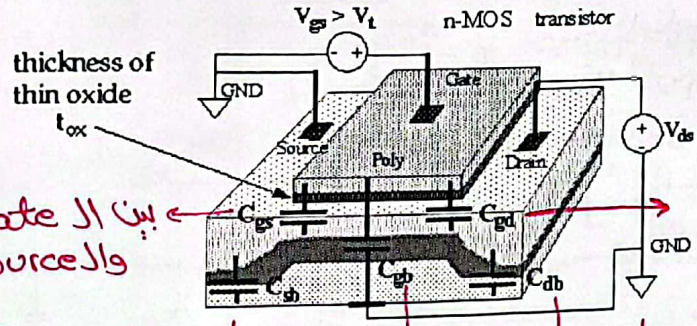


الـ Capacitor بس بنحطه للـ Modeling وعشان نحسب الـ delays بس هش جزء من الـ Circuit تبع الـ Inverter.



الشحنة لـ V_{DD} أو أقوى لتصغير الـ Capacitor اللي موجودة عالطريق اللي بسببها الـ wire نفسه

Scanned with CamScanner



بين الـ gate والـ Source

بين الـ gate والـ Drain

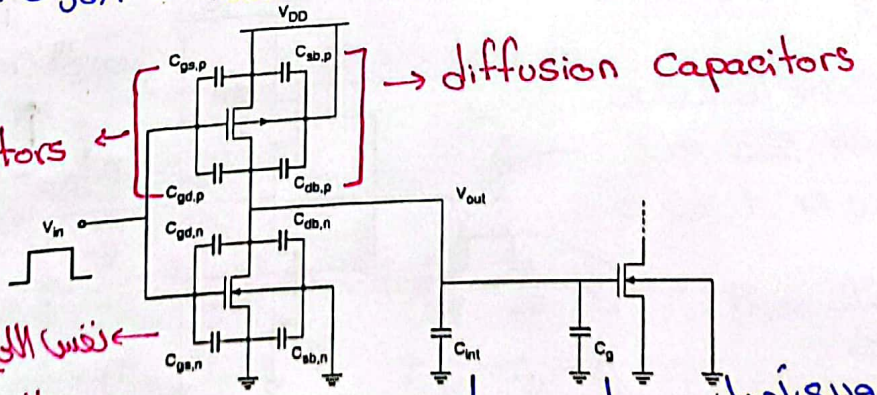
بين الـ Source والـ body (diffusion regions)

بين الـ gate والـ body

بين الـ drain والـ body (diffusion regions)

* $C_{sb,n}$ ما بيشملها بالـ delay لإنه الطرفين تاتا ground عكس الـ Capacitor بنحسبها delay لما يحير عليها Voltage difference وهذا ما عليه.

- Cload = $C_{gd,n} + C_{gd,P} + C_{db,n} + C_{db,P} + C_{int} + C_g$



gate Capacitors ← → diffusion Capacitors

← نفس اللي فوق بس لـ Nmos فوق الـ Pmos

← الـ wire capacitance اللي بدي أشتغ عليه

↳ إذا انتقلت وبدي أوصل الـ Signal لهون عشان أوصل اللي بدي ياه.

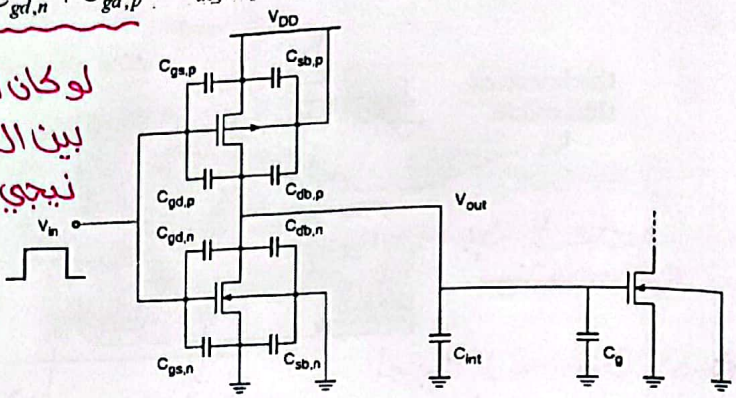
Scanned with CamScanner

شملوهم مع الـ output أيضًا

↑

- Cload = $C_{load} = C_{gd,n} + C_{gd,p} + C_{db,n} + C_{db,p} + C_{int} + C_g$

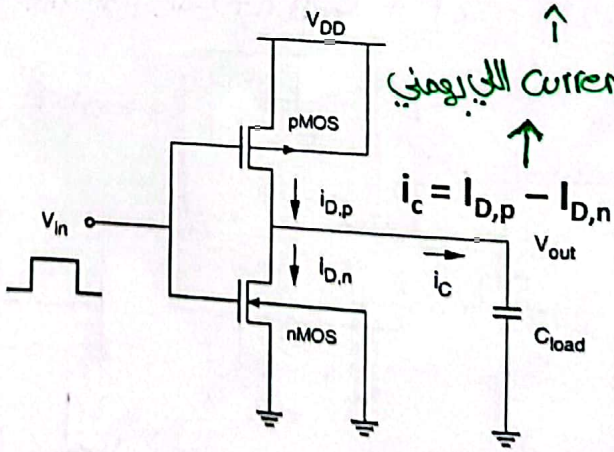
لو كان الـ capacitor مشبوك بين الـ input والـ output، لما نيجي نعمل modeling نشمله عالـ input ونشمله عالـ output ونلغي اللي كان بين الـ input والـ output.



والقيمة اللي باخدها اله بس اشمله عالـ out بتكون مضروبة بـ constant.

↳ اسم هذه النظرية هو Miller effect

الـ current اللي ماشي في الـ capacitor هو اللي بحدلي قديه بدي وقت لأوصل.



↑ هنا الـ current اللي بروحي

↑ $i_C = I_{D,p} - I_{D,n}$

Scanned with CamScanner

قديه الوقت اللي بحتاجه عشان تأثير الـ input يطلع عالـ output، مارح استنى الـ output يوصل كل المسافة
& أول ما يوصل نعتبرها ابدأ أعد.

THE UNIVERSITY OF JORDAN

Delay-Time Definitions: Propagation Delays

← تسميتها حسب الـ output ↑ ← سوف نختبرها بالـ Simulation.

بتربط بين الـ input والـ output

*if $V_{OL}=0$, $V_{OH}=1$ → $V_{50\%}=0.5$

*if $V_{OL}=0.1$, $V_{OH}=1$

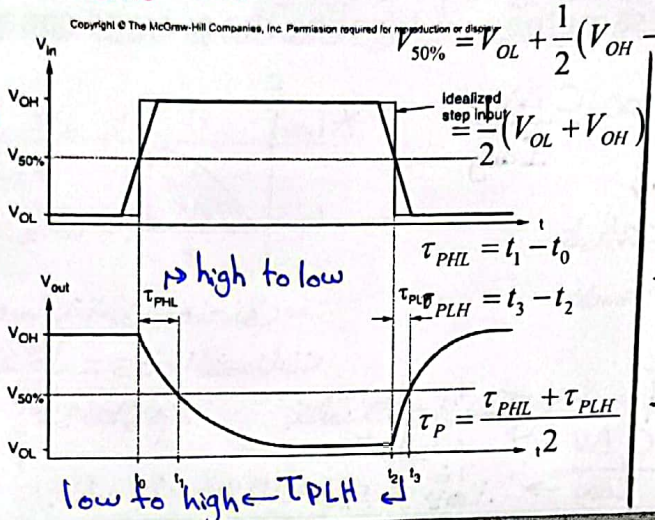
→ $V_{50\%} = \frac{1-0.1}{2}+0.1 = 0.55$

0.1 — 0.45 — 1

0.55

↓

لإنه ما مشيت الـ 0.45 من الصفر مشيتها من 0.1 "قيمتك بس تمشي 0.45 بتكون 0.55 وهذا اللي تراقبه"



$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH}-V_{OL})$

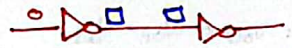
$= \frac{1}{2}(V_{OL}+V_{OH})$

$\tau_{PHL} = t_1 - t_0$

$\tau_{PLH} = t_3 - t_2$

$\tau_P = \frac{\tau_{PHL}+\tau_{PLH}}{2}$

11

* Note: 

لو حطينا صفر عالـ input مارح استنى أول مربع يجيب 1 عشان أمشي لا ممكن تبلش شوي شوي تعبي المربعات وحدة ورا التانية لحد ما آخر مربع يوصل الـ max بكون كل اللي قبله وصل الـ max، ما بزبط اللي قام يوصل الـ max واللي ورا لسا ماشي واصله، بس ممكن اللي ورا يوصل الـ max واللي قدامه يكون لسا ما وصل.

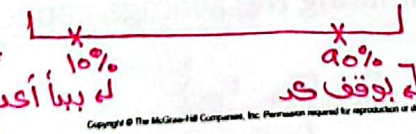
THE UNIVERSITY OF JORDAN

Delay-Time Definitions: Rise & Fall Times

← تغير الـ output من 1 إلى 0

← ممكن تستخدم قيم غير 90% و 10% حسب المطلوب

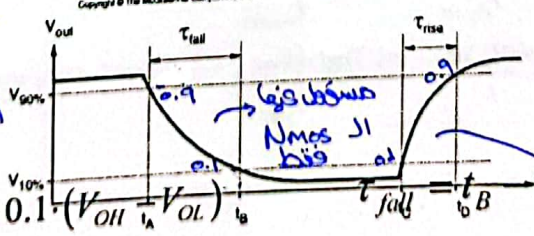
لـ تغير الـ output من 0 إلى 1



* ما بهتم لـ input في الـ Rise والـ Fall time.

* بهتم قديه بها الـ output كشان تنتقل من 0 إلى 1 أو من 1 إلى 0

* قيمة Trise وقيمة Tfall بتعتمد حسب مين الأقوى الـ Nmos والا Pmos



$V_{10\%} = V_{OL} + 0.1\cdot(V_{OH}-V_{OL})$

$V_{90\%} = V_{OL} + 0.9\cdot(V_{OH}-V_{OL})$

$\tau_{fall} = t_B - t_A$

$\tau_{rise} = t_D - t_C$

* ما في داعي استنى أكمل لإنه بالنهايات الـ current بكون كتير قليل فبنطول التوقع strong 1 و strong 0

12

* لو خليت Nmos الـ W/L = 64/32 و Pmos الـ W/L = 128/32 بصيروا هيك قد بعض $M_n \sim 2M_p$ حيضل أقوى لأنه الـ Nmos فبخلي

* Ex: $V_{OL}=0.2$, $V_{OH}=1.1$

$V_{10\%} \stackrel{?}{=} 0.29$ → بيأكد من هون

$V_{90\%} \stackrel{?}{=} 1.01$ → بيحقق كمان من هون

Scanned with CamScanner

Calculation of Propagation Delay (AVG current method)

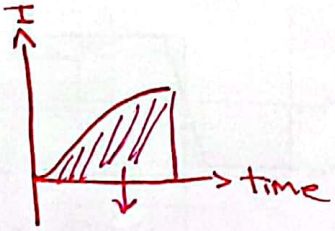
بناخد نقطتين وبشوف قديه الcurrent → بالنقطة الأولى وقديه الcurrent بالنقطة الثانية وبناخد الـ avg بيزعم عاعتبار التيار بزيد بشكل معين بيزعم.

- Simplest method : estimating the average capacitance current

$$*\text{Delay} \propto \frac{C\,\Delta V}{I}$$

على اعتبار أنه التيار نفسه ماشي باستمرار

*



المساحة تحت المنحنى = التكامل = عدد الشحنات اللي نفلزوم.

$$\text{Delay} = \frac{C\,\Delta V}{I_{avg}}$$

ثابتة وموجودة

Time بنعتمد كشو المطلوب

برضه بناء عالنقاط اللي بدي ياها.

Calculation of Propagation Delay (AVG current method)

- Simplest method : estimating the average capacitance current

$$\tau_{PHL} = \frac{C_{load} \cdot \Delta V_{HL}}{I_{avg,HL}} = \frac{C_{load} \cdot (V_{OH} - V_{50\%})}{I_{avg,HL}}$$

$$\tau_{PLH} = \frac{C_{load} \cdot \Delta V_{LH}}{I_{avg,LH}} = \frac{C_{load} \cdot (V_{50\%} - V_{OL})}{I_{avg,LH}}$$

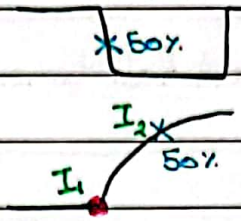
Scanned with CamScanner

Inverter Transient Characteristics

Slide 148 (ΔV) Capacitor على Voltage ال كيرت لما كان اللي التيار ← Iavg

لوبي أحسب مثلاً ال propagation delay بالمعادلات مش بال Simulation ؛

* الوضع الطبيعي نقيس ال 50% عال input وال output بس احنا عال input ما بنعرف ال V50% ، ممكن نفترض انه ال input بتغير لشكل لحظي يعني باخذ 0 sec



* ال current I1 أقل من I2 لأنه أولا بكون عالي بعدين ببدأ يقل *

* النقطة اللي حنعوض فيها عن input V50% هي المحددة بالأحمر ؛ النقطة اللي كيرت فيها ال Voltage بس لسا ما بدأوا يتغيروا (كيرت Vin من 1 إلى 0 بس عال out لسا ما تغيروا طالعين)

* $I_{avg} = \frac{I_1 + I_2}{2}$ → وأكيد Iavg هو ال Ie لـ I1 يعني ال current اللي ماشي من

ممتاز دقيق 100%.

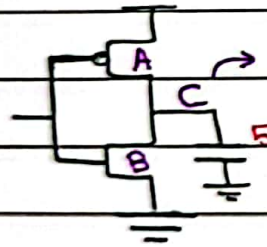
* ΔV معناها ال Capacitor اللي عال output قديه أنا كيرت ال Voltage تبعه

فمثلاً عالي طرحناه فوق وباستخدام ال CMOS ← $\Delta V = V_{50\%} - V_{OL} = V_{50\%} - 0$

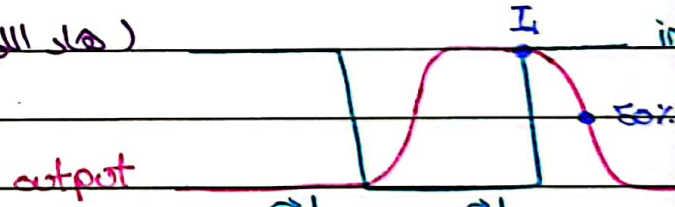
أما لو هو CMOS ما حيكون $V_{OL} = 0$ أكيد.

EX: CMOS Inverter ; $V_{dd} = 1.2$, Find T_{PHL} ? Delay = $\frac{C\Delta V}{I}$

→ =(50 * (1.2-0/2)) /



current of I1, I2 (هاد اللي بوصني)



* $I_1 = V_{in} = 1.2$, $V_{out} = 1.2$ → mode

operation (A) = Cutoff , (B) = Saturation ⟶ $I_1 = \frac{B_n}{2}(V_{gs,n} - V_{th,n})^2$

Five Apple

Scanned with CamScanner

* I_2 : $V_{in} = 1\ (1.2)$, $V_{out} = 0.6$, mode of operation (A) = cutoff , (B) = linear → I_2 = I in linear mode

Current الـ بنروحوا فنحسب B و $V_{DS} = 0.6$ و $V_{GS} = 1.2$ و V_{th} لـ NMOS بكون معروف *

→ $I_{avg} = \frac{I_1 + I_2}{2}$ (قيمة أقل تقريبًا I_2)

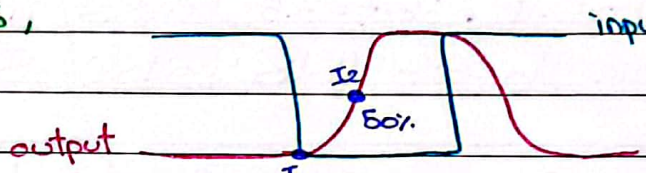
∴ $A + B + C = 0$ → $A = 0$ → $B = C$

* لو كان السؤال حساب T_{PLH} حنشتغل بنفس الطريقة :

∴ I_2 : $V_{in} = 0$, $V_{out} = 0.6$,

NMOS off , PMOS on

I_2 لـ بنروح الـ mode وبنحسب

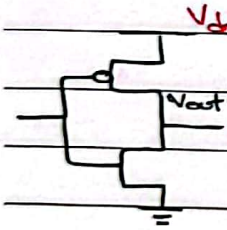


∴ I_1 : $V_{in} = 0$, $V_{out} = 0$, NMOS in cutoff , PMOS on

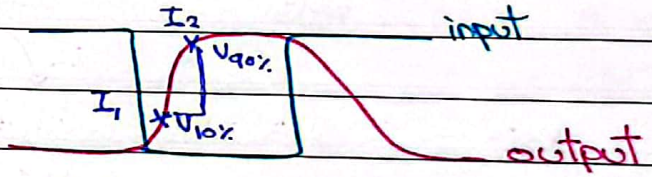
I_1 لـ بنروح الـ mode وبنحسب

→ $I_{avg} = \frac{I_1 + I_2}{2}$

Slide 16 : Calculation of Rise and fall time :



Find rise time :



* $V_{10\%} = V_{OL} + 0.1(V_{OH} - V_{OL}) = 0.12$

* $V_{90\%} = V_{OL} + 0.9(V_{OH} - V_{OL}) = 1.08$

→ $\Delta V = 0.96$

∴ I_1 → $V_{in} = 0$, $V_{out} = 0.12$, NMOS → cutoff, PMOS → on and Sat

→ $I_1 = \frac{B_p}{2}(V_{GS,P} - V_{th,P})^2$

∴ I_2 → $V_{in} = 0$, $V_{out} = 1.08$, NMOS → cutoff, PMOS → on and linear

→ I_2 = I in linear

→ $I_{avg} = (I_1 + I_2)/2$

Scanned with CamScanner

Calculation of Propagation Delay (AVG current method)

- Simplest method : estimating the average capacitance current

$$\tau_{PHL} = \frac{C_{load} \cdot \Delta V_{HL}}{I_{avg,HL}} = \frac{C_{load} \cdot (V_{OH} - V_{50\%})}{I_{avg,HL}}$$

$$\tau_{PLH} = \frac{C_{load} \cdot \Delta V_{LH}}{I_{avg,LH}} = \frac{C_{load} \cdot (V_{50\%} - V_{OL})}{I_{avg,LH}}$$

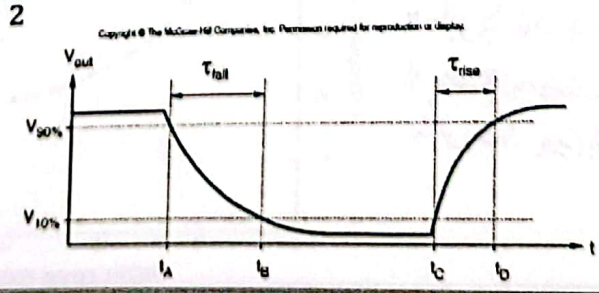
- The average current

$$I_{avg,HL} = \frac{1}{2}\left[i_C\left(V_{in} = V_{OH}, V_{out} = V_{OH}\right) + i_C\left(V_{in} = V_{OH}, V_{out} = V_{50\%}\right)\right]$$

$$I_{avg,LH} = \frac{1}{2}\left[i_C\left(V_{in} = V_{OL}, V_{out} = V_{50\%}\right) + i_C\left(V_{in} = V_{OL}, V_{out} = V_{OL}\right)\right]$$

Calculation of Rise and fall time (AVG current method)

- $T_{rise} = t_D - tC = \frac{C_{load}(V_{90\%} - V_{10\%})}{I_{avg\,rise}}$
- $I_{avg\,rise} = \frac{I_c + ID}{2}$
- $I_{avg\,rise} = \frac{I_{sdp}(Vin=VOL, Vout=V_{10\%}) + Isdp(Vin=VOL, Vout=V_{10\%})}{2}$



Scanned with CamScanner

Example

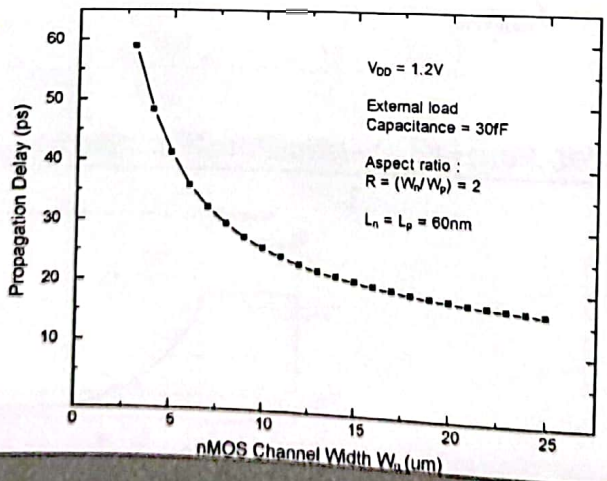
- CMOS inverter with NMOS μC_{ox} = 20uA/V^2 , $(W/L)_n$ =10, $V_{t,n}$ =1V, C_{load} 1_{pF} and V_{DD}=5V
  - Calculate output fall time

Example 6.4 (2)

* لما أزيد الـ width لـ Pmos الـ T_{PHL} ولا حيصيرلها اشي لإنه ماخلوها بالـ Pmos بشكل أو بآخر الـ Pmos ظهرشوي بس بشكل مباشر اللي بدنا ياه إنه ما دخله.

- The falling-output propagation delay (H to L)

* لما نزيد w لـ Nmos بقل لإنه سرعة التفريغ بتزيد T_{PHL}
* ما بزبط نزيد w لـ ∞ لإنه هيك بتأثر عالـ Area

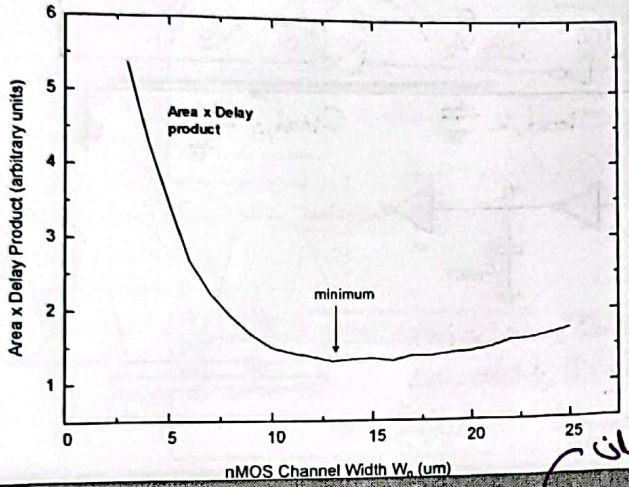


Scanned with CamScanner

Example 6.4 (3)

lower is better ↑ ↑ lower is better

- The (Area x Delay) product → لازم آخذهاي بالحسبان كشان ما أزيد اشي بناء على اشي ثاني ، لازم آخذ كل شي بعين الاعتبار.



* مش الفكرة أسرع السرعة تلقي كشان أكبي وأخلص بسرعة لازم انتبه اني قبله ما أخلي أعله تأخير.

Fout ⇒

لازم ما أزيد الـ W كثير كشان ما تزيد الـ Cg وتأثر عالـ inverter اللي قبلي وتعطله.

Ring oscillator

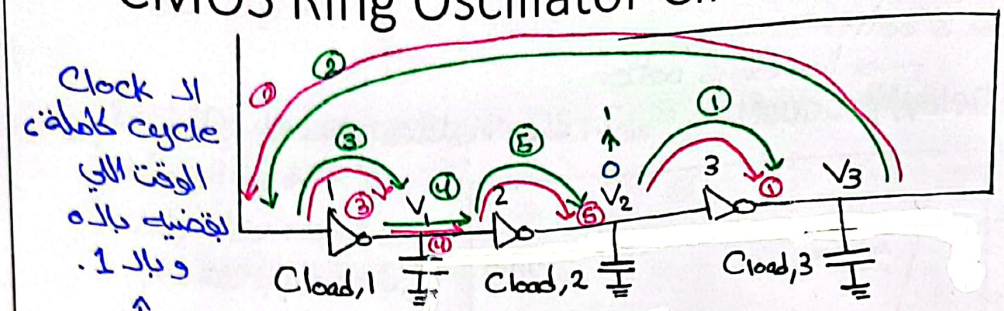
* فيديو محاضرة الاثنين 13/12 في شرح عن الـ Simulation

Scanned with CamScanner

* بقدر أزيد الوقت اللي بتقضيه باله 0 وباله 1 بإني أزيد عدد الـ inverter أو أزيد الـ capacitor اللي أنا حاطه.

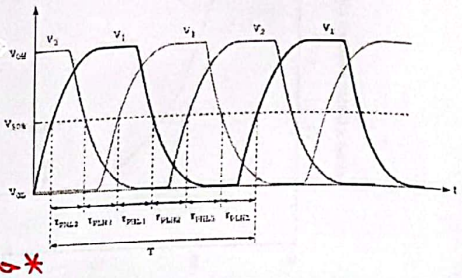
* بنحط عدد فردي من الـ inverter لأنه لو حطيت عدد زوجي مارح يزيط حتضل دايما ع 0 أو دايما ع 1 ما حيتغير.

CMOS Ring Oscillator Circuit



Clock الـ cycle كاملة: الوقت اللي بتقضيه باله 0 وباله 1.

$$T = \tau_{PHL1} + \tau_{PLH1} + \tau_{PHL2} + \tau_{PLH2} + \tau_{PHL3} + \tau_{PLH3}$$
$$= 2\tau_P + 2\tau_P + 2\tau_P$$
$$= 3 \times 2\tau_P = 6\tau_P$$



* نفرض عند $V_2 = 0$ ← قديه حتضل في هاي المرحلة؟ بعد ماصار 1، قديه حيضل باله 1؟

V_2 ②,④ ← interconnect delay

* حالياً نهمل الـ

* الوقت اللي حتقضيه باله 0 قبل ما أبدأ أتغير لـ 1 ؟

* ① → τ_{PLH3}
* ③ → τ_{PHL1}
* ⑤ → τ_{PLH2}

* هو شرط يكونوا نفس القيمة

$\tau_{PHL3} + \tau_{PLH1} + \tau_{PHL2}$ ؟ * الوقت اللي حتقضيه باله 1 عكس اللي باله 0

* بدنا نعرف شو الـ capacitors اللي موجودين النا واللي بكونوا السبب بإني آخذ وقت كشان أشحن أو أوقف وكيف بدنا نحسب قيم هدول الـ capacitors.

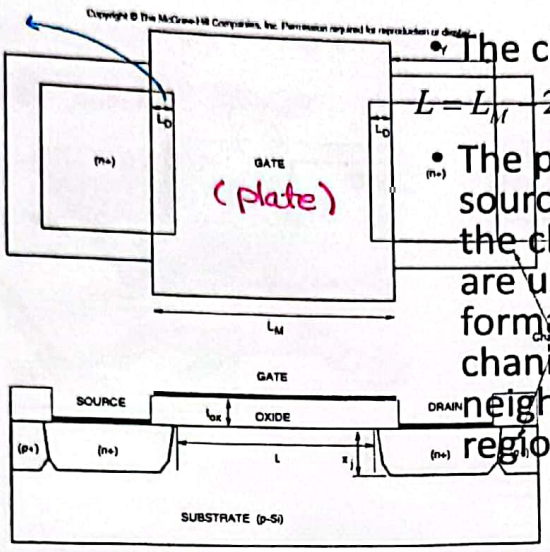
MOSFET Capacitor

- The on-chip capacitance found in MOS circuit are in general complicated functions of the layout geometries and the manufacturing processes.
- We will develop simple approximations for the on-chip MOSFET capacitances.

Scanned with CamScanner

MOSFET Capacitor (2)

overlap



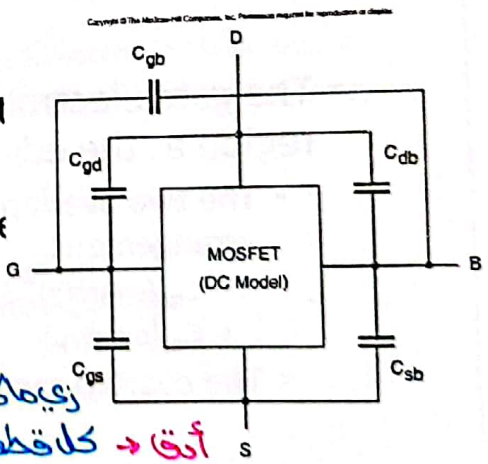
- The channel length is given by

$$L = L_M - 2L_D \quad (3.117)$$

- The p+ regions around the source and drain, namely the channel-stop implants, are used to prevent the formation of any unwanted channels between two neighboring n+ diffusion regions

MOSFET Capacitor (3)

- MOSFET parasitic capacitances are observed bet terminals.
- Most of the capacitances are distributed and the complex.
- Capacitances can be models as
  - Lumped → زي ما كنا نعمل بناخد كل الcapacitors مدة وحدة
  - distributed → كل قطعة من السلك الها الـ R و C الخاص فيها ما بنجمع → أدق

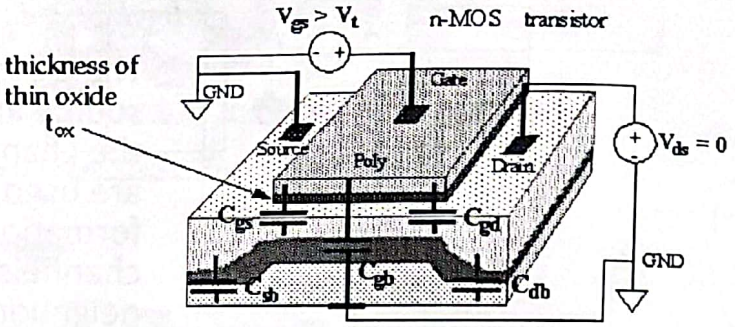


- Parasitic device capacitances can be classified into two major group
  - Oxide-related capacitance
  - Junction capacitance

Scanned with CamScanner

* إذا كنت بقيس الـ Capacitance لـ Parallel plate capacitor يبقى:

$\frac{\epsilon_{ox} LW}{t_{ox}} = \frac{\epsilon_{ox} L W}{d} = \frac{\epsilon_{ox} A}{d}$ = بنظري



Oxide-related Capacitances (1)

- The gate electrode overlaps both the source region and the drain region at the edges.
  - The two overlap capacitances that arise as a result of this structural arrangement.
    - C_{GD}(overlap)
    - C_{GS}(overlap)
  - The overlap capacitances can be found as

$$C_{GS}(overlap) = C_{ox} \cdot W \cdot L_D$$
$$C_{GD}(overlap) = C_{ox} \cdot W \cdot L_D$$

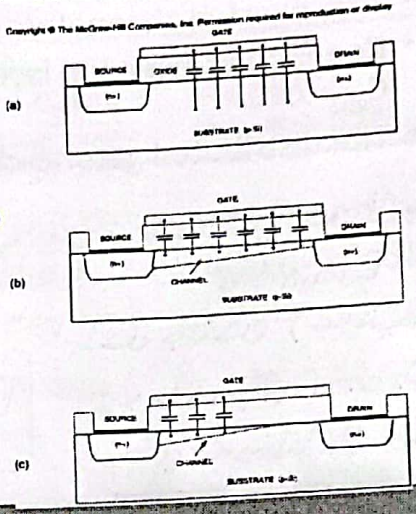
with $C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$

Scanned with CamScanner

Oxide-related Capacitances (2)

- Capacitances which result from the interaction between the gate voltage and the channel charge.
  - C_{gs} ,C_{gd} ,C_{gb}

Gate capacitance = $C_{gs} + C_{gd} + C_{gb}$



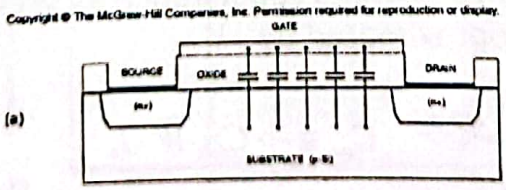
Oxide-related Capacitances (2)

↳ Source والgate بينهما overlap وفترضناش في Channel مابكون كتير drain والgate بينهما

- Cut-off mode
  - The surface is not inverted.
  - No conducting channel between source and drain
    - $C_{gs} = C_{gd} = 0$
  - The gate-to-substrate capacitance can be approximated by (3.120)

Parallel plate capacitor

$$C_{gb} = C_{ox} \cdot W \cdot L$$



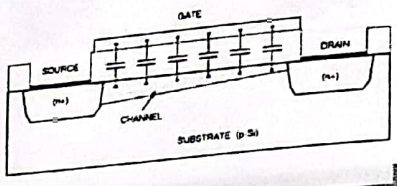
Scanned with CamScanner

Oxide-related Capacitances (2)

- Linear mode
  - The inverted channel extends across the MOSFET.
  - Conducting inversion layer shields the substrate from the gate electric field:
    $C_{gb} = 0$
  - The distributed gate-to-channel capacitance (equal S,D)

$$C_{gs} \cong C_{gd} \cong \frac{1}{2} \cdot C_{ox} \cdot W \cdot L$$ → $\frac{1}{2}$ parallel plate capacitor

رح نعتبر جاية من الـ Source والـ Drain
نحن بالنص (بتحكي الـ channel)
ما حل لما Pinched off* (b) كمان
Saturation نحكي إنه دخلنا بالـ



* اليوم نتوخه ؟ إنا بدي أحكي الـ gate capacitance الـ transistor لازم أحكي الـ mode of operation الـ transistor

Oxide-related Capacitances (3)

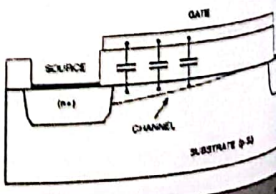
- Saturation mode
  - The inversion region is pinched off.
  - The gate-to-drain capacitance component is equal to zero
    - $C_{gd} = 0$
  - Source still linked to the conducting channel.
    - Shielding effect still remain : $C_{gb} = 0$
  - The distributed gate-to-channel capacitance as seen between the gate and the source can be approximated by

الـ channel قريب الـ drain بتحس تروح، بسبب الـ DIBL (الـ depletion region حوالين الـ drain تتوسع) drain الـ channel بالتالي الـ drain بتبطل توصل بتحس توصل الشي قريب من الـ Drain)

Source الـ جاية من الـ Channel ← بنعتبرها Source الـ جاية من الـ Capacitance

$$C_{gs} \cong \frac{2}{3} \cdot C_{ox} \cdot W \cdot L$$

(c)



Scanned with CamScanner

Oxide-related Capacitances (4)

Capacitance	Cut-off	Linear	Saturation
C_{gb} (total)	$C_{ox}WL$	0	0
C_{gd} (total)	$C_{ox}WL_D$	$1/2C_{ox}WL + C_{ox}WL_D$	$C_{ox}WL_D$
C_{gs} (total)	$C_{ox}WL_D$	$1/2C_{ox}WL + C_{ox}WL_D$	$2/3C_{ox}WL + C_{ox}WL_D$

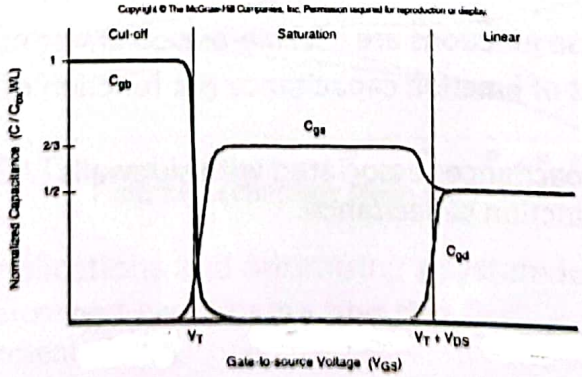
- We have to combine the distributed C_{gs} and C_{gd} values found here with the relevant overlap capacitance values, in order to calculate the total capacitance between the external device terminals.

أهملنا الـ overlap capacitance / regions بالبداية بس هون بالجدول بشامل الـ (overlaping) . بنحاول نقلل منه طبعًا عشان ما نزيد delay

* مش مهم التفاصيل مهم إني أقدر أطلع الـ gate capacitance حسب الـ mode of operation الـ transistor اللي عندي .

Oxide-related Capacitances (5)

- Variation of the distributed (gate-to-channel) oxide capacitances as function of gate-to-source voltage.

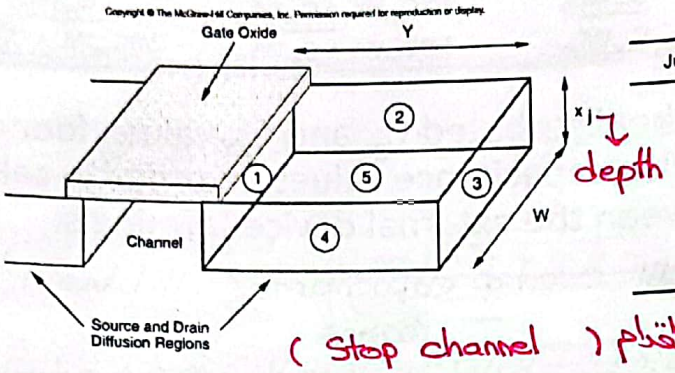


Scanned with CamScanner

Junction Capacitances (1)

- Consider the voltage-dependent source-substrate and drain-substrate junction capacitances : C_{sb} , C_{db}

Copyright © The McGraw-Hill Companies, Inc. Permission required for reproduction or display.



Junction	Area	Type
1	$W \cdot x_j$	n+/p
2	$Y \cdot x_j$	n+/p+
3	$W \cdot x_j$	n+/p+
4	$Y \cdot x_j$	n+/p+
5	$W \cdot Y$	n+/p

(Stop channel) سنحكي بالتفصيل كنه لقدام

Junction Capacitances (2)

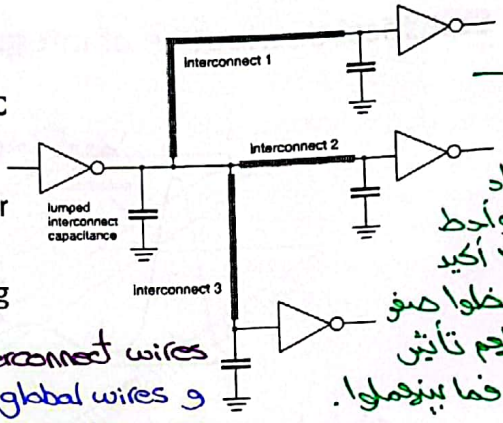
- C_{sb} and C_{db} are due to the depletion charge surrounding the respective source or drain diffusion regions embedded in the substrate.
  - both of these junctions are reverse-biased under normal operating conditions.
  - The amount of junction capacitance is a function of the applied terminal voltages.
  - Junction capacitances associated with sidewalls (2,3,4) will be different from the other junction capacitance.

Scanned with CamScanner

مبدأ الـ interconnect wires نفس مبدأ إنك تكبر شارع بين بنايتين كشان
شو ما صار كنك زحمة أثناء الشغل تكون خفيفة ومقبولة.

Estimation of Interconnect Parasitics

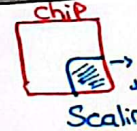
- Main components of the output lc
  - Internal parasitic capacitances of tr
  - Interconnect capacitances
  - Input capacitances of the fan-out g



مثلاً لو بدي
انتقل بس لهاد
الـ inverter وأحط
عليه كل الـ Voltage أكيد
اللي تحت ما حيظلوا صفر
وأكيد حيكون الم تأثير
حتى لو بسيط فما بيزعلوا.

local wires و interconnect wires في كتير
من global wires و Semiglobal wires كلهم بنعملوا
Metal wires والهم وقت ما بحير نوصله

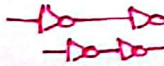
١: عدد الـ elements اللي موجودة على chip عم تزيد فيمكن أحتاج اشبك
الـ elements الجداد هم القدام. (wires & global wires تشتغل على مسافات طويلة بالـ chip)
(Area Cross Section والهم دخل زي ما هو length تاعهم قلت فالـ delay زاد)
* زي لو كانت المسافة كبيرة بعيدة ما بقلوا مرة وحدة، بحط محطات تقوية تستقبل Signal وتبعتها لـ Station اللي بعدها وهكذا وهذا بسرع الـ Signals.



بعد الـ Scaling
بتاخذ هالقديس، فالمساحة
الفاضية تتعبى
أشياء جديدة

Interconnect Delay

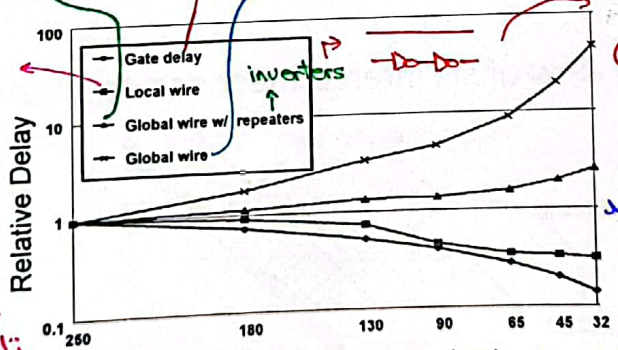
برضه بتقل مع الـ Scaling وهنا حنشوفه لقدام.
الأسلاك اللي بتشبك الـ modules مع بعض،
بتزيد الـ delay مع الـ Scaling لسببين



بدل ما ينقل السلك مرة وحدة طلعته
يقوم 2 inverter (زي بسباق السيارات
بس يتوقف ليعبي بنزين ويغير العجل)

$$R = \frac{\rho L}{A}$$

ولما نقلل السلك (نرفعه)
بصغر المقام فبتزيد R فبزيد
الـ RC Delay.



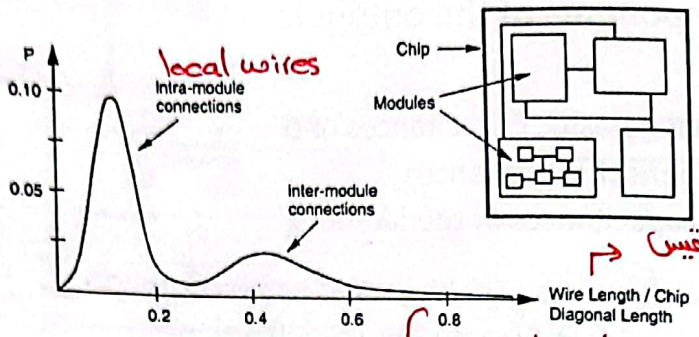
صحيح قللنا والمفروض
الـ delay تزيد بس احنا
كمان قللنا الـ length صاروا
الـ elements قرايب من
بعض، فهاي الـ delay
تاعتهم مع الـ Scaling بتقل لإنه
ما بقالوا بنفس الطول.

- Dealing with the implications and optimizing a system for speed
  - Estimating the interconnect parasitics in a large chip
  - Simulating the transient effects.

Scanned with CamScanner

Statistical distribution

- Statistical distribution of interconnection length on a typical chip



local wires

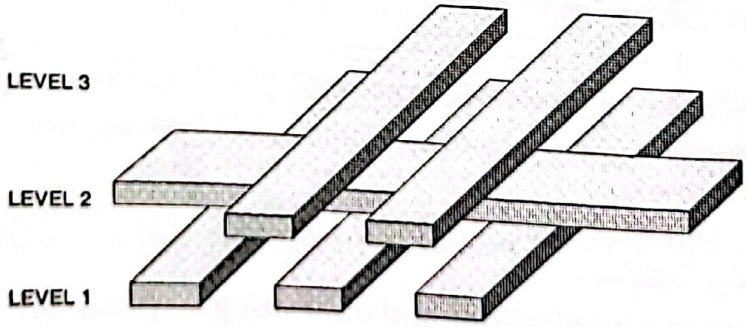
كل سلك بتقيس م طوله

Global wires كمية قليلة من الـ

لـ قطر الـ Chip

Interconnect Capacitance Estimation (1)

- A simplified view of six interconnections on three different levels



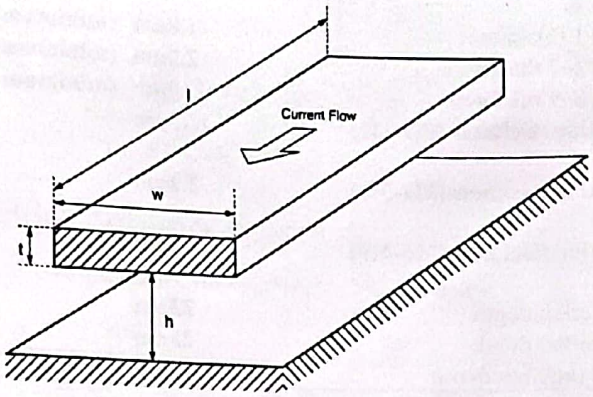
كشان ما يصير في تزاحم بنلاقي أكتر من اصعا موجودين عشان ما يصير في تقاطع.

Scanned with CamScanner

Interconnect Capacitance Estimation (2)

- The section of a single interconnect

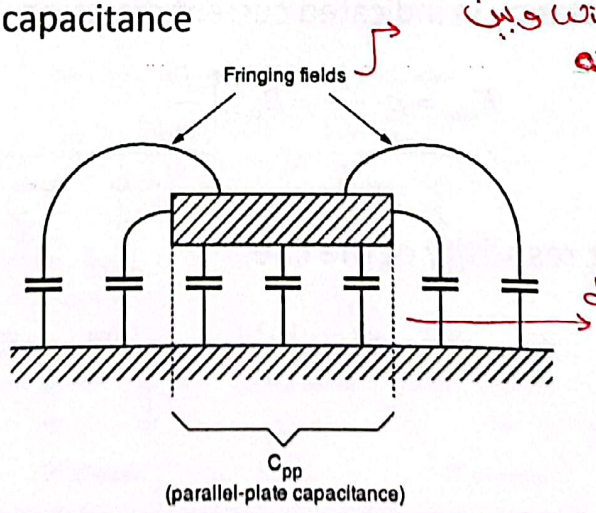
Capacitance في wires بين ال
أكيد.



Interconnect Capacitance Estimation (3)

- The total parasitic capacitance

بتتكون بين سطح ال wire وبين
ال wires اللي تحته



بنحاول نزيد ال distance
عشان نقلل من ال
capacitance لنقل
ال wires delay

Scanned with CamScanner

Thickness value of different layers

Field oxide thickness	3μm	
Gate oxide thickness	2.6nm	
Polysilicon thickness	1μm	(minimum width 0.06μm)
Poly-metal oxide thickness	1.1μm	
Metal 1 thickness	1.8μm	(minimum width 0.09μm)
Metal 2~7 thickness	2.2μm	(minimum width 0.1μm)
Metal 8~9 thickness	9μm	(minimum width 0.4μm)
Via oxide thickness (PO-M1)	1.75μm	
Via oxide thickness (M1-M6)	2.2μm	
Via oxide thickness (M6-M9)	9μm	
n^+ junction depth	23nm	
p^+ junction depth	28nm	
n-well junction depth	3μm	

Interconnect Resistance Estimation

- Total resistance in indicated current direction

$$R_{wire} = \rho \cdot \frac{l}{w \cdot t} = R_{sheet}\left(\frac{l}{w}\right)$$

- The sheet resistivity of the line

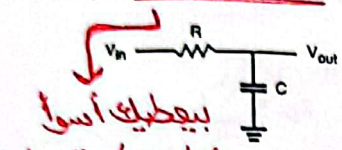
$$R_{sheet} = \left(\frac{\rho}{t}\right)$$

Scanned with CamScanner

* بال LTspice ممكن نعمل modeling لل interconnect delay اللي إنك تقدر تحط distance وتحط R و C بناء على اللي إنت بتتوقعه.

RC Delay Models

- Simple lumped RC model & T-model

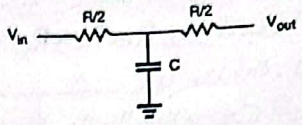


بيعطيك أسوأ delay ممكن تحطها.

$$V_{out}(t) = V_{DD}\left(1 - exp\left(-\frac{t}{RC}\right)\right)$$

$$V_{50\%} = V_{DD}\left(1 - exp\left(-\frac{\tau_{PLH}}{RC}\right)\right)$$

$$\tau_{PLH} \approx 0.69RC$$

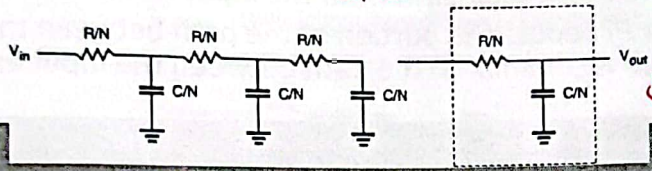


فائدتها لاستخرج Vout اللي بيوصل خلال وقت معين.

Vin ↵ موقتم بمتى يوصل Voltage 50% للطرف الثاني.

- Distributed RC ladder network model

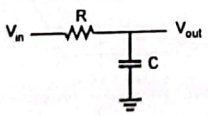
↳ كل جزء من السلك إله R



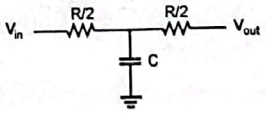
ال delay هون ما حيطلع معك نفس اللي فوق، بال lumped بتاخذ وقت أكبر لتطلع أما ال distributed بيعطيك delay أقل

Various RC Models

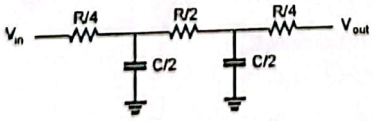
طرق مختلفة لتوزيع ال RC



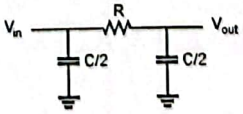
(a) lumped RC model



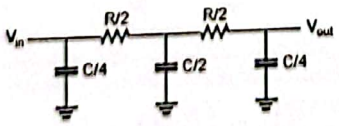
(b) T-model



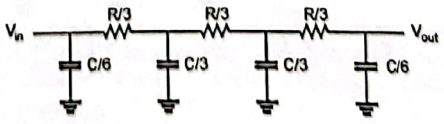
(c) T2-model



(d) π-model



(e) π2-model



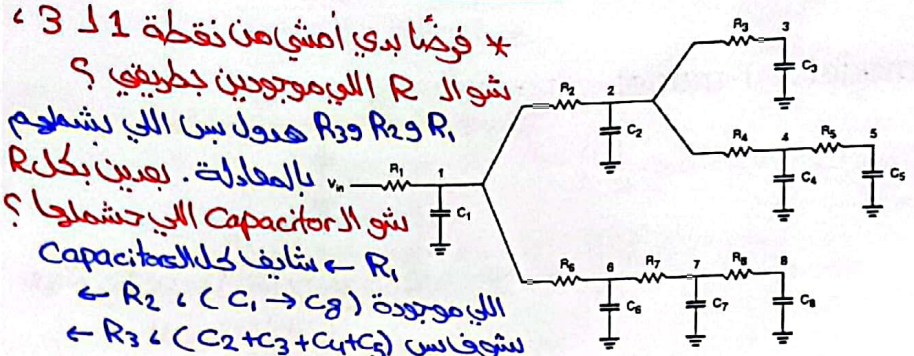
(f) π3-model

Scanned with CamScanner

The Elmore Delay (1)

"بهمنا أكتر" (أول طريقة)

رسمت كل التفرعات كندي وأكيد الربط بتختلف من انتقالك من مكان لمكان غيره



$$\tau_{Di} = \sum_{j=1}^{N} C_j \sum_{\substack{\text{for all} \\ k \in P_{ij}}} R_k$$

* فرضًا بدي أمشي من نقطة 1 لـ 3، شو الـ R اللي موجودين بطريقي؟ هدول بس اللي بشملهم R_3 R_2 R_1 بالمعادلة. بعدين بكل R شو الـ Capacitor اللي حتشملها؟
Capacitor كل شايف ← R_1
← R_2 ، ($C_1 \to C_8$) اللي موجودة بشوفا بس
← R_3 ، ($C_2+C_3+C_4+C_5$) بشوفا بس C_3

- The general topology of the RC tree network
  - Let *Pi* denote the unique path from the input node to node *i*, *i* = 1, 2, 3, …, N.
  - Let *Pij* = *Pi* « *Pj* denote the portion of the path between the input and the node *i*, which is *common* to the path between the input and node *j*.

$$= \left[R_1(C_1 \to C_8) + R_2(C_2+C_3+C_4+C_5) + R_3(C_3)\right]$$

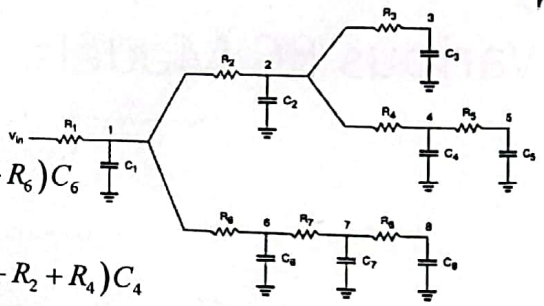
← هاي كاملة اللي بضربها ← 0.69 مثلاً كشان أطلع قيمة الوقت اللي أنا بحتاجه كشان أوصل 50% من الـ V للنقطة 3.

$$\left[R_1(C_1 \to C_8) + R_6(C_6+C_7+C_8) + R_7(C_7+C_8)\right]$$ ← * بدي أمشي من 1 لـ 7

(ثاني طريقة)

The Elmore Delay (2)

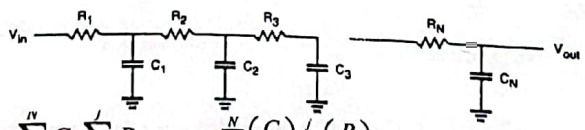
الطريقة الثانية بأخذ كل C وبضربها بـ R اللي ممكن تمر فيها.



$$\tau_{D7} = R_1C_1 + R_1C_2 + R_1C_3 + R_1C_4 + R_1C_5 + (R_1+R_6)C_6 + (R_1+R_6+R_7)C_7 + (R_1+R_6+R_7)C_8$$

$$\tau_{D5} = R_1C_1 + (R_1+R_2)C_2 + (R_1+R_2)C_3 + (R_1+R_2+R_4)C_4 + (R_1+R_2+R_4+R_5)C_5 + R_1C_6 + R_1C_7 + R_1C_8$$

* الطريقتين بيعطوا نفس الناتج *



$$\tau_{DN} = \sum_{j=1}^{N} C_j \sum_{k=1}^{j} R_k \qquad \tau_{DN} = \sum_{j=1}^{N} \left(\frac{C}{N}\right) \sum_{k=1}^{j} \left(\frac{R}{N}\right)$$

$$= \left(\frac{C}{N}\right)\left(\frac{R}{N}\right)\left(\frac{N(N+1)}{2}\right) = RC\left(\frac{N+1}{2N}\right)$$

$$\tau_{DN} = \frac{RC}{2} \quad for \ N \to \infty$$

Scanned with CamScanner

Example 6.5 (optional) → "مش كثير حتركز عليه"

- 1) Examine the propagation delay across a long polysilicon interconnect line (length=1000μm, width=1μm)
  - R_{sheet}= 15 Ω/square
- 1) Sol.

$$R_{lumped} = R_{sheet} \times (\#\text{ of squares})$$

$$= 15(\Omega/\text{square}) \times \left(\frac{1000\mu m}{1\mu m}\right) = 15k\Omega$$

$$C_{parallel\text{-}plate} = (\text{unit area capacitance}) \times (\text{area})$$

$$= 0.106fF/\mu m^2 \times (1000\mu m \times 1\mu m) = 106fF$$

$$C_{fringe} = (\text{unit length capacitance}) \times (\text{perimeter})$$

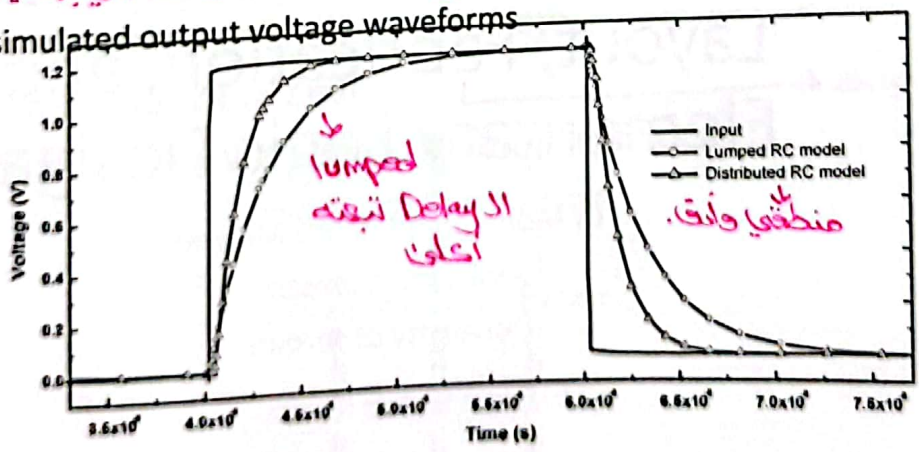
$$= 0.043fF/\mu m \times (1000\mu m + 1000\mu m + 1\mu m + 1\mu m) = 86fF$$

$$C_{lumped\text{-}total} = C_{parallel\text{-}plate} + C_{fringe} = 192fF$$

Example 6.5 (2)

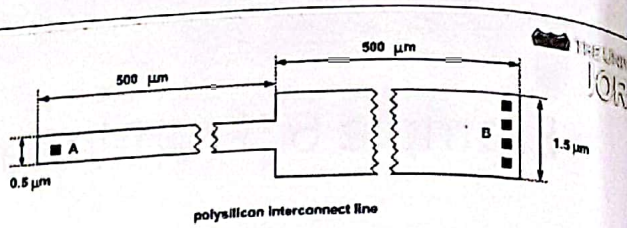
مرات التنزيل والتبسيط بنستعمل الـ lumpedModel كشان نحصّل الـ worst case delay ونتأكد ما حتزيد الـ Delay كتير هذا الـ level اللي بدنا ياه.

- The simulated output voltage waveforms



Scanned with CamScanner

Example 6.5 (4)



polysilicon interconnect line

- 2) Consider a polysilicon line consisting of two segments (W=1.5 μm & W=0.5 μm, each 500 μm)

- 2) Sol.

$$R_{lumped-1} = 15(\Omega/\text{square}) \times \left(\frac{500\mu m}{0.5\mu m}\right) = 15k\Omega,\ R_{lumped-2} = 15(\Omega/\text{square}) \times \left(\frac{500\mu m}{1.5\mu m}\right) = 5k\Omega$$

$$R_{lumped-total} = R_{lumped-1} + R_{lumped-2} = 20k\Omega$$

$$C_{parallel-plate-1} = 0.106fF/\mu m^2 \times (500\mu m \times 0.5\mu m) = 26.5fF$$

$$C_{parallel-plate-2} = 0.106fF/\mu m^2 \times (500\mu m \times 1.5\mu m) = 79.5fF$$

$$C_{fringe-1} \approx C_{fringe-2} \cong 46fF$$

$$C_{lumped-total} = C_{parallel-plate-1} + C_{parallel-plate-2} + C_{fringe-1} + C_{fringe-2} = 192fF$$

ما حنركز فيه كتير عالـ details بقدر ما بدنا نشوف بشكلها عام.

Layout, Fabrication, and Elementary Logic Design

كمادة مو سهلة

Dr.Mohammad Abdel-Majeed
Assistant Professor
University of Jordan

Scanned with CamScanner

THE UNIVERSITY OF JORDAN

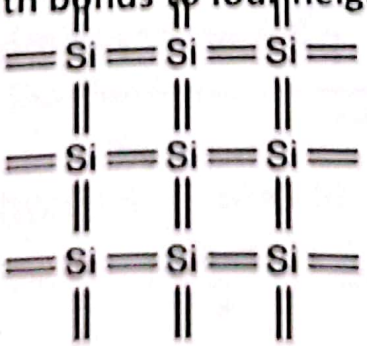
Introduction

- Integrated circuits: many transistors on one chip.
  - *Very Large Scale Integration* (VLSI): very many
- *Metal Oxide Semiconductor* (MOS) transistor
  - Fast, cheap, low-power transistors
  - Complementary: mixture of n- and p-type leads to less power
- Today: How to build your own simple CMOS chip
  - CMOS transistors
  - Building logic gates from transistors
  - Transistor layout and fabrication
- Rest of the course: How to build a good CMOS chip

THE UNIVERSITY OF JORDAN

Silicon Lattice

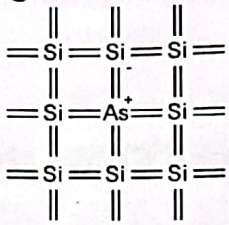
- Transistors are built on a silicon substrate
- Silicon is a Group IV material
- Forms crystal lattice with bonds to four neighbors

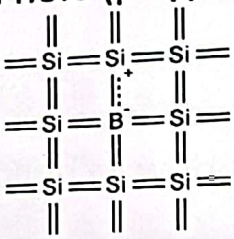


Scanned with CamScanner

Dopants

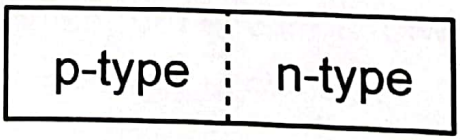
- Silicon is a semiconductor
- Pure silicon has no free carriers and conducts poorly
- Adding dopants increases the conductivity
- Group V: extra electron (n-type)
- Group III: missing electron, called hole (p-type)



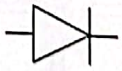


p-n Junctions

- A junction between p-type and n-type semiconductor forms a diode.
- Current flows only in one direction



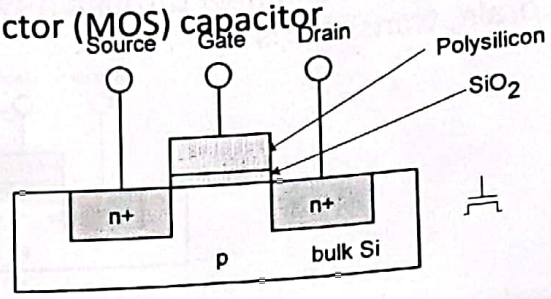
anode cathode



Scanned with CamScanner

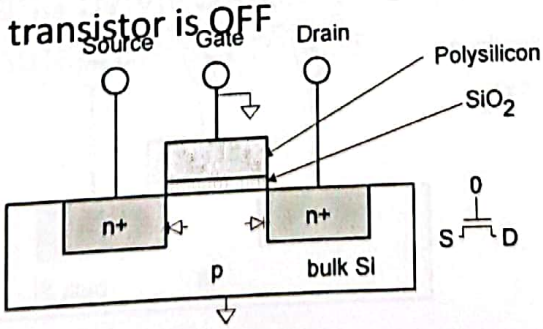
nMOS Transistor

- Four terminals: gate, source, drain, body
- Gate – oxide – body stack looks like a capacitor
  - Gate and body are conductors
  - SiO_2 (oxide) is a very good insulator
  - Called metal – oxide – semiconductor (MOS) capacitor
  - Even though gate is no longer made of metal



nMOS Operation

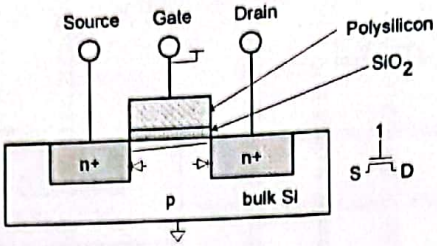
- Body is commonly tied to ground (0 V)
- When the gate is at a low voltage:
  - P-type body is at low voltage
  - Source-body and drain-body diodes are OFF
  - No current flows, transistor is OFF



Scanned with CamScanner

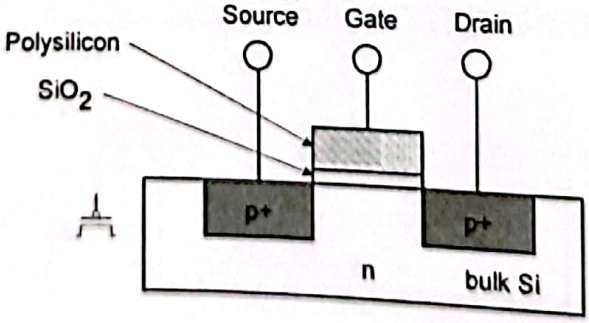
nMOS Operation

- When the gate is at a high voltage:
  - Positive charge on gate of MOS capacitor
  - Negative charge attracted to body
  - Inverts a channel under gate to n-type
  - Now current can flow through n-type silicon from source through channel to drain, transistor is ON



pMOS Transistor

- Similar, but doping and voltages reversed
  - Body tied to high voltage (V_{DD})
  - Gate low: transistor ON
  - Gate high: transistor OFF
  - Bubble indicates inverted behavior



Scanned with CamScanner

Power Supply Voltage

- GND = 0 V
- In 1980's, V_{DD} = 5V
- V_{DD} has decreased in modern processes
  - High V_{DD} would damage modern tiny transistors
  - Lower V_{DD} saves power
- V_{DD} = 3.3, 2.5, 1.8, 1.5, 1.2, 1.0, ...

CMOS Fabrication

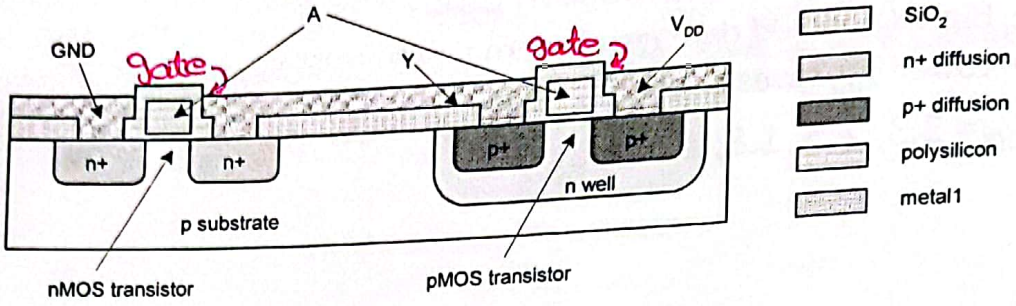
- CMOS transistors are fabricated on silicon wafer
- Lithography process similar to printing press
- On each step, different materials are deposited or etched
- Easiest to understand by viewing both top and cross-section of wafer in a simplified manufacturing process

Scanned with CamScanner

Inverter Cross-section

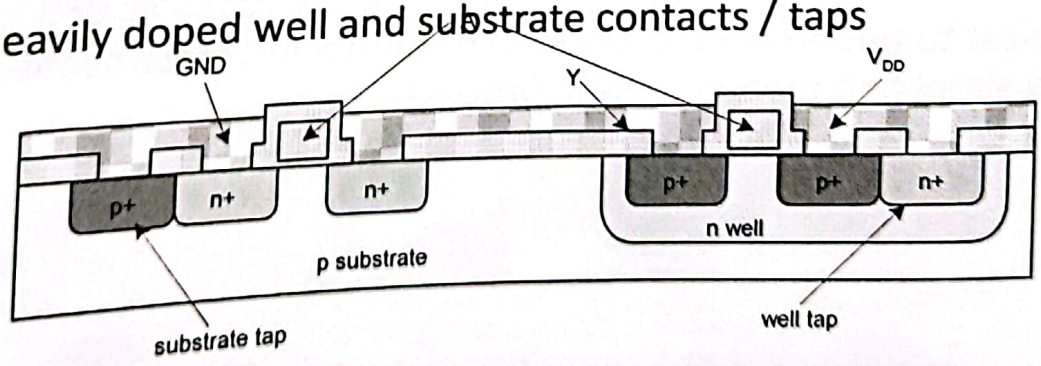
- Typically use p-type substrate for nMOS transistor
  - Requires n-well for body of pMOS transistors
  - Several alternatives: SOI, twin-tub, etc.

(inverter)



Well and Substrate Taps

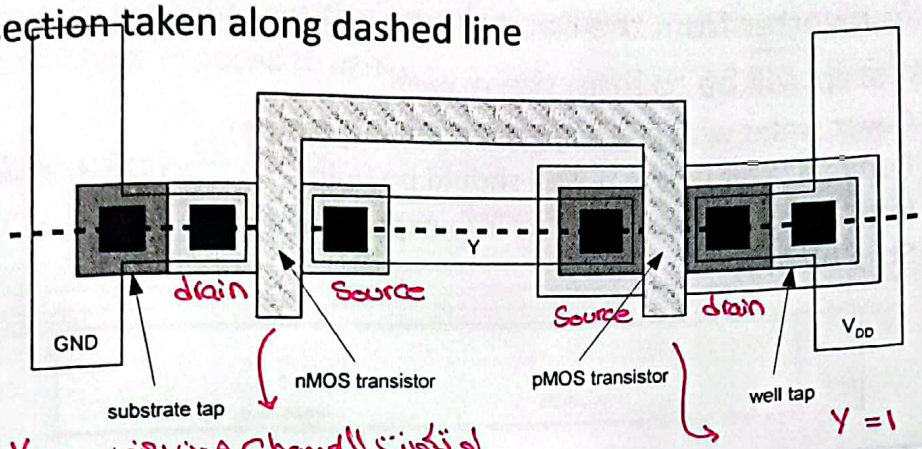
- Substrate must be tied to GND and n-well to V_{DD}
- Metal to lightly-doped semiconductor forms poor connection called Shottky Diode
- Use heavily doped well and substrate contacts / taps



Scanned with CamScanner

Inverter Mask Set

- Transistors and wires are defined by *masks*
- Cross-section taken along dashed line



لو تكونت هون يعني Y = 0

لو تكونت هون يعني Y = 1

* الـ Fabrication labs غرف معقمة وأي جديد بقدر يفوت عليها لإنه بتعامل مع أشياء حجمها كتير صغير كشان أي ذرة ممكن تأثر مثلاً على آلية العمل، فالموضوع موسع.

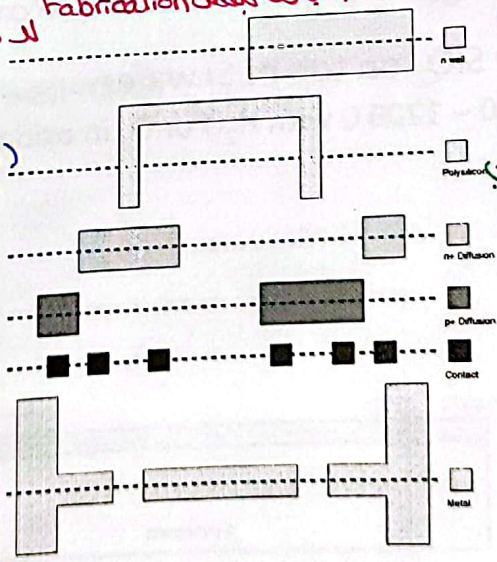
* الـ maintainance cost لـ Fabrication labs مش قليل.

كيف بدي أكون كيف أركب هيك؟

Detailed Mask Views

→ Mask كل طريق الـ Fabrication بنجوزها بتعمل لـ chip.

- Six masks
  - n-well
  - Polysilicon
  - n+ diffusion
  - p+ diffusion
  - Contact
  - Metal



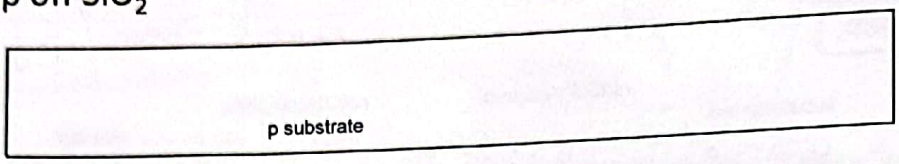
* لو كان الـ transistors (NMOS 30,000,000) معناه الـ chip بكون فيها 60,000,000 فتحة Region N+ بدك عليهم الأيون مرة وحدة، فأنا بخطوة وحدة عملت الـ N+ بكل الـ chip، بنسف كل الـ N+ بكون فيهم نفس الكمية من الأيون

بتحط الـ Mask في فتحات بس للمكان اللي بدك تشمله أي شي خارج الفتحات بنصده. زي لما تقص كرتونة كشكل رقم 2 وتحطها عالكرتون وترش وتشيل حتلاقي انطبع رقم 2 بس وأي شي خارجه ما انطبع.

Scanned with CamScanner

Fabrication Steps

- Start with blank wafer
- Build inverter from the bottom up
- First step will be to form the n-well
  - Cover wafer with protective layer of SiO_2 (oxide)
  - Remove layer where n-well should be built
  - Implant or diffuse n dopants into exposed wafer
  - Strip off SiO_2

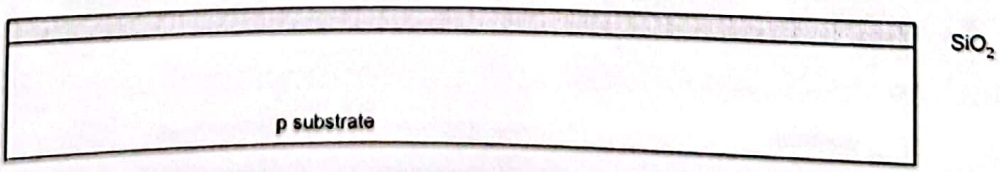


① Oxidation

أول شي بعمله بحط SiO_2 على الكل.

* الـ SiO_2 بحمي الـ Materials ما بخزنوه (n-type / p-type materials)

- Grow SiO_2 on top of Si wafer
  - 900 – 1200 C with H_2O or O_2 in oxidation furnace



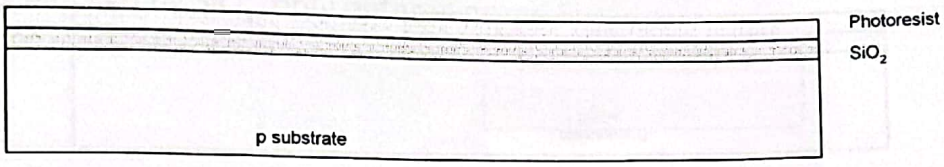
Scanned with CamScanner

Photoresist ②

بنحط Photoresist وهي مادة الـ Resistivity تاعها بتغير بتعرضه للضو

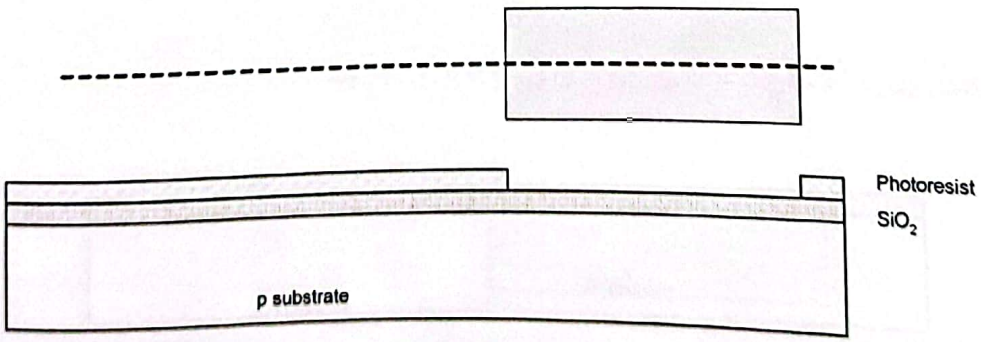
- Spin on photoresist
  - Photoresist is a light-sensitive organic polymer
  - Softens where exposed to light

* بكون جامد والمناطق اللي بتعرض للضو بتحلل مع المحاليل أو كل الـ Photoresist تنشال بالمحلول والمنطقة اللي بتعرض للضو بتصير صلبة وبالتالي لما نيجي نحط محلول ما بزوح ، فبالتالي كل شي بروح إلا المناطق اللي تعرضت للضوء .



Lithography ③

- Expose photoresist through n-well mask
- Strip off exposed photoresist

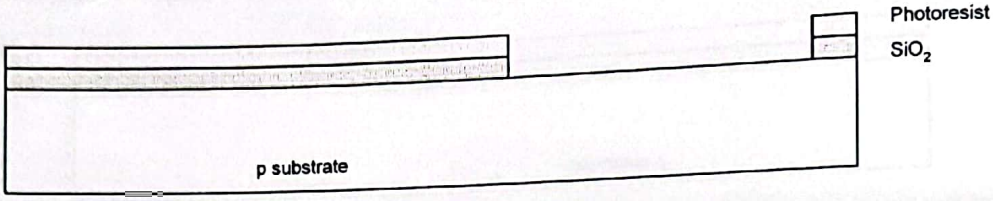


Scanned with CamScanner

Etch (4)

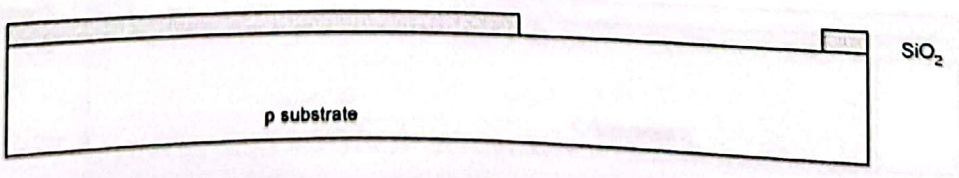
* عشان نقيم الـ SiO_2 من هاي المنطقة

- Etch oxide with hydrofluoric acid (HF)
  - Seeps through skin and eats bone; nasty stuff!!!
- Only attacks oxide where resist has been exposed



Strip Photoresist (5)

- Strip off remaining photoresist
  - Use mixture of acids called piranah etch
- Necessary so resist doesn't melt in next step

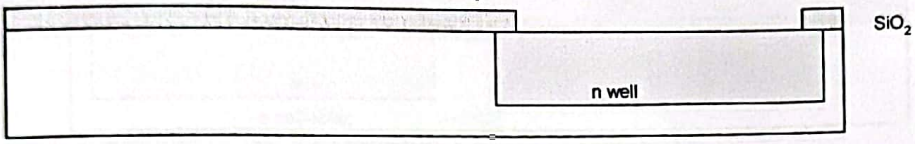


Scanned with CamScanner

n-well ⑥

هلأ خلص برش الـ n-well بكل المكان عالهمياتي
لإنو ماح تخزق إلا المنطقة اللي تفرقت كيرهيك
الـ SiO_2 رح تحميها.

- n-well is formed with diffusion or ion implantation
- Diffusion
  - Place wafer in furnace with arsenic gas
  - Heat until As atoms diffuse into exposed Si
- Ion Implanatation
  - Blast wafer with beam of As ions
  - Ions blocked by SiO_2, only enter exposed Si

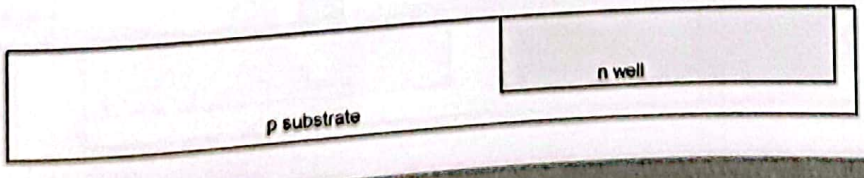


* بالفيديو:
- الفرقة اللي بتشتغل فيها لونها أصفر كشان ما تأثر بالـ Photoresist.
- بيشتغلوا بأكثر من wafer مش wafer واحد.
- عملية الـ Fabrication مش بسيطة بتحتاج من 300 إلى 400 خطوة فبهالوقت.
- بعمل testing لكل chip بالمصنع وتلم وتا.
- هي مسؤولية الشركة تعملها Parametric / Functional Yield.

Strip Oxide ⑦

- Strip off the remaining oxide using HF
- Back to bare wafer with n-well
- Subsequent steps involve similar series of steps

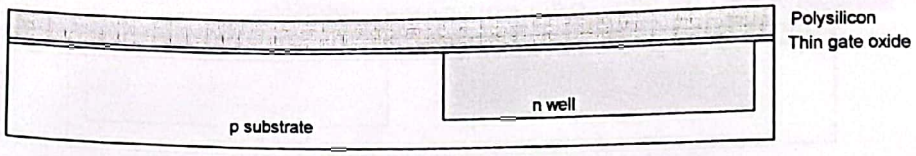
* وهكذا بعمل نفس الخطوات لأغطي كل الـ Masks



Scanned with CamScanner

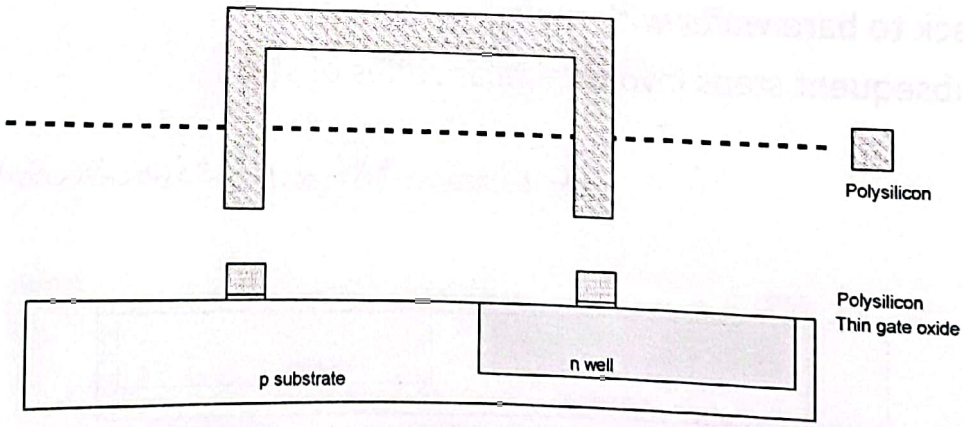
Polysilicon

- Deposit very thin layer of gate oxide
  - < 20 Å (6-7 atomic layers)
- Chemical Vapor Deposition (CVD) of silicon layer
  - Place wafer in furnace with Silane gas (SiH_4)
  - Forms many small crystals called polysilicon
  - Heavily doped to be good conductor



Polysilicon Patterning

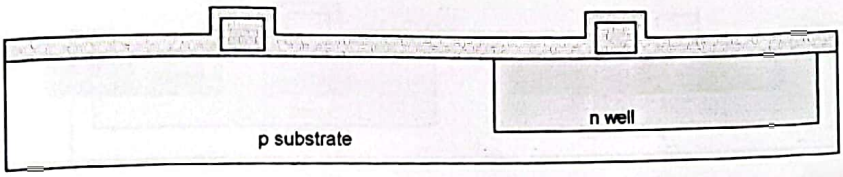
- Use same lithography process to pattern polysilicon



Scanned with CamScanner

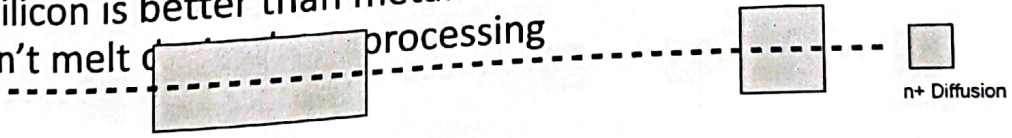
Self-Aligned Process

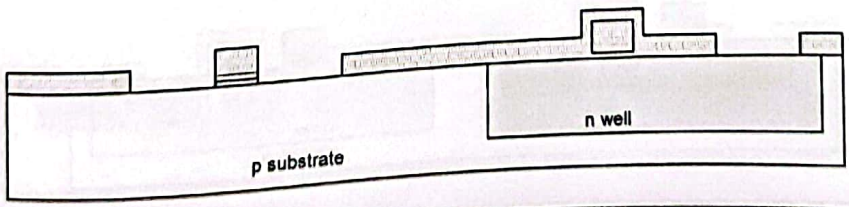
- Use oxide and masking to expose where n+ dopants should be diffused or implanted
- N-diffusion forms nMOS source, drain, and n-well contact



N-diffusion

- Pattern oxide and form n+ regions
- *Self-aligned process* where gate blocks diffusion
- Polysilicon is better than metal for self-aligned gates because it doesn't melt during high temperature processing



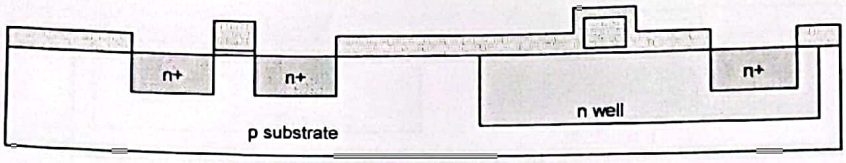


Scanned with CamScanner

N-diffusion

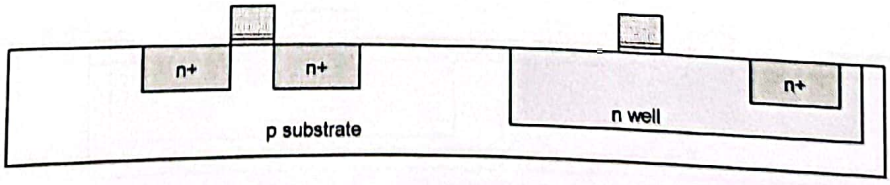
* عل الـ gate أو بعبين كل الـ Source
diffusion regions والـ Drain بعبين الـ
كشان نقلل من الـ overlap بين الـ gate والـ s وبين
الـ d و الـ g . أما لو علت
المناطق diffusion أو فما في
عنا ضمانة إنه لما أعل الـ gate
المنطقة اللي قمت منها
السلك حتنتقي و تبدأ عمر
الـ diffusion
فحيكون في عنا overlaping .

- Historically dopants were diffused
- Usually ion implantation today
- But regions are still called diffusion



N-diffusion

- Strip off oxide to complete patterning step

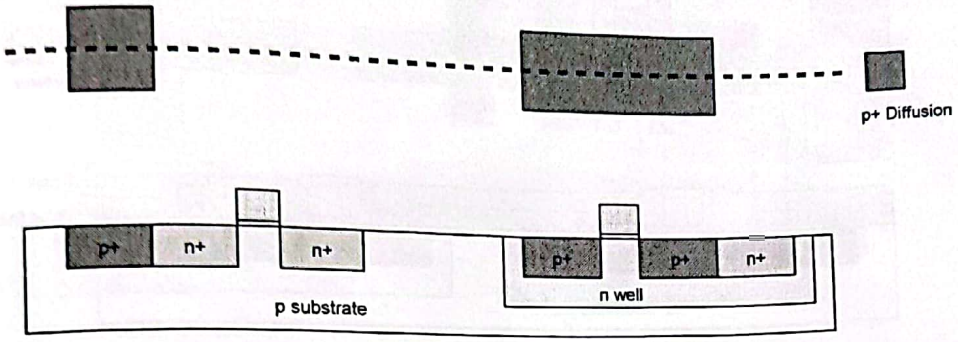


Scanned with CamScanner

p-Diffusion

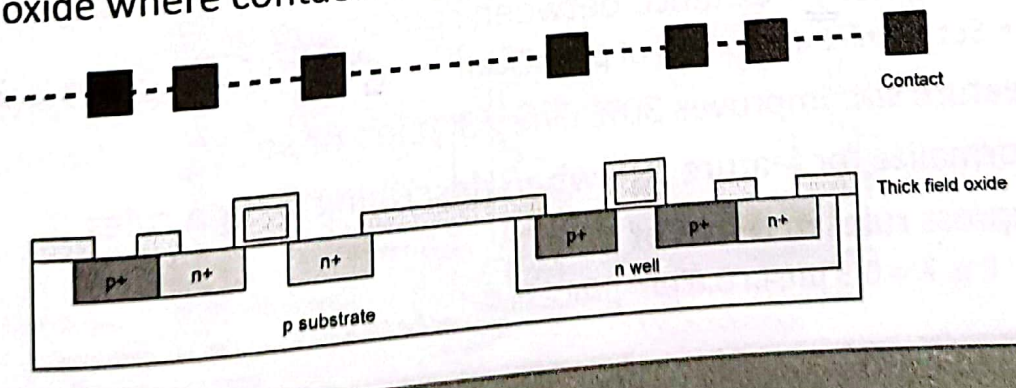
كشان أصعب كليه يصل transistor بين الـ Channel
الي جمبه الي مابدي يكون بينهم Channel.

- Similar set of steps form p+ diffusion regions for pMOS source and drain and substrate contact



Contacts

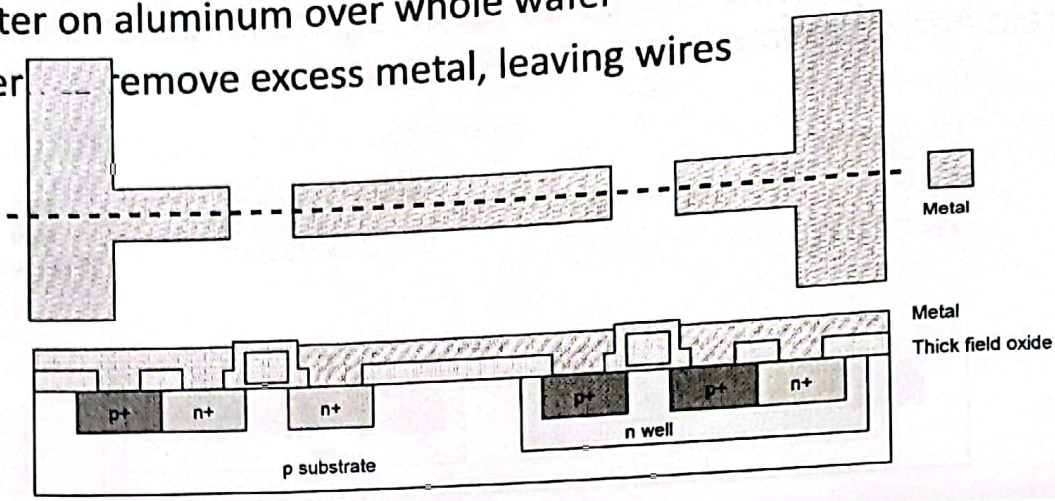
- Now we need to wire together the devices
- Cover chip with thick field oxide
- Etch oxide where contact cuts are needed



Scanned with CamScanner

Metallization

- Sputter on aluminum over whole wafer
- Patter[illegible]emove excess metal, leaving wires



لو طلع مطابق بعتمد التصميم ويروح يعمل fabrication.
هل الي طلع معك بطابق المطلوب ولا لا (بطابق الـ Schematic الي باتيه)

Layout

مشغلية كشوائية
في Rules بنربطها
after that → LVS

*Design Rule check → chips بلتزم إنك منتبه للـ Rules تبعت الـ
* Compile → بتأكد بس إنك ملتزم بال Syntax للغة الي مستخدمها.

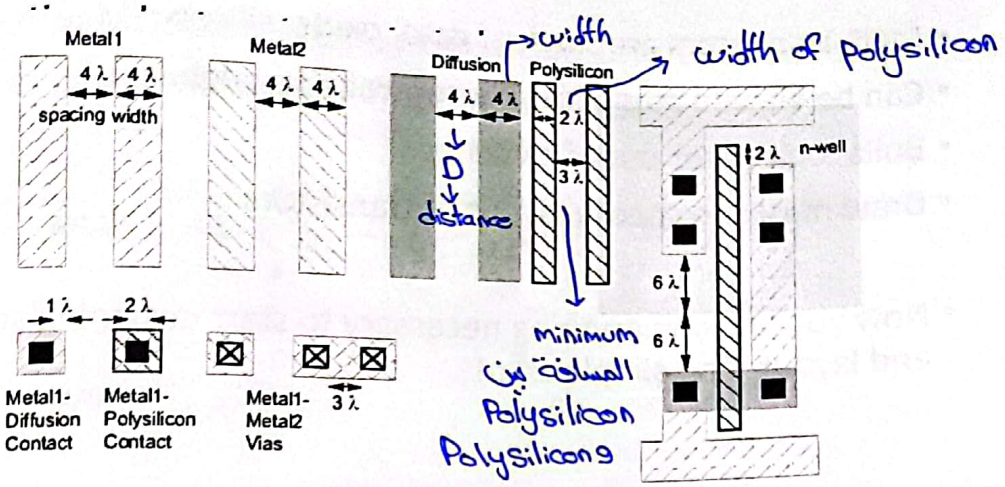
- Chips are specified with set of masks
- Minimum dimensions of masks determine transistor size (and henc speed, cost, and power)
- Feature size f = distance between source and drain
  - Set by minimum width of polysilicon

نصف المسافة بين S و D
- Feature size improves 30% every 3 years or so
- Normalize for feature size when describing design rules
- Express rules in terms of $\lambda = f/2$
  - E.g. $\lambda = 0.3\ \mu m$ in 0.6 μm process

Scanned with CamScanner

simplified Design Rules

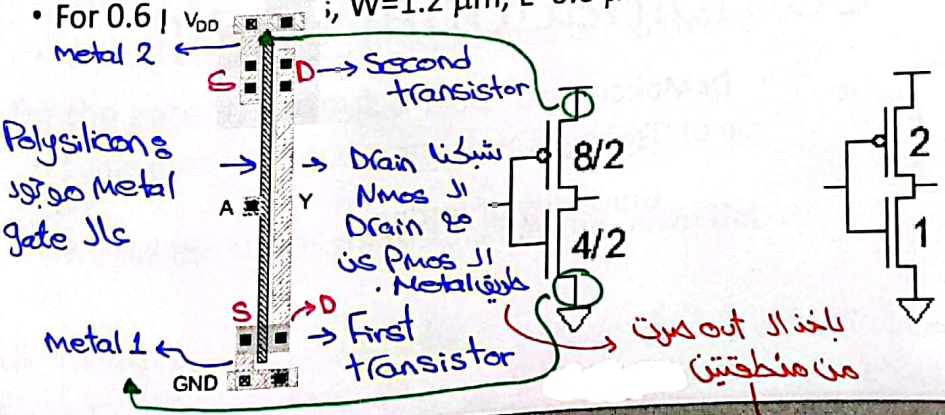
• Conser



Inverter Layout

* اللي بعمل Connection بين الـ Source والـ Drain
وجود الـ Channel لوحاتي Channel ما بقدر
انتقل لبعض.

- Transistor dimensions specified as Width / Length
  - Minimum size is 4λ / 2λ, sometimes called 1 unit
  - For 0.6 µm ; W=1.2 µm, L=0.6 µm



وحدة منهم يتم اختيارها، التين بنفس الوقت مستحيل لإنه الـ Nmos
بكون الـ Channel عالـ 1 والـ Pmos بكون الـ Channel عالـ Zero.

Scanned with CamScanner

Summary

- MOS Transistors are stack of gate, oxide, silicon
- Can be viewed as electrically controlled switches
- Build logic gates out of switches
- Draw masks to specify layout of transistors

- Now you know everything necessary to start designing schematics and layout for a simple chip!

Combinational Logic

Dr.Mohammad Abdel-Majeed
Assistant Professor
University of Jordan

Scanned with CamScanner

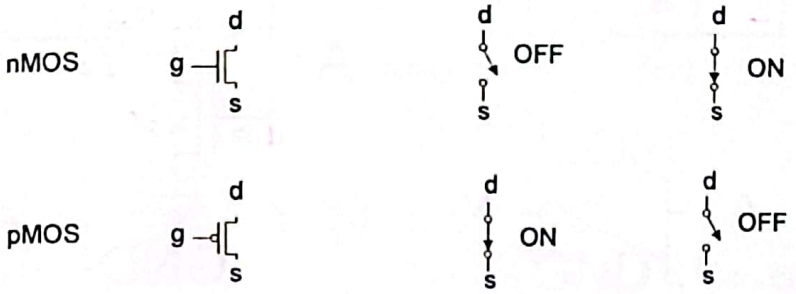
*مارح نوخم بال low level details بهاي الجزئية
. Switch كـ Pmos او Nmos هو transistor عالعطيني

THE UNIVERSITY OF JORDAN

Transistors as Switches

- We can view MOS transistors as electrically controlled switches
- Voltage at gate controls path from source to drain

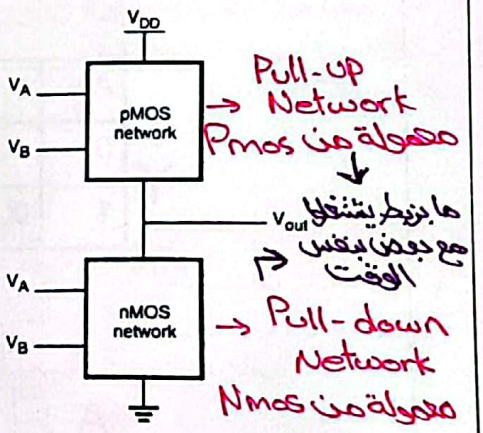
input ← g = 0 | g = 1 → input



THE UNIVERSITY OF JORDAN

CMOS Circuits

- For the gate to output a '1'
  - Some path of PMOS transistors from VDD to outp on
  - We call the PMOS transistors the Pull-Up Netwo
- For the gate to output a '0
  - Some path of NMOS transistors from GND to ou on
  - We call the NMOS transistors the Pull-Down Net



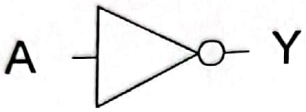
* يعني لما اعمل design جديد لازم يكون كتير لا output Path لكل وحدة input combination
لا Ground و Path لا Vdd ممنوع يكونكتير Path لا Vdd و Ground بنفس الوقت

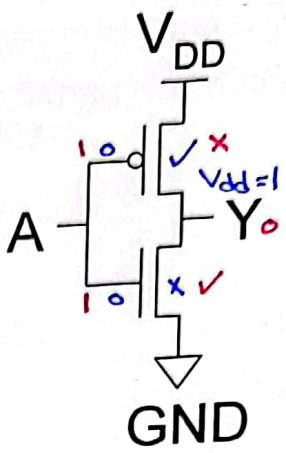
وممنوع ما يكونكتير Path
لازم يكون Path واحد يا لهاد يا لهناك

Scanned with CamScanner

CMOS Inverter

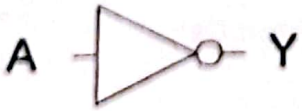
A	Y
0	1
1	0

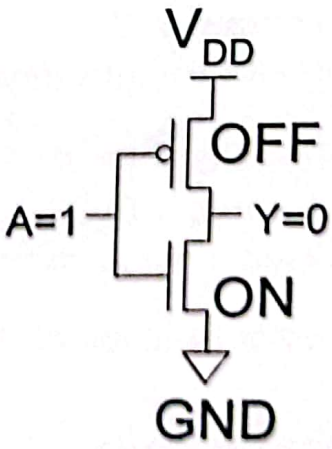




CMOS Inverter

A	Y
0	
1	0





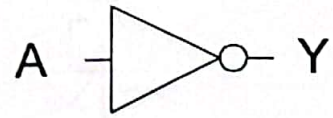
Scanned with CamScanner

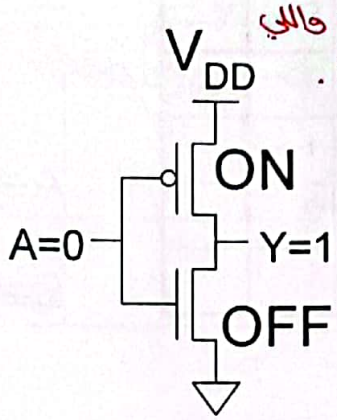
الطريقة الثانية لبناء الـ transistor: ننسى الـ - برجع ونركز بـ AB

CMOS Inverter

* لما تيجي على الـ expression بتنحسب Y = AB
الـ dual (y) = بنغير الـ And لـ or والـ or لـ and
مع الحفاظ على تسلسل الـ Variables هنا الـ dual "Y" = A + B ← dual بستعملها عشان أبني الـ Pull-up

A	Y
0	1
1	0





اللي بينهم or بنعملهم in parallel واللي بينهم and بنعملهم in series.

الطريقة الأولى لبناء الـ transistor

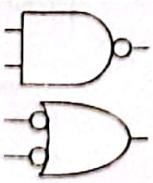
ننسى الـ - ونركز بـ AB ← * لما أعمل الـ Pull-up والـ Pull-down بفكر كالتالي:
- الـ Pull-down: باخذ المعادلة والـ Variables اللي العلاقة بينهم and بحطهم in series واللي بينهم or بحطهم in parallel.
- الـ Pull-up: عشان تقدر تحقق شرط إنه على أي input يا الـ Pull-up تشتغل يا الـ Pull-down تشتغل بالتالي ما بشتغلوا التنين مع بعض وما بطفوا التنين مع بعض، أي اشي in series بتعمله بالـ in parallel

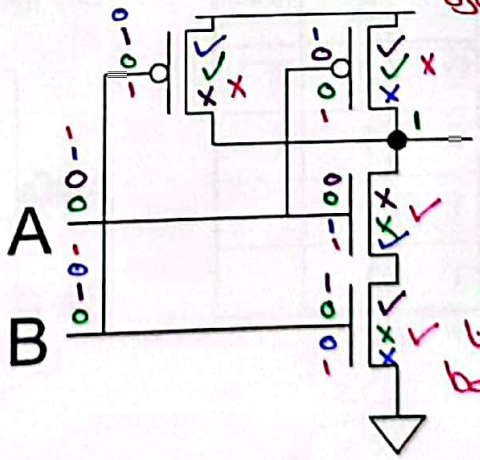
$Y = \overline{AB}$

CMOS NAND Gate

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

لأنه مافي Path لـ ground في Nmos مطفي قاطعه ←





* الـ bar ما أخذناها بعين الاعتبار لأنه ضمنيًا بناكيه عليها معكوسة لأنه عبارة عن CMOS أصلاً.

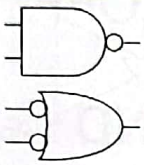
* بيعطيك الرسمة وانت تطلع المعادلة بتطلعها بناء على تصميم الـ Pull-down اللي ماشفنا بس ما تنسى تحط الـ bar آخر اشي لأنها ضمنية *

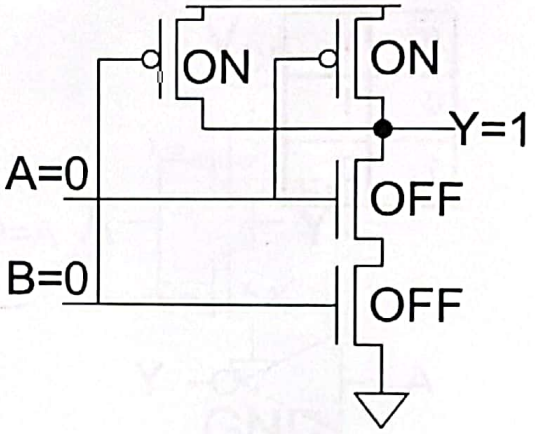
* بناء الـ NAND أسهل من الـ AND لأنه الـ AND حتحتاج تزيد كمان inverter يعكسلك الخنية لأنه هو بعكس المعادلة ضمنيًا من حاله *

Scanned with CamScanner

CMOS NAND Gate

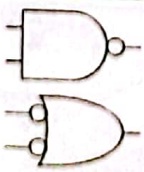
A	B	Y
0	**0**	**1**
0	1	
1	0	
1	1	

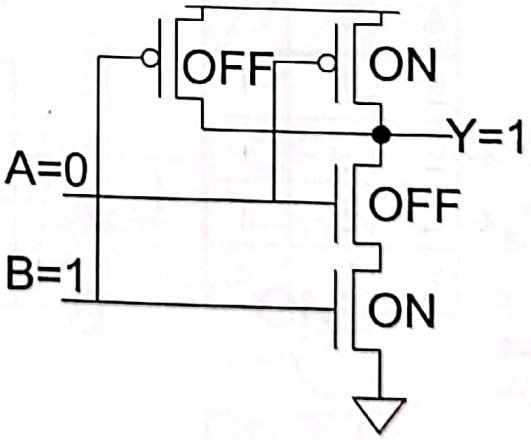




CMOS NAND Gate

A	B	Y
0	0	1
0	**1**	**1**
1	0	
1	1	

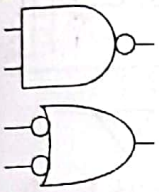


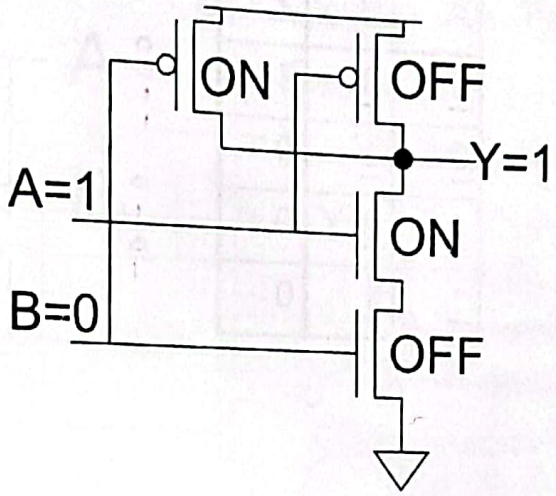


Scanned with CamScanner

CMOS NAND Gate

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	



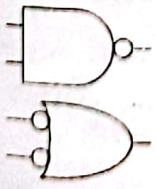


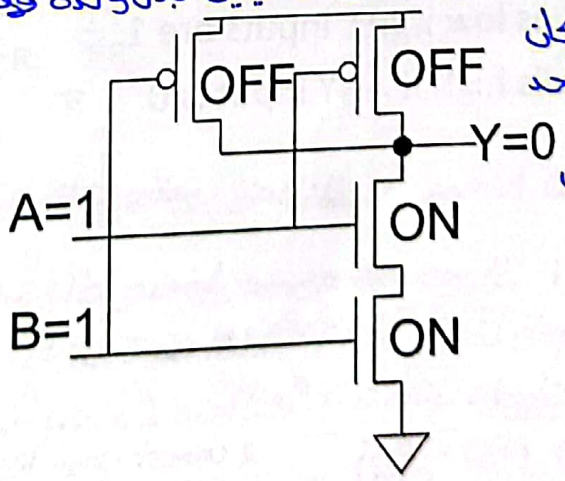
* الـ Fall time واضح إله حالة وحدة بس لازم الـ 2 Nmos يضبطوا لوحدهم
عادي output = 0 بالتالي لازم اثنين يشتغلوا مع بعض.

* الـ Rise time ← worst case ← output=0 ← AB = 11 بس شو الـ worst case إنه الـ A,B يضبطوا بعدها 00 ولا 01 ولا 10 ؟ إنه تتغير لـ 01 أو AB=10 هيك بكون الـ worst case ، لإنه لما AB = 00 حيكون الـ Pmos الاثنين شغالين وحيفلوا تيار 2X بدل 1X كإنك فاتح حنفيتين بدل وحدة فوذا مو worst case . أما لو كان AB=01/10 بكون واحد بس شغال فوذا الـ worst case

CMOS NAND Gate

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0



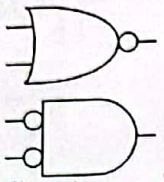


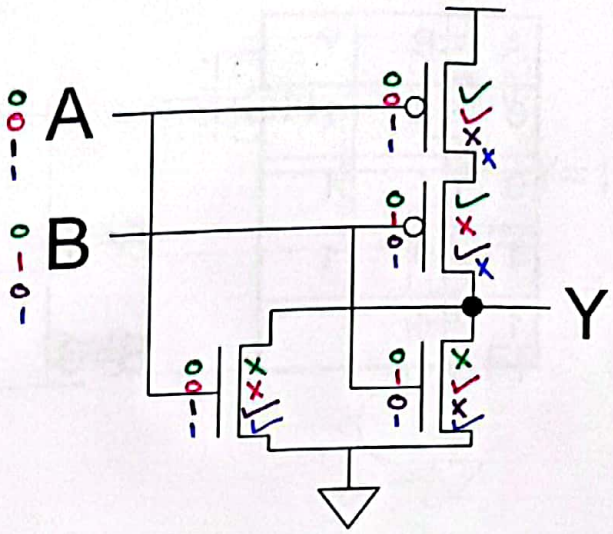
Scanned with CamScanner

CMOS NOR Gate

$Y = \overline{A+B}$

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0





* A و B بتخوت أصلية مش معكوسة عالـ Pull-down والـ Pull- up

3-input NAND Gate

$Y = \overline{ABC}$

- Y pulls low if ALL inputs are 1
- Y pulls high if ANY input is 0

* الـ Fall time لو بدي أحسبه بخذ حالة وحدة بس إنه الثلاث Nmos شغالين.

* الـ Rise time هو اللي بفرق لإنه كمان أكثر منخيار بسببه لإنه يصير الـ out = 1 ← يا إما الثلاثة Pmos شغالين يا إما 2 من الثلاثة شغالين يا إما واحد من الثلاثة شغالين، والـ worst case إنه يكون 1 من الثلاثة شغالين على اعتبار إنه كلهم نفس الـ Size. ← worst case Rise time

ABC = 111 → ABC = 011, 101, 110

↓ fall

↳ Rise

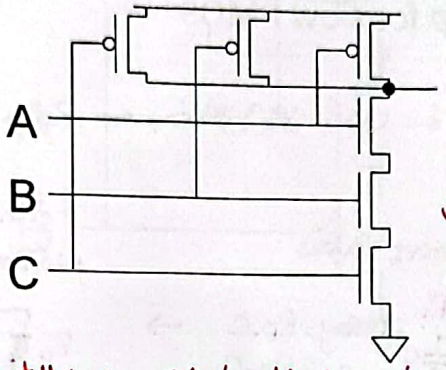
Scanned with CamScanner

3-input NAND Gate

Pull-down ⇒ ABC (bar الأصلي)
Pull-up ⇒ dual (Y) = A+B+C (bar الأصلي)

- Y pulls low if ALL inputs are 1
- Y pulls high if ANY input is 0

* ترتيب A, B, C هلأ ما بفرق هنا بس لقلم رح يفرق بالـ Performance . أما من ناحية Functionality ما بتفرق .



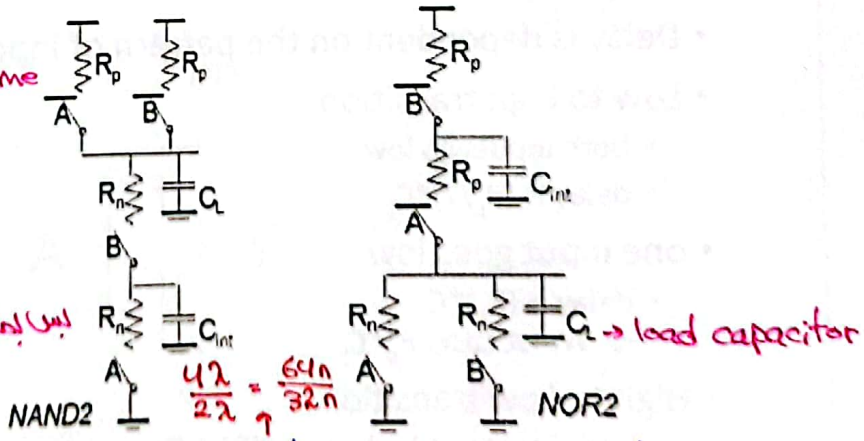
لو كلهم بوصلوا بنفس الوقت عادي ما عندي مشاكل بالـ Performance ، أما لو مثلاً A, B بوصلوا بنفس الوقت و C بتتأخر فالأفضل نعكس بين مكان A و C لنأخذ Performance أفضل .

* دايما لما يكون عندك signal بوصل متأخرة دايما اشبكها قريب من الـ output لإنه الشغل بصير أقل

Sizing

* بمعنى لما نعمل الـ circuit يكون الـ worst case الها rise/fall time ك fall / rise time ك worst case delay بمعنى إنه الـ delay معروف بالنسبة إلي ، كمان بمعنى إنه الـ rise/fall time تكون أقل قيمة معينة وبرضه منيح إذا كان الـ delay زي بعض .

* كمثال نحسب الـ worst case for rise/fall time رح نمثل الـ transistors على إنهم Resistors عشان نوفر ك delay ك output قديه بدي كمثال أوصل الـ output Resistor ، بس بمثل الـ transistor اللي ON بـ Resistor لأنه off ما بمثلهم



* Rn : resistance for unit size Nmos transistor.
* Rp : resistance for unit size Pmos transistor.

$\frac{4\lambda}{2\lambda}$

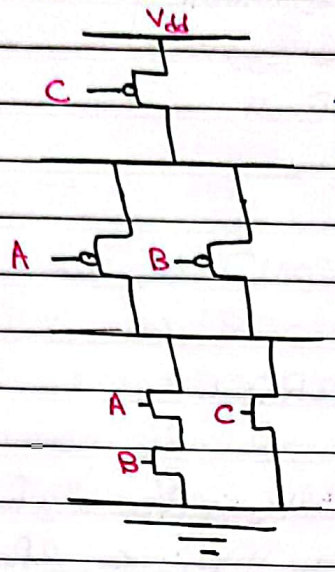
Scanned with CamScanner

Combinational logic

Slide 14 8

EX 8 $F=AB+C$, buid in Cmos transistor :

Sol. $dual(F)=(A+B)C$ → اتبع الأقواس عشان الأولوية.



→ $\overline{AB+C}$ لكن هاي احنا لقيناها بتوطي زي ما حكينا ، فرح نحتاج إنه نضيف اشي يعكسلي الناتج.

* worst case path (Pull down) : (التفريغ)

يا بفرغ عن طريق C يا عن طريق A,B بس مشان الاثنين معبوض بس الـ Current حيكون أقل في A,B لأنهم 2 Channels فالـ worst case هم حيكونوا C=0 و A,B = 1

* Worst Case Path (Pull-up) : (التعبئة)

الـ C لازم يكون بشغال عشان يوطيني الـ output بس لما أجيب B و A ما بخلي الاثنين يصيروا لأنه ما بصير worst case بخلي واحد منهم يصير وهاي الـ worst case بتكون

ABC ←
↳ 010
↳ 100

Scanned with CamScanner

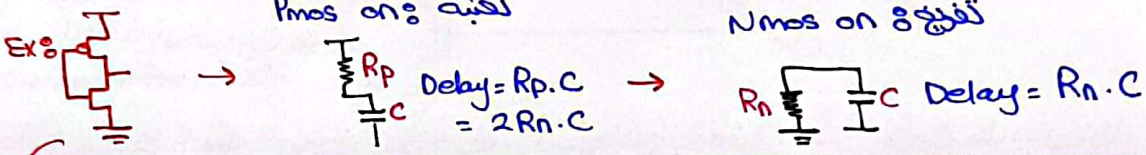
Sizing

*Mn = 2 Mp
Rp = 2 Rn

- Delay is dependent on the pattern of inputs
- The ratio of the {W/L}PUN/ {W/L}PDN should be two (or higher) to make up for slow PMOS

$\frac{R_p}{R_n} = \frac{\mu_n}{\mu_p}$ ← mobility ← بختلفوا كتير بعض ← Rp و Rn العلاقة بين *

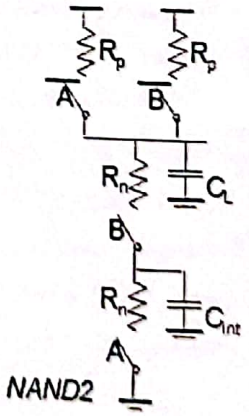
Rp أكبر من Rn .



لما نيجي نقيس الـ rise/fall time حيكون الـ rise أطول لإنه Rp أطول والـ fall نفس الـ Rise أقل. لو بدي أطلع الـ current الي ماشي في الـ Pmos أقل لإنه Mp أقل كان الحل إني الـ width تاع الـ Pmos الضعيف فالـ Delay ستصير $R_n C = \frac{2R_n \cdot C}{2} = \frac{R_p}{2} \cdot C$ وهنا صار نفس الـ Delay تاع الـ Nmos .

Sizing

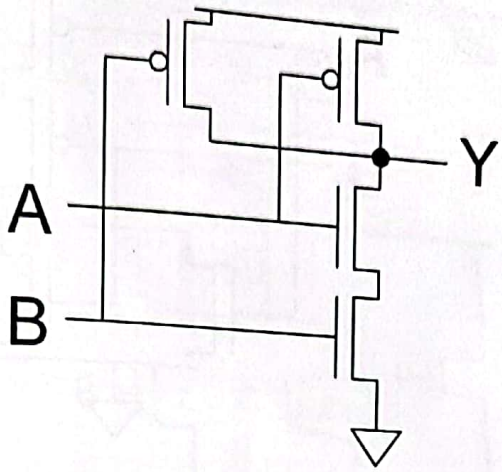
- Delay is dependent on the pattern of inputs
- Low to high transition
  - both inputs go low
  - delay is $(R_p/2)*C_L$
- one input goes low
  - delay is $(R_p)*C_L$
    → Worst case: R_p*C_L
- High to Low transition
  - both inputs go high
  - delay is $(2*R_n)*C_L$



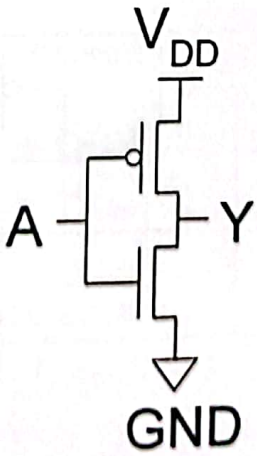
$R_p = 2R_n \rightarrow Wp = Wn$

Scanned with CamScanner

NAND Sizing

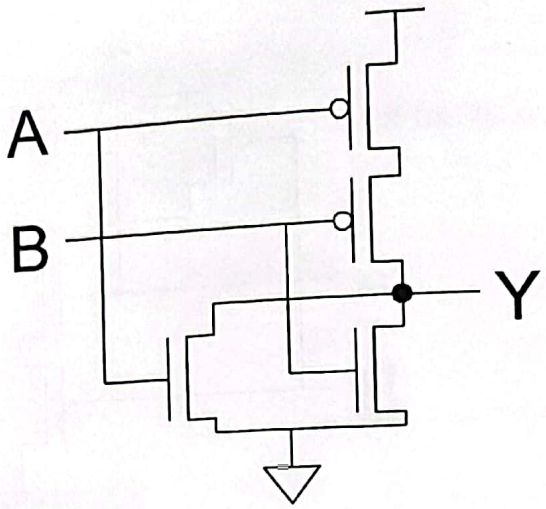


Inverter Sizing

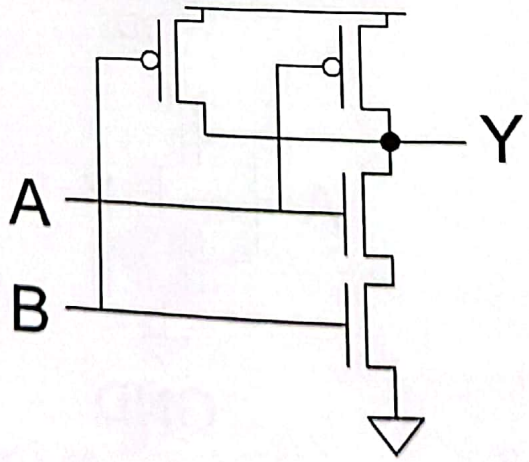


Scanned with CamScanner

NOR Sizing



NAND capacitance



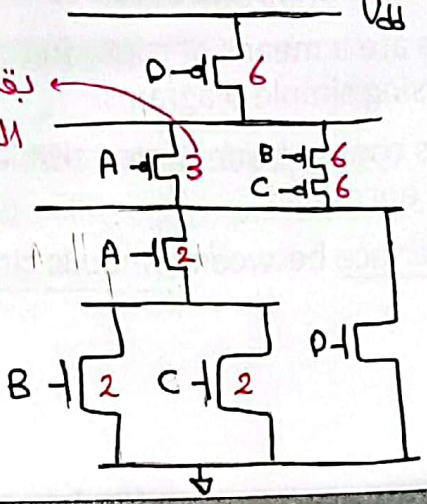
Scanned with CamScanner

Complex Gates

أول اشي لازم نرسمه هو حنبلش بال Pull-down بتحبيري تحللي بالطريقة اللي شرحناها للرسم.

- $A = \overline{D + A.(B + C)}$

$dual(A) = D.(A+(B.C))$ هو Pull-up



بقدر أحطها 4 أو 5 أو 6 لإنه بخلل بس RnCL هو worst هيك حدفع Area زيادة أنا بفضلي إني أخفضها.

Complex Gates Sizing

- $A = \overline{D + A.(B + C)}$

*worst case Pull-down: A مع C شغالين أو A مع B شغالين لإنه بعطيني أطول وقت

*worst case Pull-up: D مع B مع C شغالين

*Delay for fall time = $2R_nC_L$

* Delay for Rise time = $3R_pC_L = 6R_nC_L$

كمان أخليها RnCL ← كمان أخليها RnCL ح أزيد الـ W لـ Nmos للضعف (ماشي A و C و B لـ عالوسط بالأخير) الـ D ما بحبيبه لإنه ما تدخلنا فيه.

كمان أخليها RnCL حليد الـ W لـ Pmos لـ 6 أضعاف لـ D و B و C (ماشي عالوسط بالأخير) بس A ما بزيد أتركها هيك مع حالها لإنه لو أخذنا الـ Path اللي هو D مع A بحيث الـ Delay = $\frac{7R_p}{6}C_L = \frac{14R_n}{6}C_L$ وهيك صارت أكبر من $2R_nC_L$ فلازم نحلها بإنه نخلي الـ A Sizing ما بحطها 6 لإنه حدفع كمان Area زيادة

$\frac{R_p}{6} + A\left(\frac{R_p}{X}\right) = R_n$ ← الـ Size الجديد لـ A

$= \frac{2R_n}{6} + \frac{2R_n}{X} = R_n \rightarrow \frac{1}{3} + \frac{2}{X} = 1$

$\rightarrow 1 - \frac{1}{3} = \frac{2}{X} \rightarrow \frac{2}{3} = \frac{2}{X} \rightarrow X = 3$

كمان بخلل الـ A لـ Pmos لـ W فضاعف ← 3 أضعاف RnCL هو worst

Scanned with CamScanner

Slide 11 : worst case of NAND Gate (CMOS) :

Fall : AB = 11 حالة وحدة

Rise : AB = 01 or 10 (worst case)

∴ Delay for fall time = $2R_nC_L$

↳ Requivalent ← بتعبير تشوفي الريسة وكأساسوا بتعرفي تحسبي R الـ

∴ Delay for Rise time =

AB	Delay
00	$R_p/2 * C_L$
01	$R_p * C_L$] → worst case (worst أطول وقت هوا)
10	$R_p * C_L$] → = $2R_nC_L$

* $M_n = 2M_p \longrightarrow R_p = 2R_n$

← الـ Delay الـ fall والـ Rise نفس الاشي وهنا اللي بنسعالك بس لو بدي أسويهم بدل R_nC_L ← $2R_nC_L$ بزيد الـ w الـ Pmos والـ Nmos الضعف للكل.

Slide 4 : worst case of CMOS Inverter :

* worst case pull-down = A = 1
* worst case pull-up = A = 0
* Delay for fall time = R_nC_L
* Delay for Rise time = $R_pC_L = 2R_nC_L$ → بزيد الـ w الـ Pmos تاخد الضعف كمان يصير الـ Rise والـ fall قد بعض.

* الـ dimention مستحيل نقلوا بس بزيدها والزيادة بس الـ w لإنو الـ L ما بنغيرنا زيادتها وما بنقدر نقلوا ($\frac{W}{L}$).

Scanned with CamScanner

Slide 12 : worst case of CMOS NOR Gate:

* worst case pull-down = AB = 10 or AB = 01
* worst case pull-up = AB = 00
* Delay for fall time = $R_n C_L$
* Delay for Rise time = $2R_pC_L = 4R_nC_L$

(Pmos ال الثبات) أضعاف 4 بمقدار Pmos ال W حنزيد ال

* Note : $R = \frac{\rho L}{A} = \frac{L}{\mu A} \Rightarrow \frac{R_n}{R_p} = \frac{L_n}{\mu_n A_n} / \frac{L_p}{\mu_p A_p} \rightarrow \frac{R_n}{R_p} = \frac{\mu_p}{\mu_n} \rightarrow \frac{R_n}{R_p} = \frac{1}{2}$

Slide 13 : worst Case of CMOS 3-input NAND Gate:

* worst case fall time = ABC = 111
* worst case Rise time = ABC = 011 or 101 or 110
* Delay for fall time = $3R_nC_L$ → بنزيد ال W لكل ال Nmos بـ 3 أضعاف
* Delay for Rise time = $R_pC_L = 2R_nC_L$ → بنزيد ال W لكل ال Pmos للنصف

Scanned with CamScanner

Stick Diagrams

بدي أحول الاشي اللي كملته لـ Silicon ←

- VLSI design aims to translate circuit concepts onto silicon.
- stick diagrams are a means of capturing topography and layer information using simple diagrams.
- Stick diagrams convey layer information through colour codes (or monochrome encoding).
- Acts as an interface between symbolic circuit and the actual layout.

Stick Diagrams

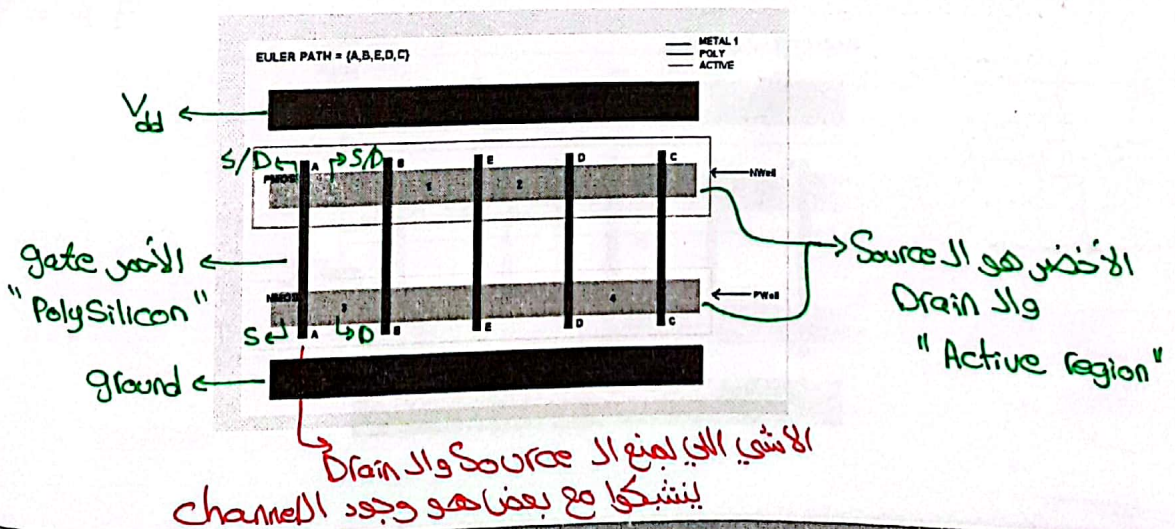
- Does show all components/vias.
- It shows relative placement of components.
- Goes one step closer to the layout
- Helps plan the layout and routing

Scanned with CamScanner

Stick Diagrams

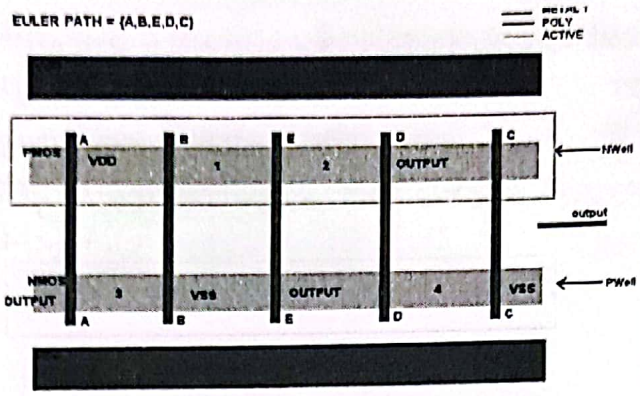
- Does ***not*** show
  - Exact placement of components
  - Transistor sizes
  - Wire lengths, wire widths, tub boundaries.
  - Any other low level details such as parasitics..

Stick Diagram

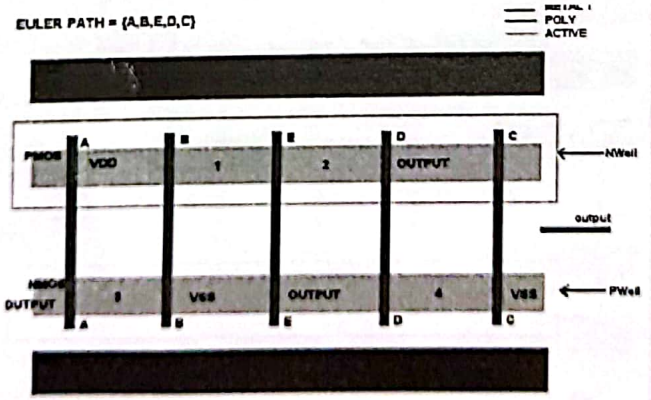


Scanned with CamScanner

* الـ output ما بيتقاطع مع A , B,... لإنه كل واحد Metal1 كانوا input فهيم. Metal معين غير عن الثاني فلو الـ out بكون Metal 2 وهكذا.



Stick Diagram



Scanned with CamScanner

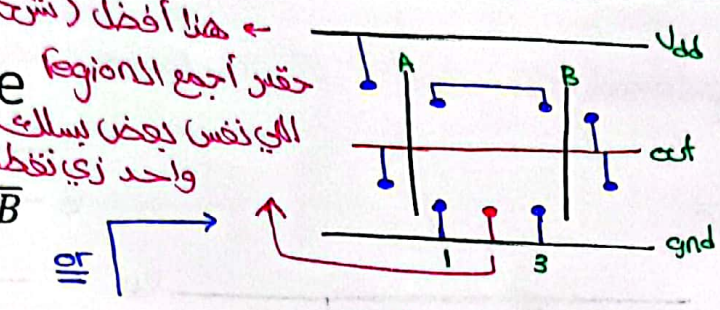
* في أكثر من طريقة للترتيب والدمج وكله صح بكون.
* بس بالبداية برسم أماكن الـ Source والـ Drain لقام بدون ما نرسوم.
* دايما أول اشي الرسم الـ Schematic بعدين بلش بالـ Stick.

Example

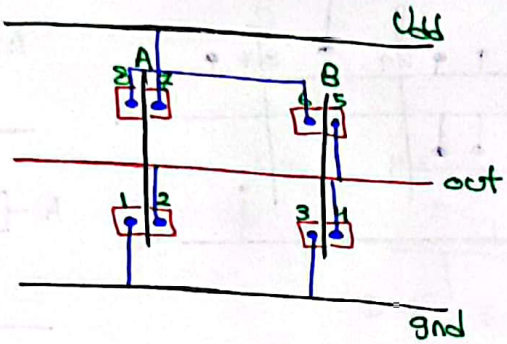
← هذا أفضل (شرحه بالدفتر)

حقد أجمع الـ regions اللي نفس بعض بسلك واحد زي نقطة 1 و 3 بحيط سلك واحد

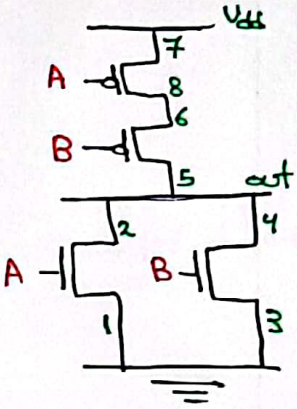
$F = \overline{A + B}$



or



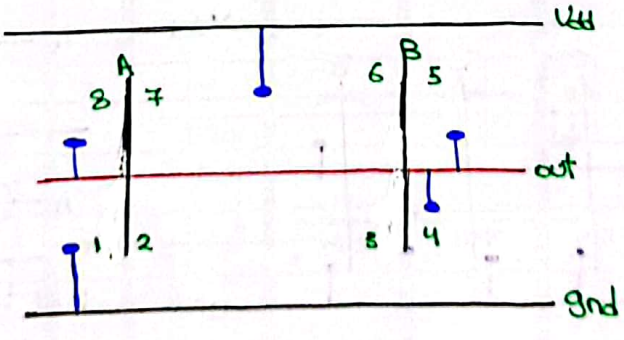
بين A و B ما حطيت أي سلك زي ما احنا حاطين خلص ما في داعي لأنهم region واحدة.

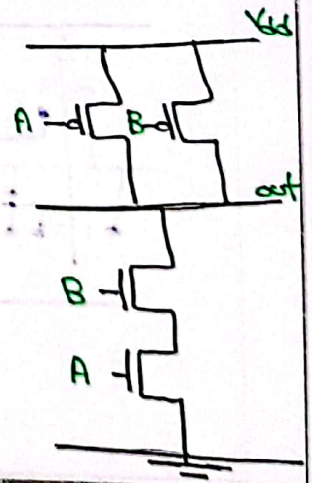


Example

* الترقيم المتسهيل فقط *

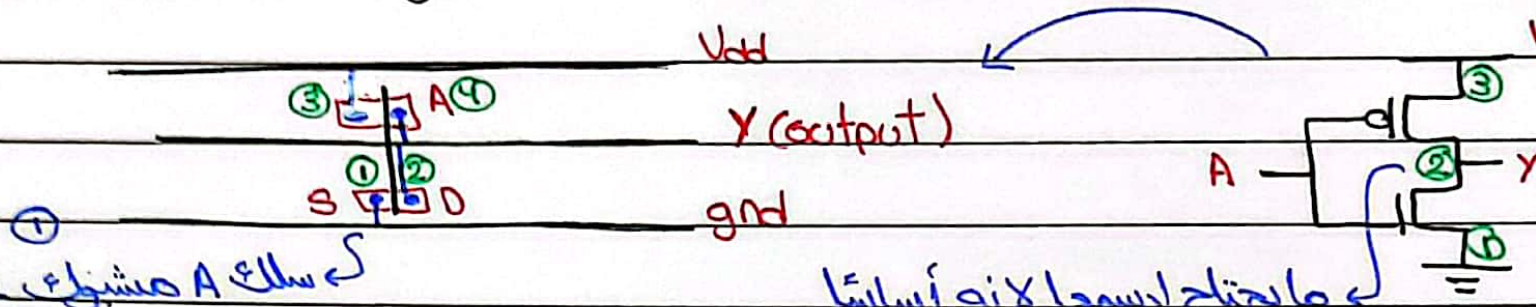
$F = \overline{A.B}$





Scanned with CamScanner

Slide 6 : Stick Diagram of CMOS Inverter ← حتنقل التفاصيل الـ Stick



gnd الـ مشبوك على A سلك ←

ما بحتاج ارسموا لإنه أساسًا ←

او في channel حتنقل القيمة من

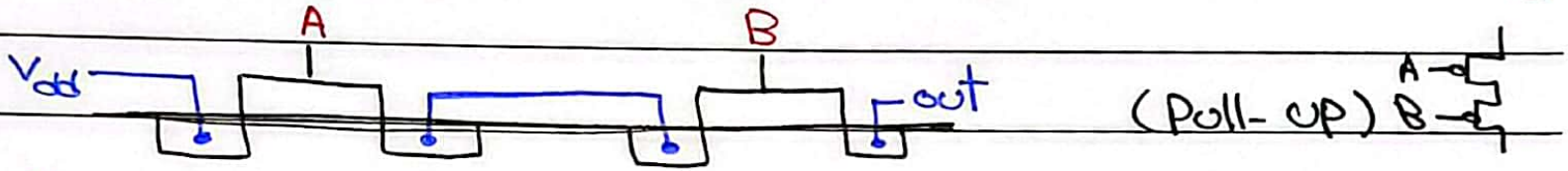
Drain الـ Source الـ

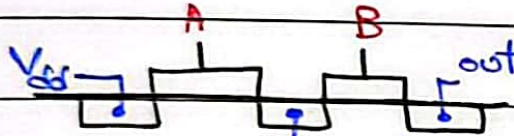
* ما بفرق بين أخط الـ Source والـ Drain أو كيف أرتب طريقة توصيلي.

* طلوا نفس الـ layout الي بـ Slide 34 بـ layout, Fabrication and elementary logic

Design

Slide 30 :





* أنا ممكن بدل هيك اجمع الـ Region المتقاربين بـ Region وحدة ←

ما اعتبرنا السلك لإنه صاروا بـ Region وحدة فصار ←

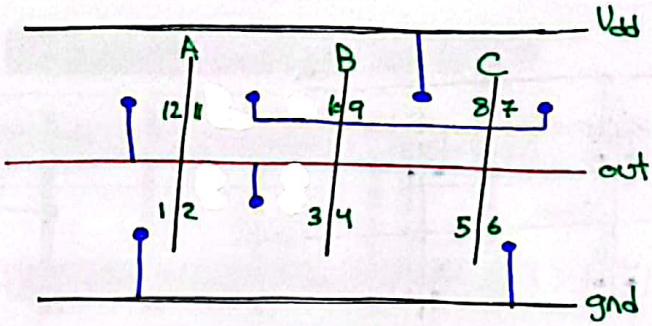
سلك داخلي بينوم وهيك كسبنا Area وبنقل الـ capacitance

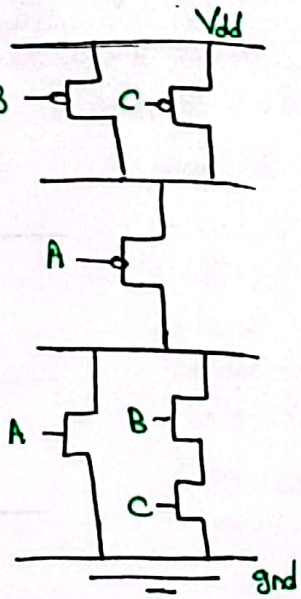
Scanned with CamScanner

* الأفضل دائماتبدأ توصيل من Vdd أو gnd ولو بلشت بـ Path كملة للنهاية

Example

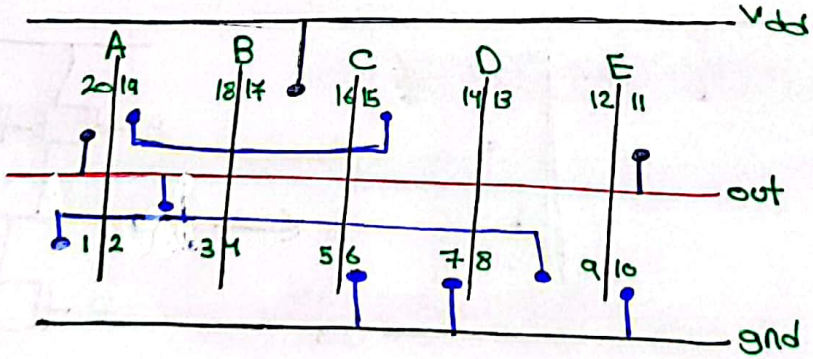
- $F = \overline{A + BC}$

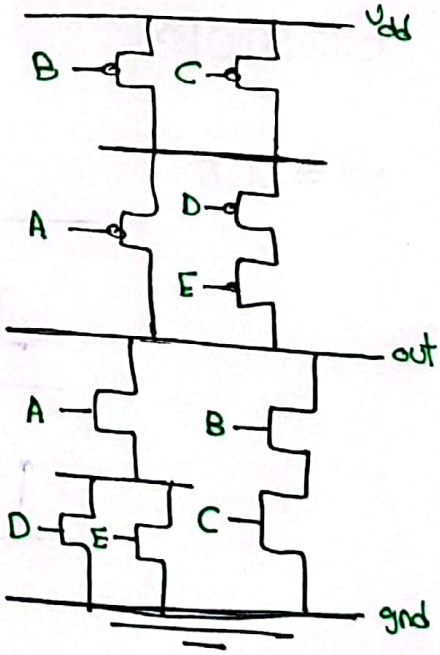




Example

- $F = \overline{A(D + E) + BC}$

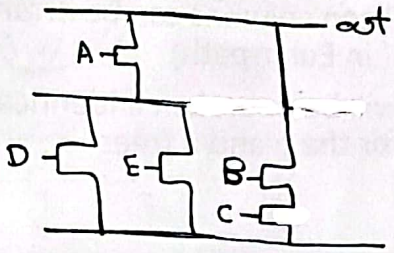




Scanned with CamScanner

بالفوم لل Stick بيقدري تطلعيها.

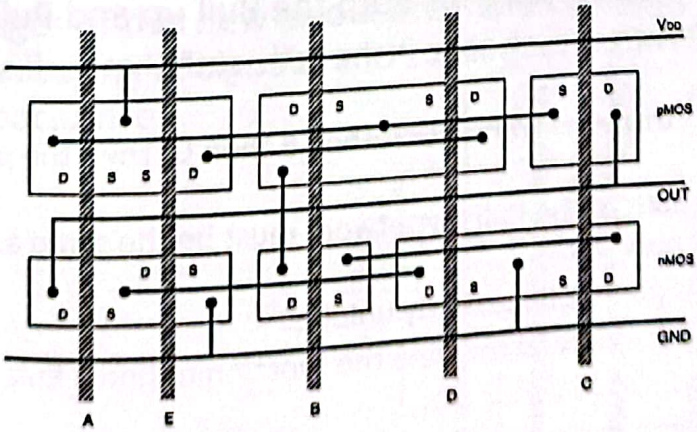
* ال Schematic اللي راسمه تحت ؛ Stick



* pull-down *

← طلع نفس اللي عاطيني بس مغير ترتيب الـ inputs.

* حنشوف القدام إنه أكثر اشي مناسب إني أمشي صح إنه الـ transistors اللي جمب بعض بال Schematic يكونوا جمب بعض بالـ Stick diagram والـ layout.



Scanned with CamScanner

Pull-down الي موجودين في الـ transistors الـ Path يمر بكل الـ transistor من الـ
لازم آخد ماشي وما أرفع ايدي Pull-up مرة وحدة بس وكذلك لـ
وأنا بمشي.

Euler Path

Pull-up لـ Euler path * عشان نفشده لازم يكون الـ
والـ Pull-down نفسه، وهيك بنفشد
ترتيبه في الـ Stick diagram

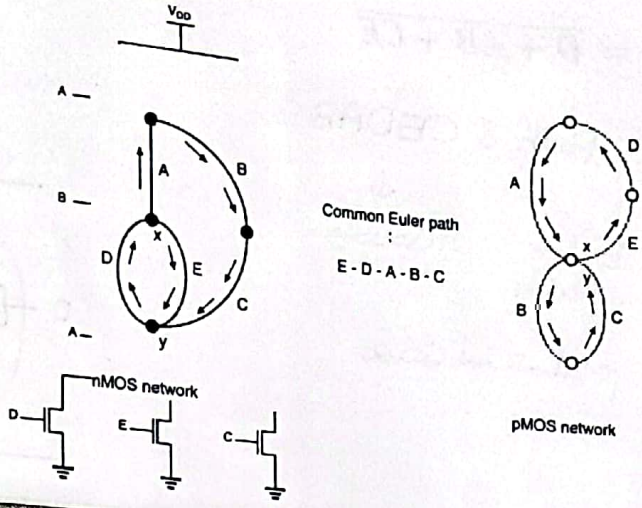
- The number of diffusion breaks can be minimized by changing the ordering of the polysilicon columns
- A simple method for finding the optimum gate ordering is the **Euler-path** approach
- Find a common Euler path for both pull-down and pull-up graphs
- The polysilicon columns can be arranged according to the sequence (in Euler-path)
- Diffusion will be unbroken if identically labeled Euler paths can be found for the p and n trees

Euler Path

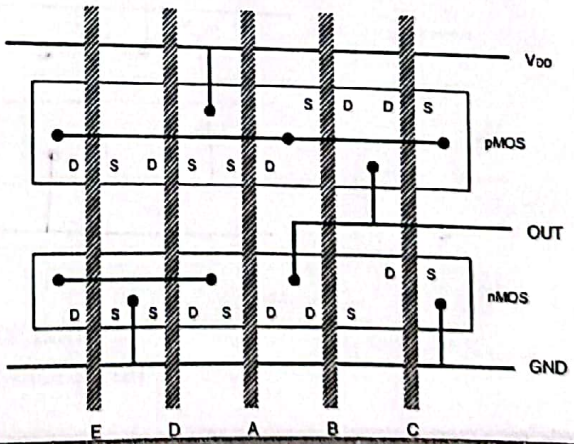
- construct one Euler path for both the Pull up and Pull down network
  - Path the traverses each node in the path, such that each edge is visited only once.
  - If the path traverses transistor A then B then C. Then the path name is {A, B, C}
  - The Euler path of the Pull up network must be the same as the path of the Pull down network.
  - Euler paths are not necessarily unique.
  - It may be necessary to redefine the function to find a Euler path.

Scanned with CamScanner

Euler Path



- The advantages of this new layout are more compact layout area, simple routing of signals, and consequently, lower parasitic capacitance



Scanned with CamScanner

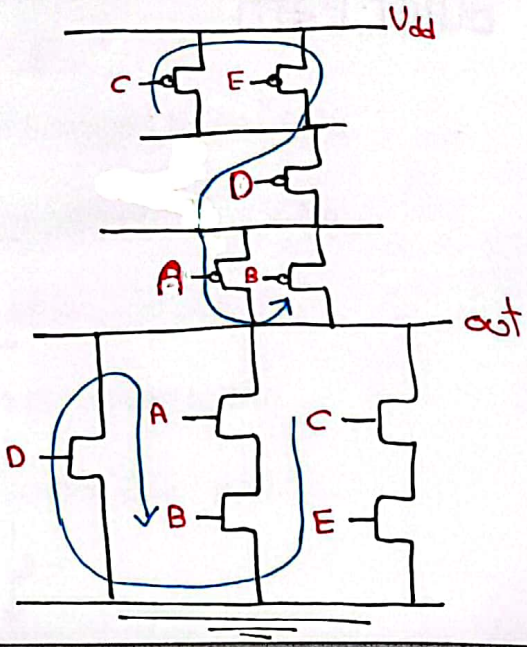
Euler Path

- $A = \overline{D + AB + CE}$

Euler Path هي CEDAB

↓

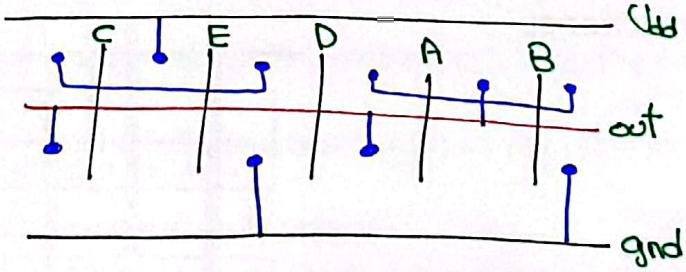
واحدة من ال Euler Path اللي ممكن نستعملوم.



Example

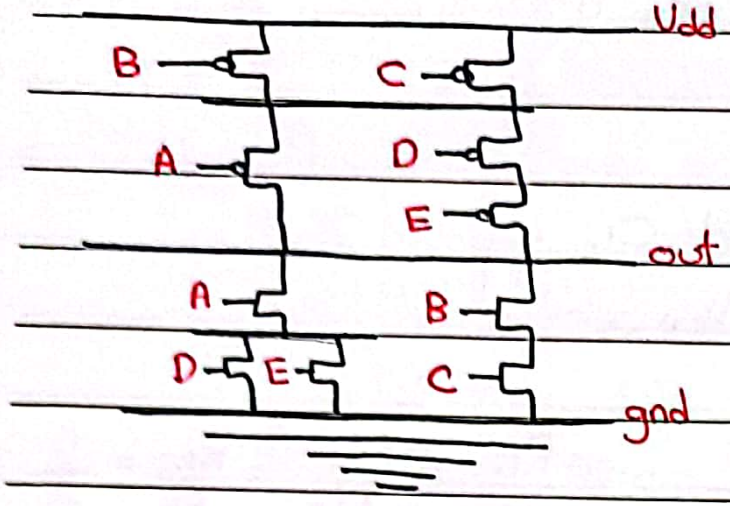
Stick diagram هي

- $A = \overline{D + AB + CE}$



Scanned with CamScanner

Slide 33 : Euler path of : $\overline{A(D+E)+BC}$



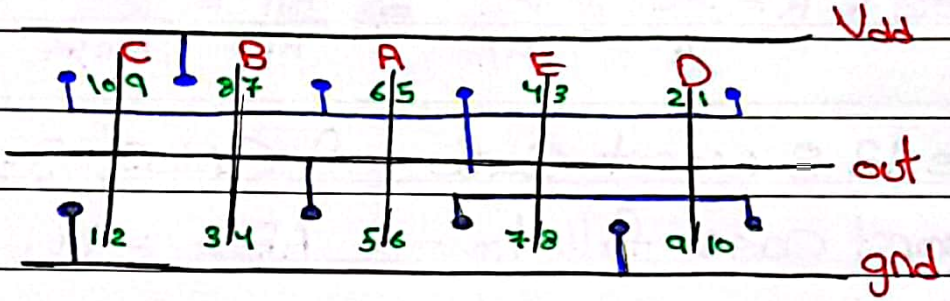
Pull-down : CBAED / DABCE

Pull-up : CBAED

مشموجود بال Pull-up إلا لو غيرت ترتيب ↓

ال input بال Circuit design .

* مختار : CBAED



Scanned with CamScanner

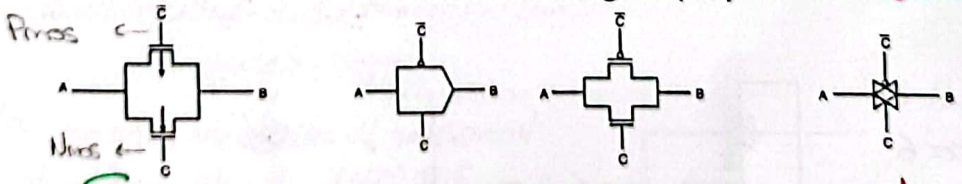
Example

- $f = \overline{A(D+E)+BC}$

بشبه tristate buffers / بتنقل الـ Signal من مكان الى مكان

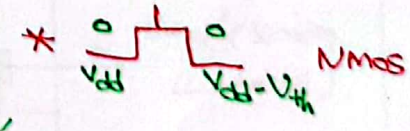
CMOS Transmission Gates (Pass Gates)

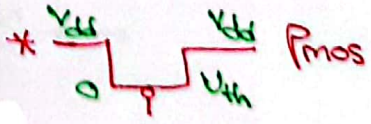
- Representations of the CMOS transmission gate (TG)



موزي الـ inverted هي بترجع الـ input زي ما كان

حجمنا الاثنين بعض



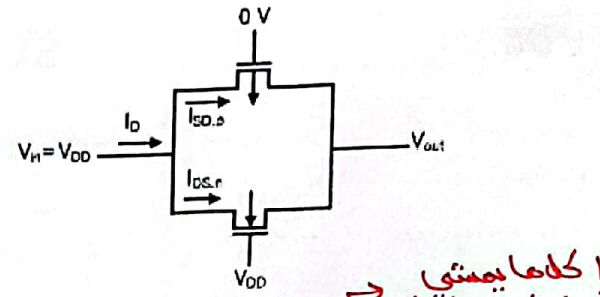


لازم نشغل الاثنين مع بعض

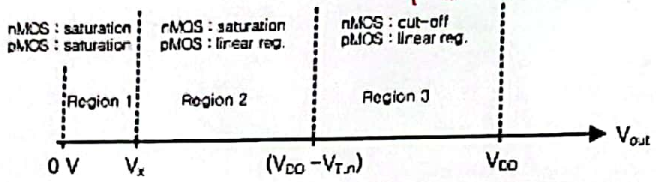
- One nMOS + one pMOS
- Bidirectional switch
- If C=V_{DD}, TG is turned on (low-resistance path)
- If C=GND, TG is turned off (high-impedance state)

Scanned with CamScanner

DC Analysis of Transmission Gate (1)



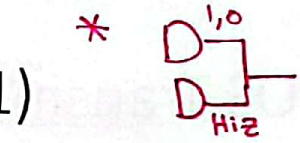
ال Nmos كلما يمشي
حيظل يضعف لحد ما يطفي



44

* فائدة الـ Transmission Gate إني أعمل الـ Circuits اللي بدي اياها بعدد أقل من الـ transistors.

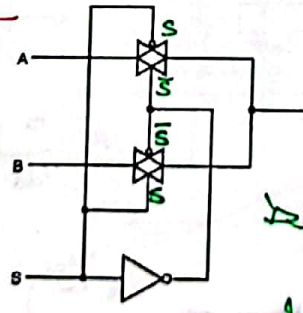
CMOS TG Implementations (1)



مسموح اعملهيك بس لوحدة من الـ and شغالة والثانية محطينها ما بزبط الاثنين يعطوني logic.

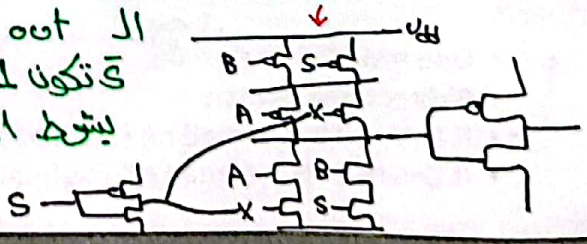
- Two-input multiplexor

الـ TG لحتى ← Transistor 6 لتنبيها (2 منهم للـ inverter)



* باستخدام CMOS حيكون عدد الـ transistor الي بحتاجها لأبني هاي الـ 2-1-mux ↓ ↓ 12 transistor = $F = AX + BS$ ⇐

الـ out بكون A بشرط S̄ تكون 1 و بكون B بشرط الـ S تكون 1

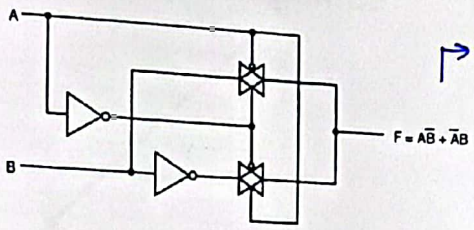


45

Scanned with CamScanner

* بس حتى لو عدد الtransistor كتار بقدر أسوي محلي وأعلوم الfunction باستخدام الgates لوهاي الgates موجودة بالبرمجية (gates and, or, inverter, ...) كنبي.

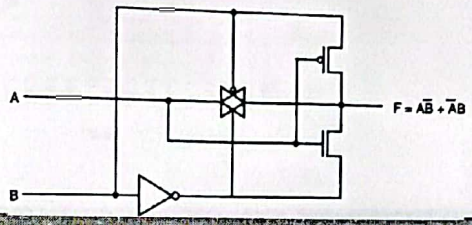
- 8-TRs XOR function



بال CMOS بحتاج 14 transistor

2 → Ā
2 → B̄
8 → Pull up + Pull down
2 → inverter

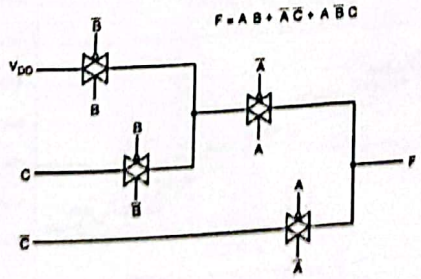
- 6-TRs XOR function



* هش مطلوب شبيها بال TG، المطلوب بس لو كطانا ال input نعرف نطلع ال output على ال TG.

CMOS TG Implementations (2)

- Boolean function realization



Scanned with CamScanner

Transitors scaling

Outline

- Scaling ← مشاعلية بسيطة
  - Transistors
  - Interconnect
  - Future Challenges

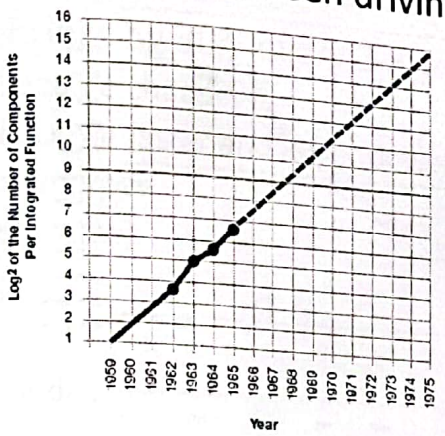
Scanned with CamScanner

Moore's Law

عدد الـ devices بتتضاعف كل سنتين.

THE UNIVERSITY OF JORDAN

- Recall that Moore's Law has been driving CMOS

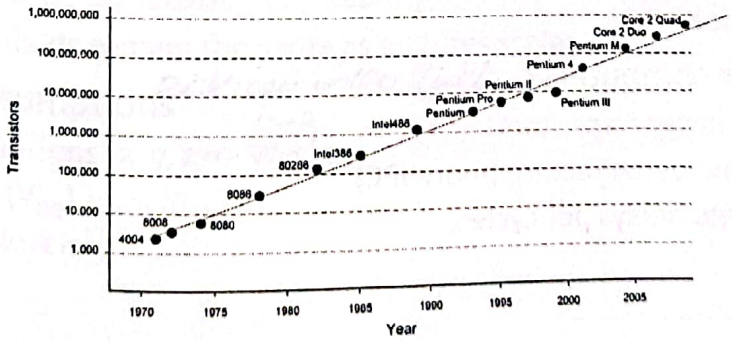


Moore's Law

* عم بنحط resources عـ chip أكثر من ما بنحتاج بيجي بعدين دور الـ Programer إنه يشغل أكثر من تطبيق لنستخدم هدول الـ Resources.

THE UNIVERSITY OF JORDAN

- Recall that Moore's Law has been driving CMOS



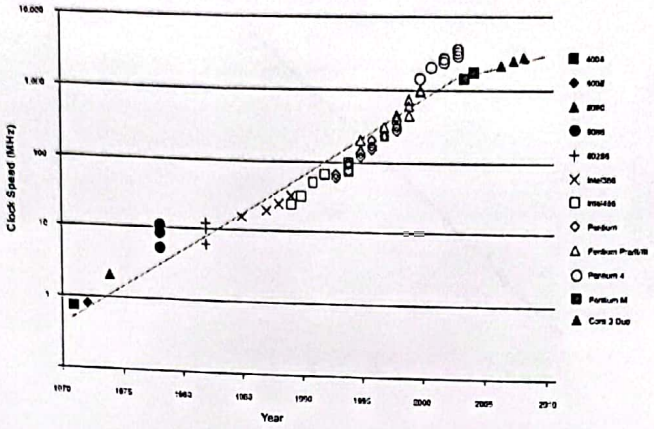
Moore's Law today

Scanned with CamScanner

اللي يهمنا إنه بطلت أزيد الـ Frequency بسبب الـ Power wall اللي موجود عندي.

Moore's Law

- Recall that Moore's Law has been driving CMOS



Corollary: clock speeds have improved

لما أزيدها الـ Power بتزيد فالـ Energy بزيد.

Why?

- Why more transistors per IC? More Functionallity
  - Smaller transistors
  - Larger dice
- Why faster computers? عشان نقدر نخلص الشغل أسرع
  - Smaller, faster transistors
  - Better microarchitecture (more IPC)
  - Fewer gate delays per cycle

Scanned with CamScanner

Scaling

ليه عملنا Scaling؟ عشان نصغر الـ transistors وبالتالي نصغر الـ Lgw و tox و الـ Vdd / Vth = Voltages لأنها أقرب لـ 0 وكمان بكون قللت الـ distance فبحتاج أقل الـ Voltages.

- The only constant in VLSI is constant change
- Feature size shrinks by 30% every 2-3 years
  - Transistors become cheaper
  - Transistors become faster and lower power
  - Wires do not improve (and may get worse)
- Scale factor S
  - Typically $S = \sqrt{2}$
  - Technology nodes

* Evert, Elat ما بتغيروا

Dennard Scaling

- Proposed by Dennard in 1974
- Also known as *constant field* scaling
  - Electric fields remain the same as features scale
- Scaling assumptions
  - All dimensions (x, y, z => W, L, t_{ox}) → Factor الـ (بنفالهم بنفس الـ S اللي هو)
  - Voltage (V_{DD})
  - Doping levels

Scanned with CamScanner

Device Scaling

Scaling مقدار الـ ↩ بنقلل بمقدار S.

Scaling الي بنعملوم

Parameter	Sensitivity	Dennard Scaling
L: Length		1/S
W: Width		1/S
t_{ox}: gate oxide thickness		1/S
V_{DD}: supply voltage		1/S
V_t: threshold voltage		1/S
NA: substrate doping		S
β	$W/(Lt_{ox}) = (1/S)/(1/S)$	S
I_{on}: ON current	$\beta(V_{DD}-V_t)^2 = S(1/S)$	1/S
R: effective resistance	$V_{DD}/I_{on} = (1/S)/(1/S)$	1
C: gate capacitance	WL/t_{ox}	1/S
τ: gate delay	RC	1/S → استفدنا
f: clock frequency	$1/\tau$ → gate delay	S → منيح لازيد
E: switching energy / gate	CV_{DD}^2	$1/S^3$ → ممتاز تقل
P: switching power / gate	Ef	$1/S^2$ → السفدنا
A: area per gate	WL	$1/S^2$ → استفدنا
Switching power density	P/A	1
Switching current density	I_{on}/A	S → مشانيح يزيد

بتزيد مقدار S.

* الجدول هنا مهم لازم يكون معنا ، بجيب بالامتحان ابيش بحير لما نعمل مقارنة بين Scaling factors و Parameters مختلفة وبنعطيه شو الجواب الي بطلع معك.

Observations

- Gate capacitance per micron is nearly independent of process
- Gates get faster with scaling (good)
- Dynamic power goes down with scaling (good)
- Current density goes up with scaling (bad)

Scanned with CamScanner

Real Scaling

برجه جيبس كل ما أرفعه حيصير اختراقه أسهل.

- t_{ox} scaling has slowed since 65 nm
  - Limited by gate tunneling current
  - Gates are only about 4 atomic layers thick!
  - High-k dielectrics have helped continued scaling of effective oxide thickness
- V_{DD} scaling has slowed since 65 nm
  - SRAM cell stability at low voltage is challenging
- Dennard scaling predicts cost, speed, power all improve
  - Below 65 nm, some designers find they must choose just two of the three

صرنا نقدر نعمل الـ oxide أسمك لنفس النتيجة ↑ t_{ox} فوطيا هو أكثر الـ Scaling من ناحية

Interconnect Scaling

* ما بطلب مناهذا الجدول.

* اللي بزعجنا بالـ wires هي الـ resistance.

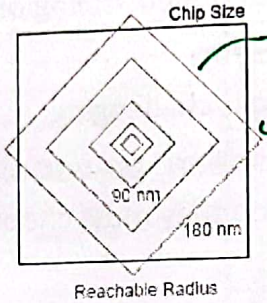
Parameter	Sensitivity	Scale Factor
w: width		1/S
s: spacing		1/S
t: thickness		1/S
h: height		1/S
D_c: die size		D_c
R_w: wire resistance/unit length	1/wt	S^2
C_{wf}: fringing capacitance / unit length	t/s	1
C_{wp}: parallel plate capacitance / unit length	w/h	1
C_w: total wire capacitance / unit length	$C_{wf} + C_{wp}$	1
t_{wu}: unrepeated RC delay / unit length	R_wC_w	S^2
t_{wr}: repeated RC delay / unit length	sqrt(RCR_wC_w)	sqrt(S)
Crosstalk noise	w/h	1
E_w: energy per bit / unit length	$C_wV_{DD}^2$	$1/S^2$

Scanned with CamScanner

Reachable Radius

- We can't send a signal across a large fast chip in one cycle anymore
- But the microarchitect can plan around this
  - Just as off-chip memory latencies were tolerated

لما نعمل Scaling بصغر
Cycles فحين احتاج
أكثر للانتقال لإنه
Resistance ال
زيت



بوجينا قديش ال distance
اللي ممكن أنا أوصلها
wires within one clock cycle

Observations

- Local wires are getting faster → Shorter لإنه صاروا
  - Not quite tracking transistor improvement
  - But not a major problem
- Global wires are getting slower
  - No longer possible to cross chip in one cycle

Scanned with CamScanner

ITRS

* منظمة كل سنة بطلعوا دراسة الـ Scaling كيف بمشي

* منيحة بس بتنفع للـ harddisk لإنه عدد الكتابات محدودة Flash technology

- Semiconductor Industry Association forecast
  - Intl. Technology Roadmap for Semiconductors

Year	2009	2012	2015	2018	2021
Feature size (nm)	34	24	17	12	8.4
L_{gate} (nm)	20	14	10	7	5
V_{DD} (V)	1.0	0.9	0.8	0.7	0.65
Billions of transistors/die	1.5	3.1	6.2	12.4	24.7
Wiring levels	12	12	13	14	15
Maximum power (W)	198	198	198	198	198
DRAM capacity (Gb)	2	4	8	16	32
Flash capacity (Gb)	16	32	64	128	256

Dynamic Power

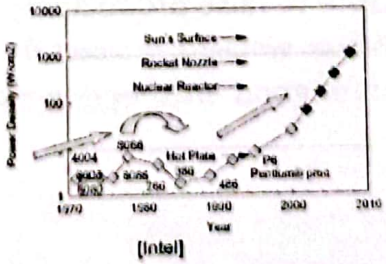
الـ Power اللي بتصرفها لما تشتغل Circuit الـ

بتقلص مع الزمن .

- Intel VP Patrick Gelsinger (ISSCC 2001)
  - If scaling continues at present pace, by 2005, high speed processors would have power density of nuclear reactor, by 2010, a rocket nozzle, and by 2015, surface of sun.
  - "Business as usual will not work in the future."

هاي بتزيد

- Attention to power is increasing

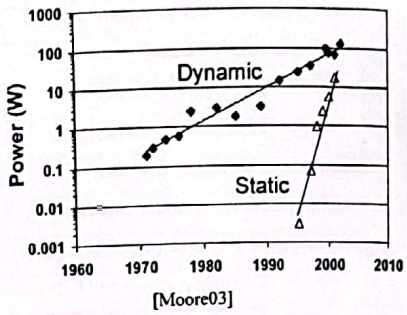


Scanned with CamScanner

Static Power

سببها الـ leakage، بتضروها وانت قاعد.
بتصير عالية لإنها بتنحسب لكل transistor موجود بالـ circuit
مشاكشان لإنها Per transistor بتصير عالية.

- V_{DD} decreases
  - Save dynamic power
  - Protect thin gate oxides and short channels
  - No point in high value because of velocity sat.
- V_t must decrease to maintain device performance
- But this causes exponential increase in OFF leakage
- Major future challenge



[Moore03]

Productivity

- Transistor count is increasing faster than designer productivity (gates / week)
  - Bigger design teams
    - Up to 500 for a high-end microprocessor
  - More expensive design cost
  - Pressure to raise productivity
    - Rely on synthesis, IP blocks
  - Need for good engineering managers

Scanned with CamScanner

THE UNIVERSITY OF JORDAN

Physical Limits

- Will Moore's Law run out of steam?
  - Can't build transistors smaller than an atom…
- Many reasons have been predicted for end of scaling
  - Dynamic power
  - Subthreshold leakage, tunneling
  - Short channel effects
  - Fabrication costs
  - Electromigration
  - Interconnect delay

THE UNIVERSITY OF JORDAN

Combinational logic الاشي اللي كنا
Parameters في delay انو هون ما بنهتم بال
ثانية بنهتم.

Sequential Logic

Dr.Mohammad Abdel-Majeed
Assistant Professor
University of Jordan

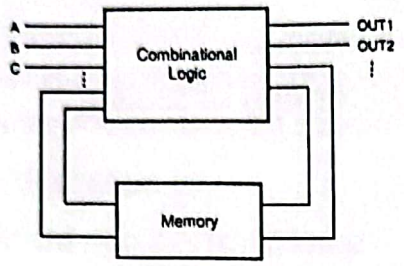
Scanned with CamScanner

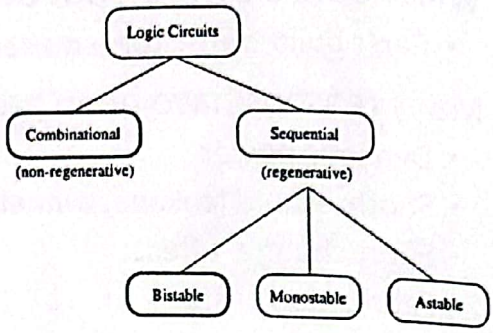
العم event بفتحوا بأوقات معينة

latches Flip Flop

Introduction

- Sequential Circuit



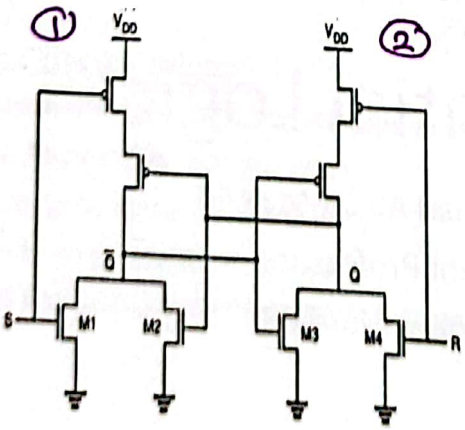


Combinational block
+memory block

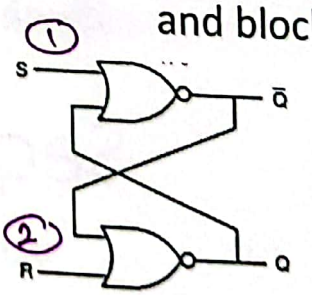
اللي يهمنا لوحدانى ال Circuit كيف أحولها لـ Transistor level.

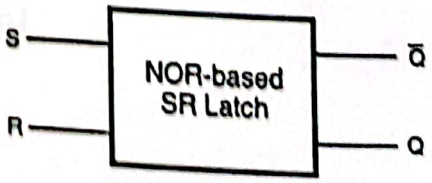
SR Latch Circuit

- SR latch circuit based on NOR2 gates



- Gate level schematic and block diagram





Scanned with CamScanner

Truth Table and Operation Mode

- Truth table of the NOR based SR latch circuit

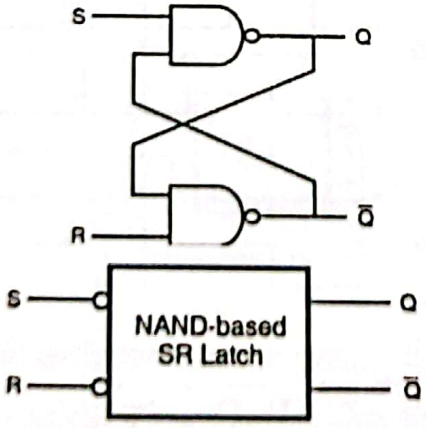
S	R	Q_{n+1}	$\overline{Q_{n+1}}$	Operation
0	0	Q_n	$\overline{Q_n}$	hold
1	0	1	0	set
0	1	0	1	reset
1	1	0	0	not allowed

- Operation mode of the NOR based SR latch circuit

S	R	Q_{n+1}	$\overline{Q_{n+1}}$	Operation
V_{OH}	V_{OL}	V_{OH}	V_{OL}	M1 and M2 on, M3 and M4 off
V_{OL}	V_{OH}	V_{OL}	V_{OH}	M1 and M2 off, M3 and M4 on
V_{OL}	V_{OL}	V_{OH}	V_{OL}	M1 and M4 off, M2 on, or
V_{OL}	V_{OL}	V_{OL}	V_{OH}	M1 and M4 off, M3 on

NAND Based SR Latch

- Gate level schematic & Block diagram

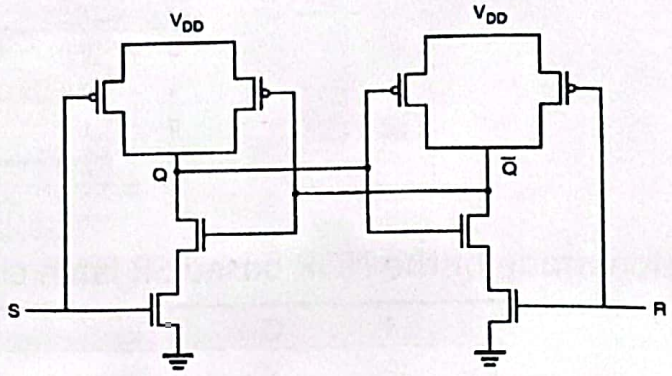


S	R	Q_{n+1}	$\overline{Q_{n+1}}$	Operation
0	0	1	1	not allowed
0	1	1	0	set
1	0	0	1	reset
1	1	Q_n	$\overline{Q_n}$	hold

Scanned with CamScanner

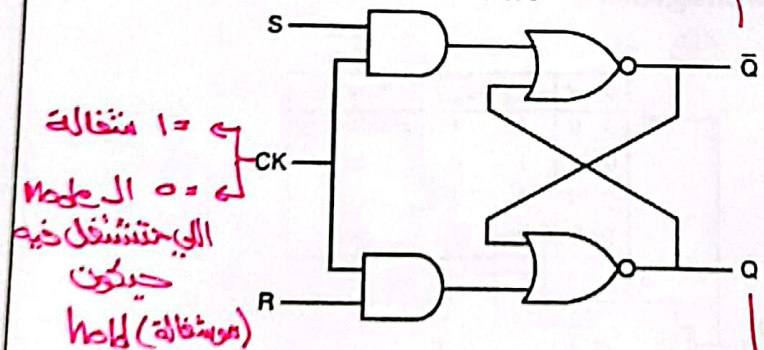
CMOS SR Latch : Another Type

- SR latch based on NAND2 gates



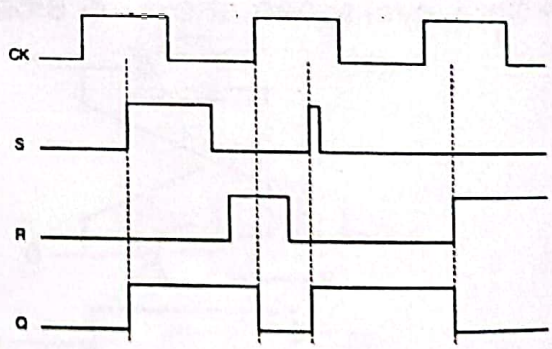
Clocked SR Latch

- Gate level schematic



$= \overline{S.CK + \bar{Q}}$

- Input and output wavefor



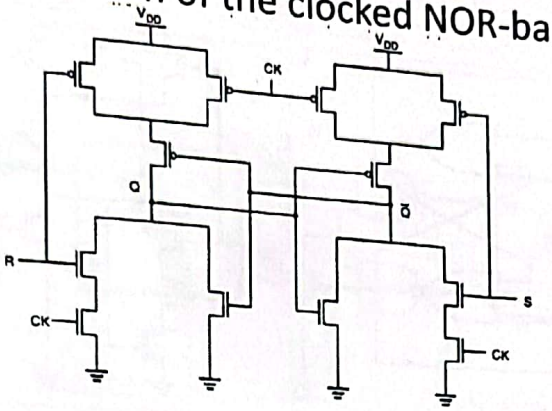
Level sensitive circuit

$= \overline{CK.R + \bar{Q}}$

Scanned with CamScanner

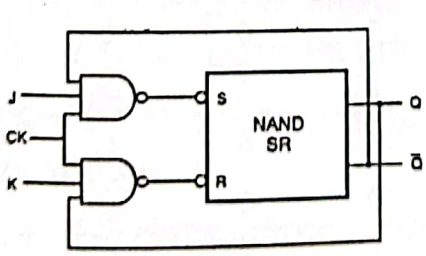
Clocked NOR Based SR Latch : AOI

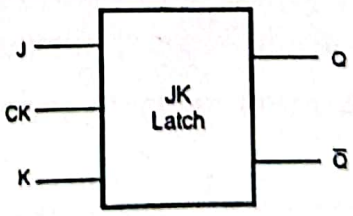
- AOI-based implementation of the clocked NOR-based SR-latch Circuit



Clocked JK Latch

- Gate level schematic



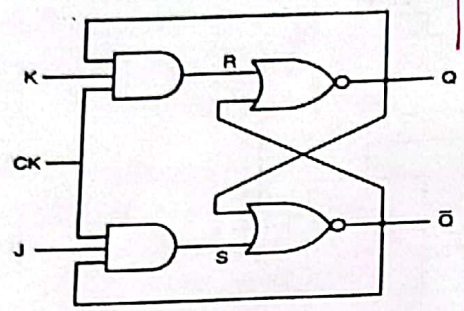


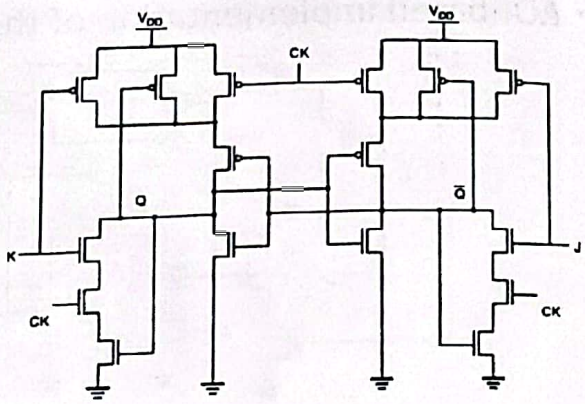
- SR-latch : indeterminate when both inputs S and R are activated
- JK latch : adding two feedback lines from the outputs to the inputs

Scanned with CamScanner

Clocked NOR-based JK latch

$= \overline{Q.ck.K + \bar{Q}}$





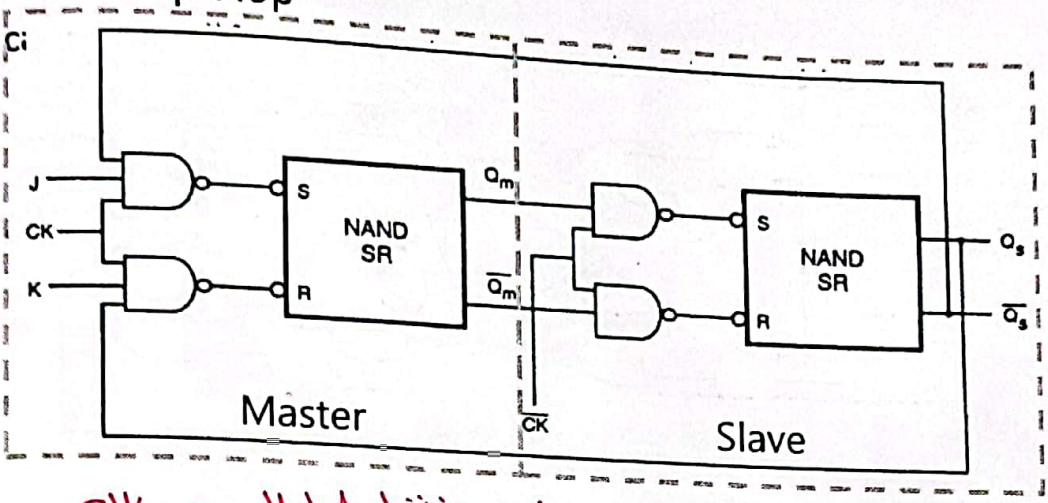
Clocked JK Latch : Truth Table

J	K	Q_n	$\overline{Q_n}$	S	R	Q_{n+1}	$\overline{Q_{n+1}}$	Operation
0	0	0	1	1	1	0	1	hold
		1	0	1	1	1	0	
0	1	0	1	1	1	0	1	reset
		1	0	1	0	0	1	
1	0	0	1	0	1	1	0	set
		1	0	1	1	1	0	
1	1	0	1	0	1	1	0	toggle
		1	0	1	0	0	1	

Scanned with CamScanner

Master-Slave Flip-Flop

- Master-Slave Flip-Flop
  - Two Ci



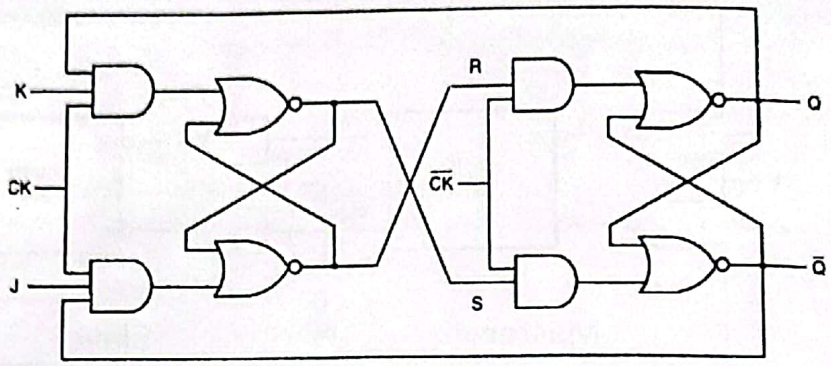
clk = 0 واحد بشتغل لما الـ clk = 1 وواحد بشتغل لما الـ

Master Slave FF

- The master latch is activated when CK="1," during this period, the primary inputs, J and K, allow data to be entered into the flip-flop, and the first stage outputs are set according to the primary inputs
- When CK="0," the master latch becomes inactive, and the slave latch becomes active
- Note that, the output levels of the flip-flop are determined during this phase (CK="0,") based on the master-stage outputs set in the previous phase(CK="1")

Scanned with CamScanner

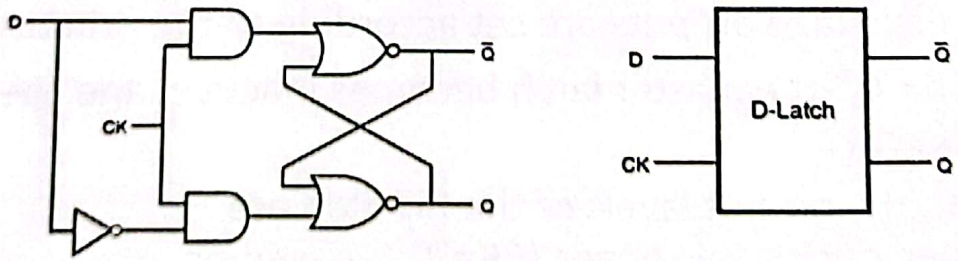
NOR based JK master slave FF



* مشكلة الـ SR-latch كانت لما يكونوا 1 ! = 1 ! بتكون Not allowed
لما يكون الـ input = ∞ بالـ NOR latch ويجي بعديها الـ Set لا مابروح أقرب لا Reset ولا Set
state فبنحكي إنها undefined State . وكمان مشكلة الـ
D-latch الـ Catching فلهيك انتقلنا لل 1 catching و لا 0 catching

CMOS D-Latch

- Gate-level schematic



- CK : 1 → Q assumes the value of the input D
- CK : 0 → Q preserve its state

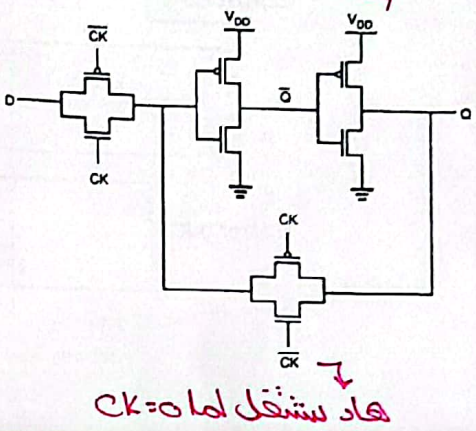
Scanned with CamScanner

CMOS D-Latch Using Transmission gates

- Constructed by Two inverter loop + Two CMOS TG

- CK:1 → TG at input is activated
  قيمة الـ D اللي بتيجي بتطلع هلا
- CK:0 → TG at inverter loop is activated
  بكون سكرت الباب على الـ D فبتخلى تلف بشكل مستمر.

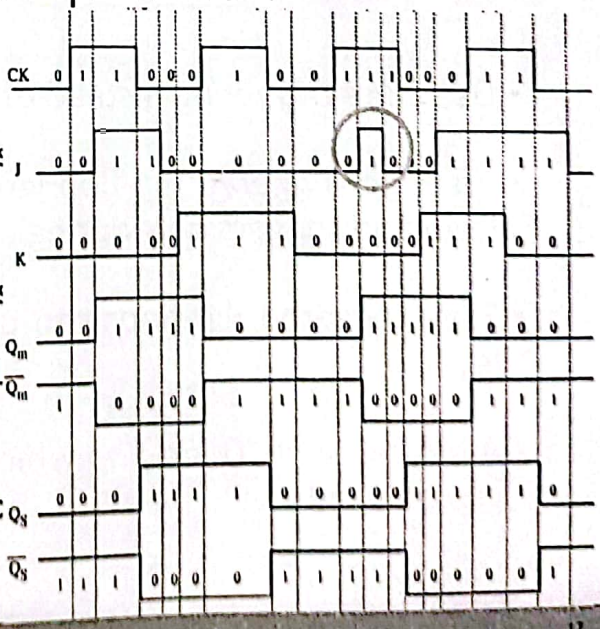
حطيناهم عشان نضمن يطلع صح
وعشانا أي نقص أو زيادة بقيمة
↑ 2 inverter



هاد بشتغل لما CK=0

Master-Slave Flip-Flop : Operation

- Clock pulse → 0
  - Master latch inactive (slave becomes
- Clock pulse → 1
  - Slave latch inactive (master becomes
- No uncontrolled oscillation : J=K=1
- Ones catching problem
  - Unwanted o/p transition due to glitc
  - Sol. : edge-triggered



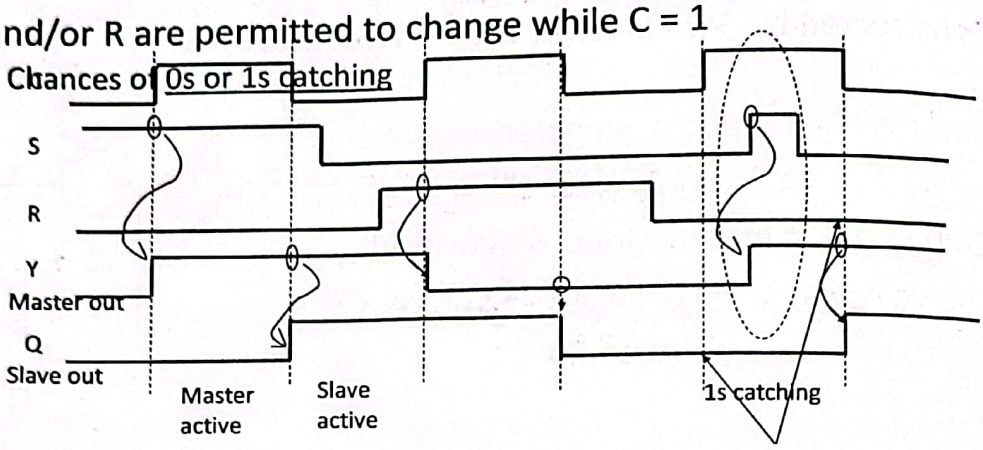
Scanned with CamScanner

output الـ Set بتعطي S الـ pulse بتجيبلا ← one catching

Zero catching والعكس بالظبط Slave الـ Master تبعوا

Master-Slave Flip-Flop Problem

- S and/or R are permitted to change while C = 1
  - Chances of 0s or 1s catching



الاشي الوحيد اللي بهمنا بهاي السلايدات كيف نحول من gate level

لـ transistor level

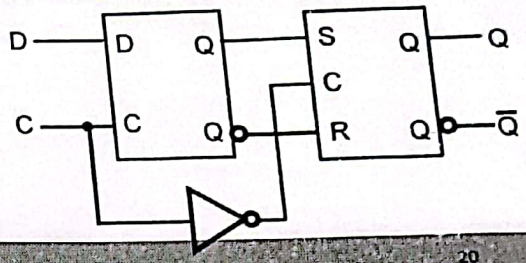
Flip-Flop Solution

- Use *edge-triggering* instead of master-slave
- An *edge-triggered* flip-flop ignores the pulse while it is at a constant level and triggers only during a *transition* of the clock signal
- Edge-triggered flip-flops can be built directly at the electronic circuit level, or
- A *master-slave D flip-flop* which also exhibits *edge-triggered behavior* can be used

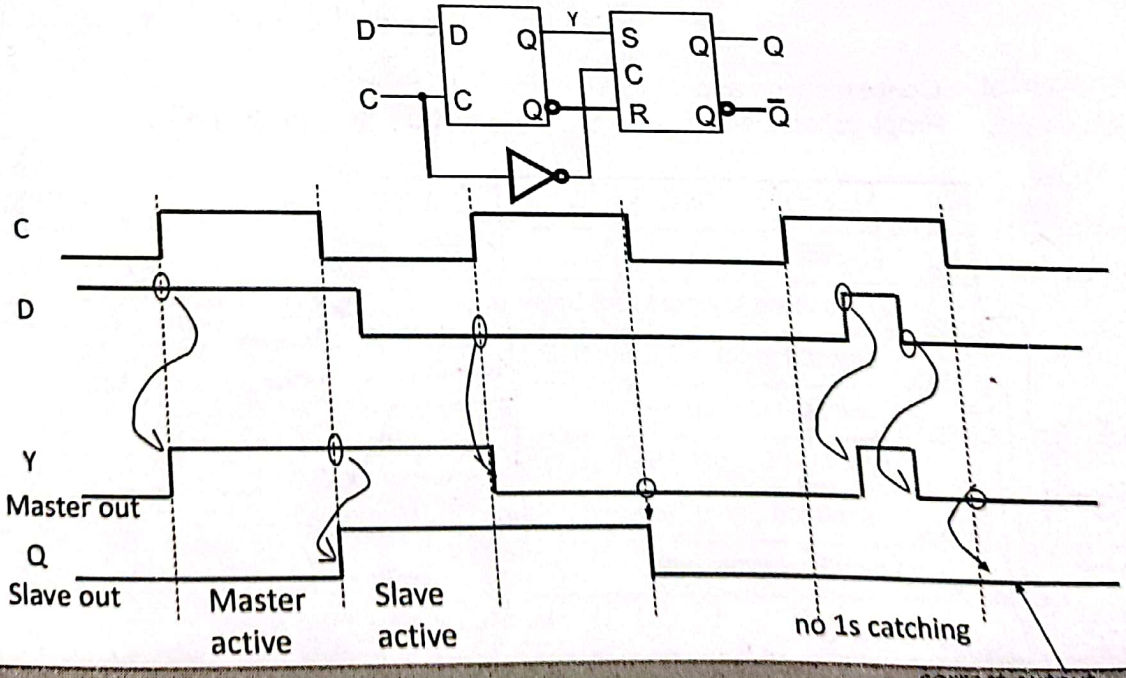
Scanned with CamScanner

Edge-Triggered D Flip-Flop

- *The edge-triggered D flip-flop is the same as the master-slave D flip-flop*
- It can be formed by:
  - Replacing the first clocked SR latch with a clocked D latch or
  - Adding a D input and inverter to a master-slave SR flip-flop
- The 1s and 0s catching behaviors are not present with D replacing S and R inputs
- The change of the D flip-flop output is associated with the negative edge at the end of the pulse
- *It is called a negative-edge triggered flip-flop*

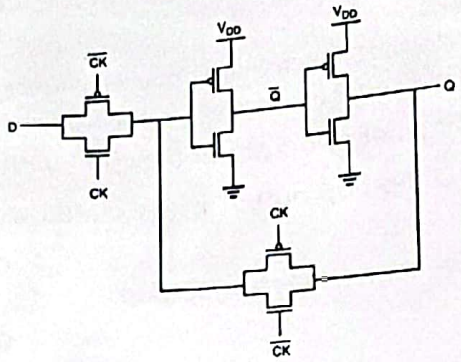


No 1s catching in the edge-triggered D Flip-Flops



Scanned with CamScanner

Setup and Hold time



* الـ Pipelined Registers هي موجودين بين Stage و Stage بكونوا Flip Flops.

* لما نتخيل إنه الـ hatch أو الـ Flip_Flop عبارة عن باب إذا فتحت اللي بيجي بدخل، بعدها قومن تشكر لباب فاي واحد بيجي بعد ما سكرت الباب ما بدخل، هذا الاشي ما بصير بـ 0 ثانية.

الـ out put مستحيل يطلع إلا لما الـ clk يتغير

Timing Diagrams

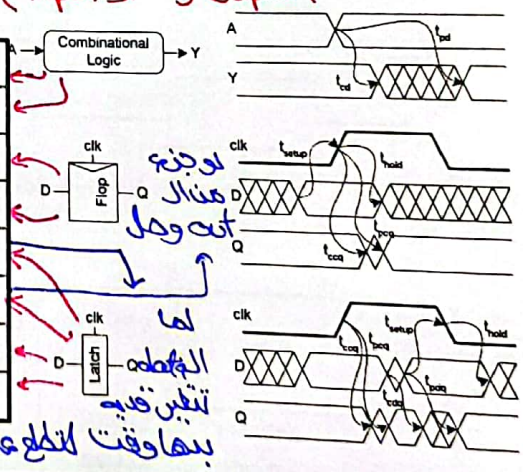
الوقت اللي بحتاجه كشان أطلع من الـ input إلى الـ output (كامل الـ output و الـ input)

أقل وقت بحتاجه كشان أغير واحد من الـ output اللي موجودين.

دايما أصغر من الـ t_{pd} أكيد.

Contamination and Propagation Delays

t_{pd}	Logic Prop. Delay
t_{cd}	Logic Cont. Delay
t_{pcq}	Latch/Flop Clk->Q Prop. Delay
t_{ccq}	Latch/Flop Clk->Q Cont. Delay
t_{pdq}	Latch D->Q Prop. Delay
t_{cdq}	Latch D->Q Cont. Delay
t_{setup}	Latch/Flop Setup Time
t_{hold}	Latch/Flop Hold Time



لو جزء من الـ out وصل

لما الـ input يتغير قبيل بهاوقت لتطلع من الـ hatch بشرط تكون

قديه الـ Flip Flop بده وقت كشان يطلع الـ D على Q

بديت أنقل الـ input الـ output بس ما تغير وانتقل

كامل جزء منه.

لما تيجي الـ edge الـ Positive قبيلها الـ input ما يتغير

الـ hatch شغالة، بطلت مربوطة بالـ clk

كل قديه لازم تكون الـ input signal موجودة قبل الـ edge الـ Positive كشان تطلع للجهة المقابلة

لازم يكون أكبر من Cont. delay

Scanned with CamScanner

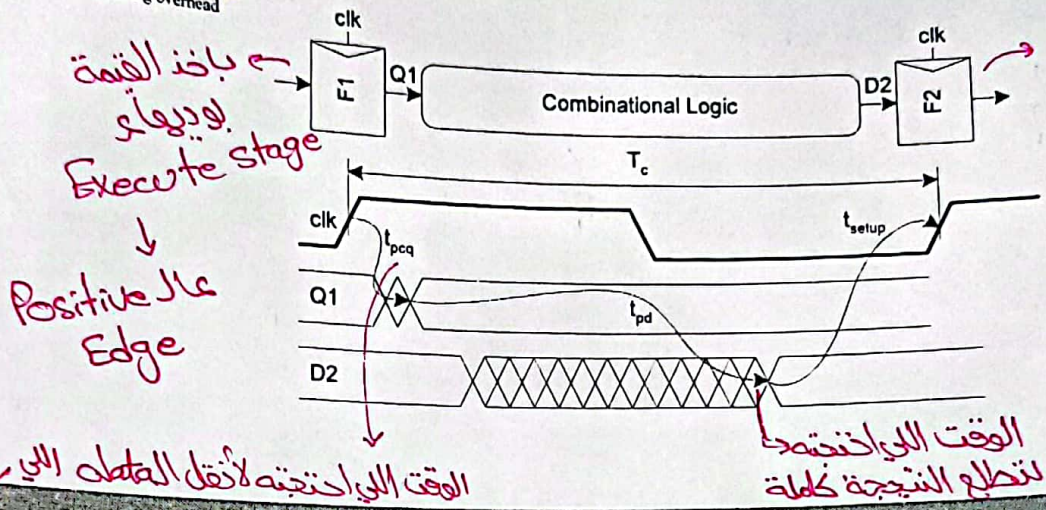
Pipelined register

Max-Delay: Flip-Flops

$t_{pd} \le T_c - (t_{setup} + t_{pcq})$

sequencing overhead

*Flip Flops → Positive edge الي بتشتغل على



باخذ القيمة ويبعاي Execute stage ↓ Positive عالـ Edge

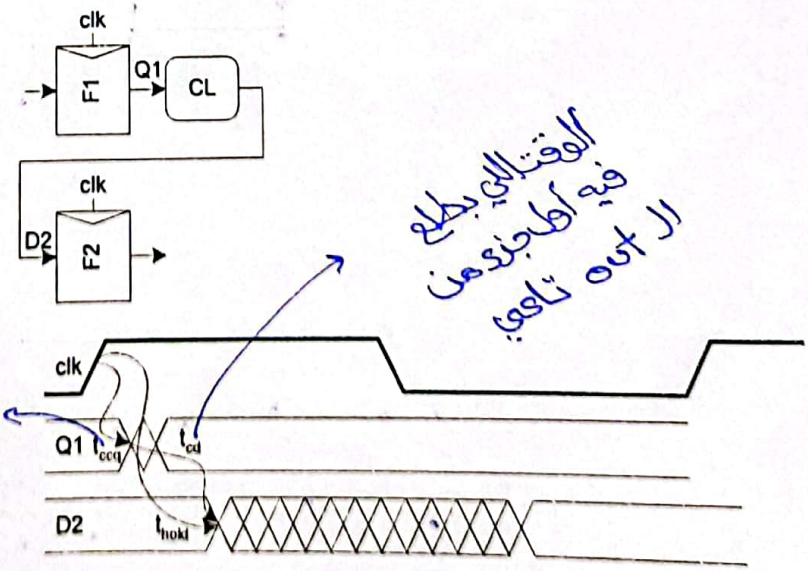
باخذ القيمة اليي اجت من Execute اللي بقلق عالـ Mem stage عالـ Positive Edge

الوقت اليي احتجته لأقل القطعة اليي ↳ Execute Stage قريبة

الوقت اليي احتجته لنطلع النتيجة كاملة

Min-Delay: Flip-Flops

$t_{cd} \ge$



الوقت اليي بطلع فيه أول جزء من الـ Input تاعي

أسرع وقت بتحتاجه الـ Signal لتبدأ تغيرف الـ Q.

Scanned with CamScanner