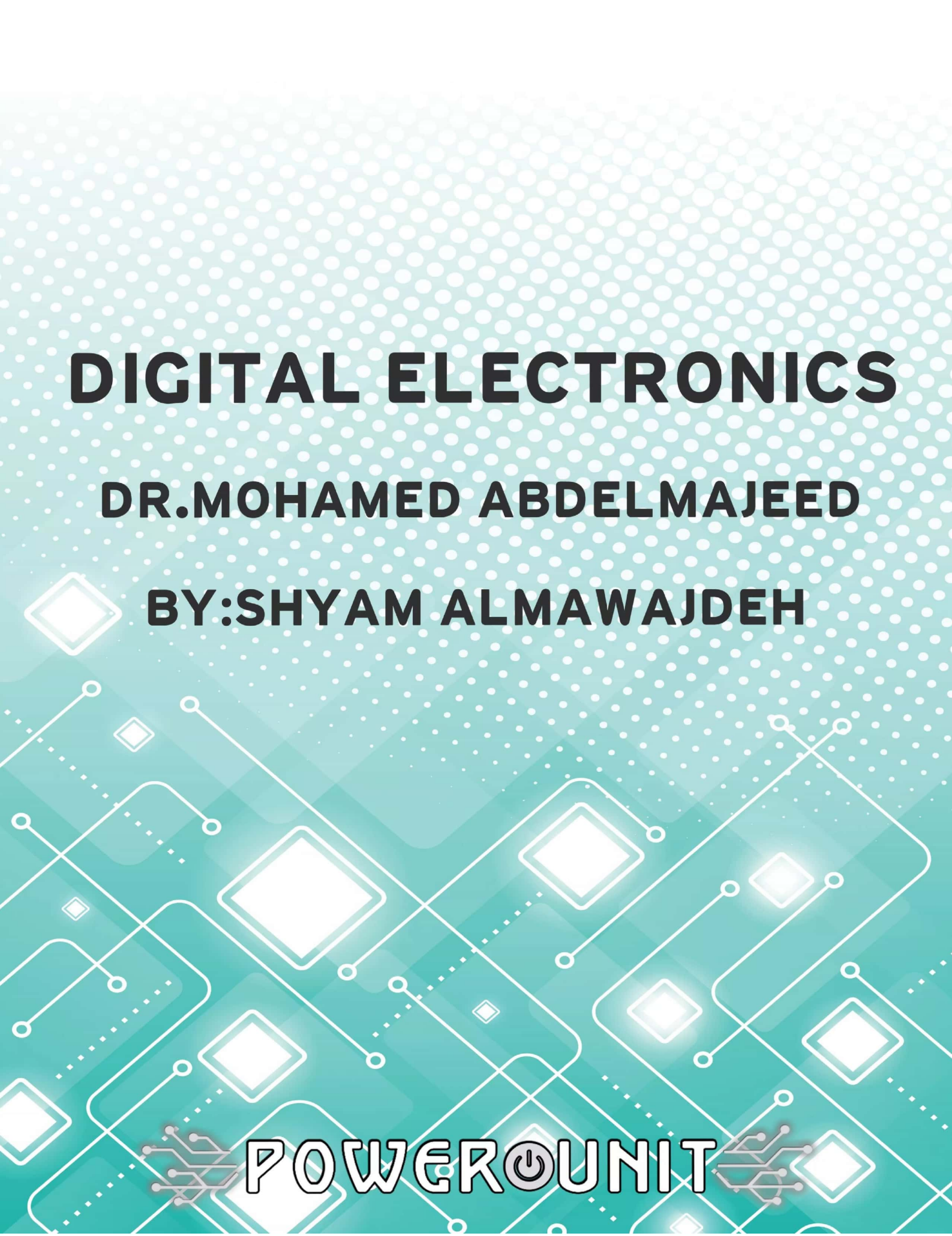
DIGITAL ELECTRONICS

DR.MOHAMED ABDELMAJEED

BY:SHYAM ALMAWAJDEH



Scanned with CamScanner

Lecture 1
Design Flow

Dr.Mohammad Abdel-Majeed

Assistant Professor

University of Jordan

Scanned with CamScanner

Coping with Complexity

- How to design System-on-Chip?
  - Many millions (even billions!) of transistors
  - Tens to hundreds of engineers
- Structured Design
- Design Partitioning

* شروط تصميم اي دوائر :-

Structured Design

تقسيم الدوائر الى modules, حيث تتكون من طبقات

- _____: Divide and Conquer
  - Recursively system into modules
- _____:
  - Reuse modules wherever possible
  - Ex: Standard cell library
- _____: well-formed interfaces
  - Allows modules to be treated as black boxes
- _____:
  - Physical and temporal

* لازم الـ modules يكونوا مصممين بطريقة متشابهة و بسيطة

* الـ Functions المستخدمة لنفس العمليات لازم تكون مكتوبة بنفس الطريقة لانه لو اختلفوا مشكلة .

* زيادة عدد الـ wire قد تسبب مشاكل ممكن تعيقها قدر المستطاع .

Scanned with CamScanner

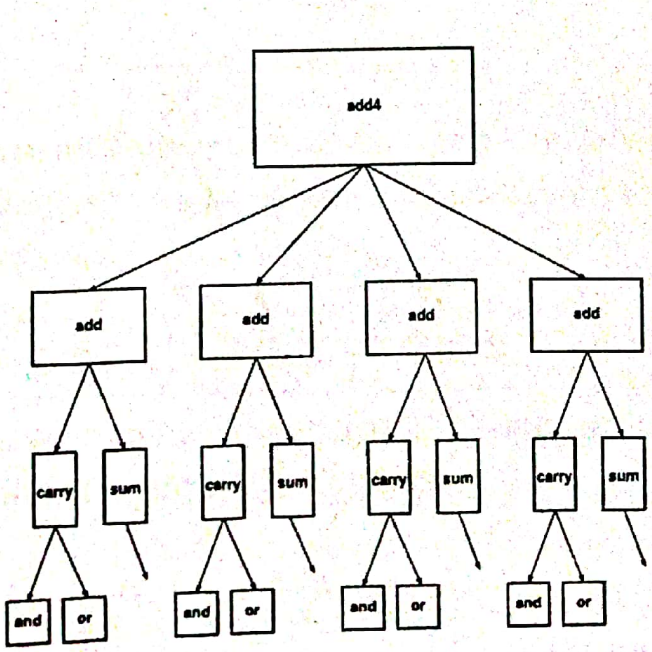
Structural Decomposition of 4-b Adder

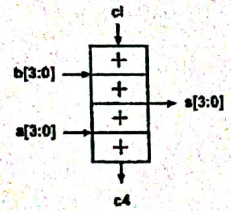
* رح نتكامل (4- one bit add) وتتم تقسيمه
عن طريق تصميم (one full add) ونسخه ٤ مرات

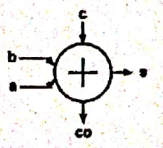
باستخدام ما بنسمّيش التصميم من الصفر (Simple design)
الى الاكبر (Structural design) حيث نصمم الـ (and/OR) اولاً
مع تحديد الـ (input/output) ونبقى الوقت لعبر انبي الـ Carry/sum
وبعدها الـ adder وهكذا وفي تم لنسخه ٤ مرات

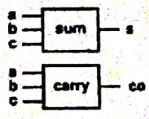
Structural Decomposition of 4-b Adder

- Easier to handle









Scanned with CamScanner

Structural Hierarchy of 16-b Adder

نفس الطريقة باستبدال الـ one-bit adder بـ 4-bit adder

الفائدة :-

١) في حال حدوث خلل يقلب احدى مكانه اسهل في الاصلاح.

٢) في حال اصلاح كل الـ modules الباقيان مع نفسوا التصليح له

٣) توفير الوقت

Structural Hierarchy of 16-b Adder

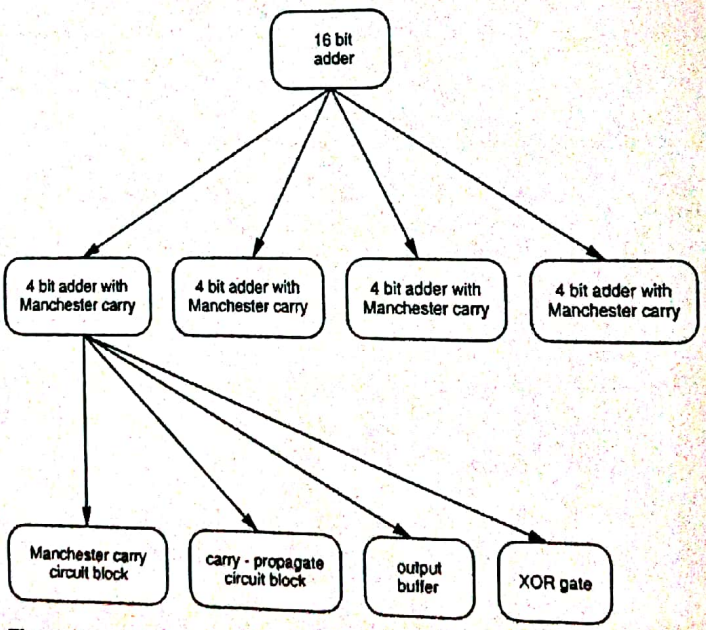


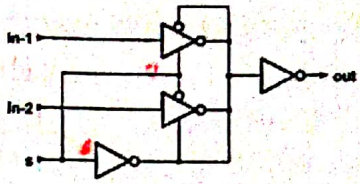
Figure 1.25 Structural hierarchy of the 16-bit adder circuit.

Scanned with CamScanner

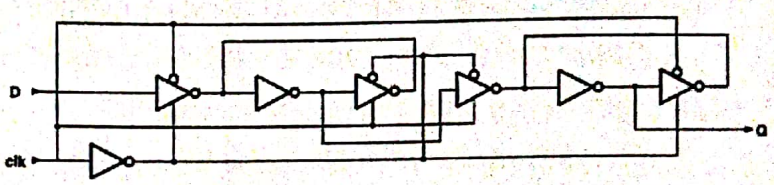
اذا شلاً كنت عامله الديزاين للـ inverter بشكل معين ساعتها لما اجي اعمله
مره تانيه استخدم طريقه مختلفه لانه في حال هتتغير خلل وعلشان يكون كل الاجزاء
الاخرى شاغلة التصاميم , ف صعب اعمل كل تصميم لحاله هذا بوخذ وقت وجهد

Concepts of Regularity

- Regularity
  - decomposition into similar blocks
  - Example: parallel multiplication array



(a)



(b)

Figure 1.26 Regular design of (a) 2-1 MUX and (b) DFF, using inverters and tri-state buffers as basic building blocks.

Concepts of Modularity and Locality

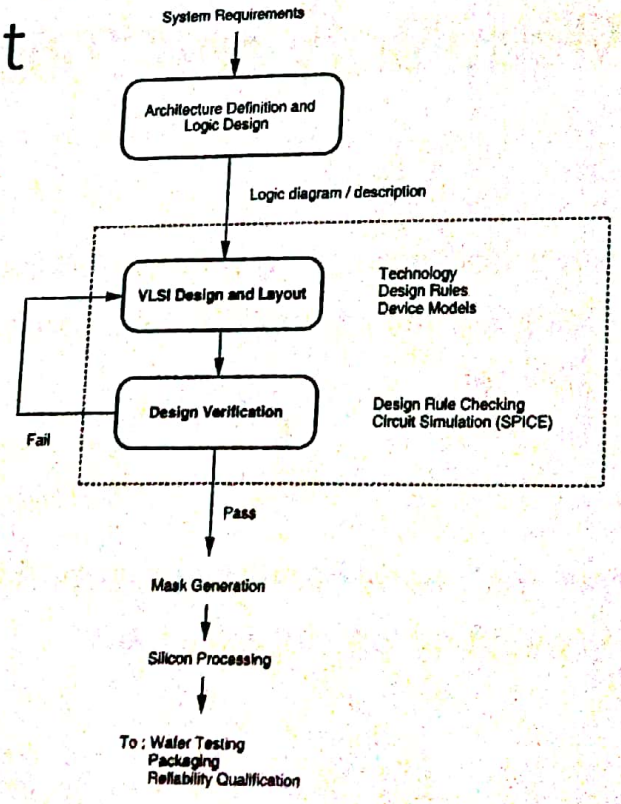
- Modularity
  - Functional blocks have well-defined functions and interfaces
  - Each block can be designed independently and combined easily
  - Design process parallelized
- Locality
  - Ensures connections are mostly between neighboring modules
  - Delay minimized by avoiding long interconnect

Scanned with CamScanner

Design Partitioning

- **Architecture**: User's perspective, what does it do?
  - Instruction set, registers
  - MIPS, x86, Alpha, PIC, ARM, …
- **Microarchitecture**
  - Single cycle, multcycle, pipelined, superscalar?
- **Logic**: how are functional blocks constructed
  - Ripple carry, carry lookahead, carry select adders
- **Circuit**: how are transistors used
  - Complementary CMOS, pass transistors, domino
- **Physical**: chip layout
  - Datapaths, memories, random logic

Flow of Circuit

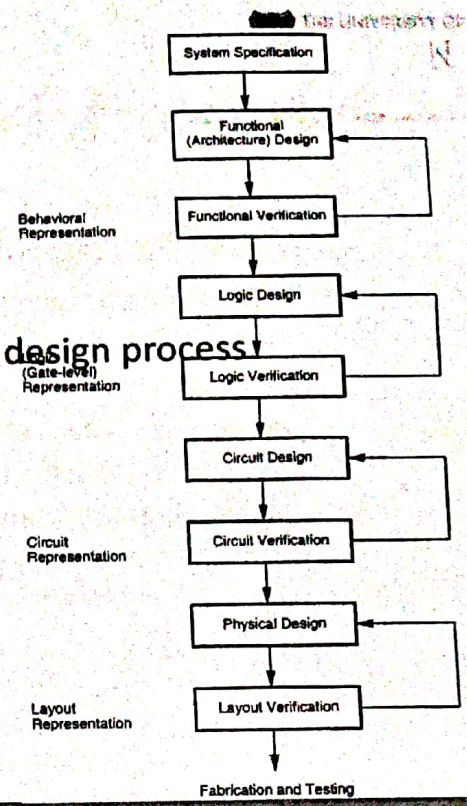


Scanned with CamScanner

More Simplified VLSI Design Flow

- Simplified design flow
  - Verification plays an important role in every step
  - Top-down and bottom-up approaches combined in the design process

عملية الاختبار للتصميم في كل level تعتبر جزأ وهذه
نتائجها الى اشهر للتأكد من عدم وجود اخطاء واكتشاف نتائجها
منطقية و صحيحة .



THE UNIVERSITY OF JORDAN

Example 1.1 (1)

- Problem: Design of 1-bit full-adder circuit using ___ nm, twin-well CMOS technology
  - Specifications:
    - Propagation delay of sum and carry_out <_____ __
    - Transition delay of sum and carry_out < ____ __
    - Circuit area < 10 μm^2
    - Dynamic power dissipation (@V_{DD} = 1.1V and f_{max} = 500MHz) < 20 µW

Scanned with CamScanner

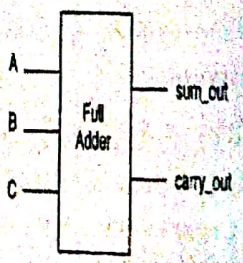
Example 1.1 (2)

الخطوة الاولى :-
نبدأ بال
high level design
K-map

- Boolean Description
  - Boolean Functions:
    - A , B = Two Inputs
    - C = Carry in
    - sum_out =ABC +AB'C' + A'B'C + A'C'B
    - carry_out = AB +AC+BC
    - Alternatively, sum_out = ABC+(A+B+C)(carry_out)'

Example 1.1 (2)

- Boolean Description
  - Boolean Functions:
    - A , B = Two inputs
    - C = Carry in
    - sum_out =ABC +AB'C' + A'B'C + A'C'B
    - carry_out = AB +AC+BC
    - Alternatively, sum_out = ABC+(A+B+C)(carry_out)'



A	B	C	sum_out	carry_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Scanned with CamScanner

Example 1.1 (3)

- Logi

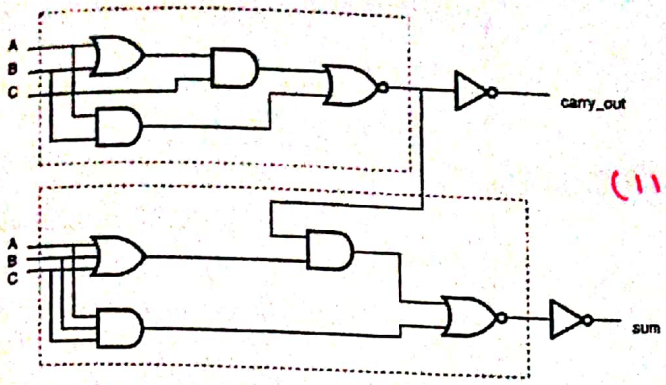


Figure 1.7 Gate-level schematic of the one-bit full-adder circuit.

بعد تحديد المعادلة لكل من ال Sum / Carry
بنبيها بال Gate level
ولازم اختبره من خلال اعطاء القيم
من خلال اعطاء A, B, C من (000 - 111)
وكمان دايماً نبدأ بواحد واذا تابعنا اعداد
ال bit كبيرة بكون صعب
صنبستخدم طرق تانية ، اهم نتأكد من الصفر

Example 1.1 (4)

التحويل الى Trans -level وفحصه

- Transistor-level circuit
  - AND = Series-connected nMOS
  - OR = Parallel- connected nMOS
  - pMOS network = dual of nMOS network

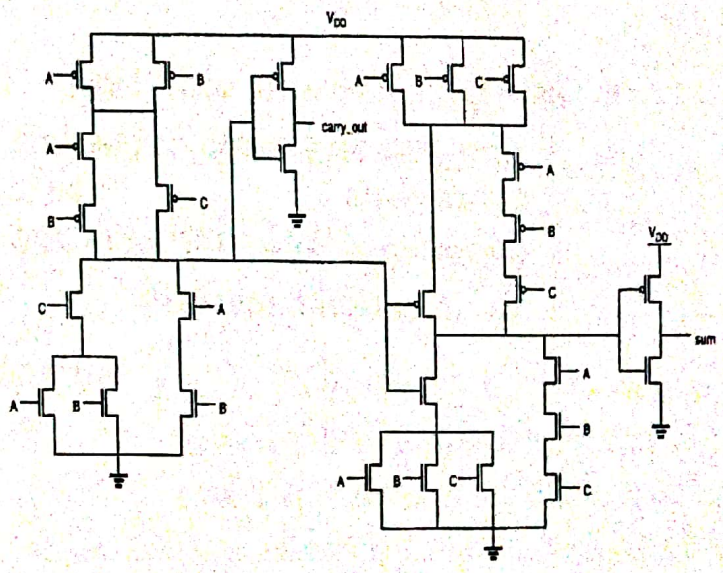


Figure 1.8 Transistor-level schematic of the one-bit full-adder circuit.

Scanned with CamScanner

Example 1.1 (6)

- Initial sizes
  - nMOS, (W/L) = 90nm/50nm
  - pMOS, (W/L) = 90nm/50nm
  - May need to be changed depending on performance

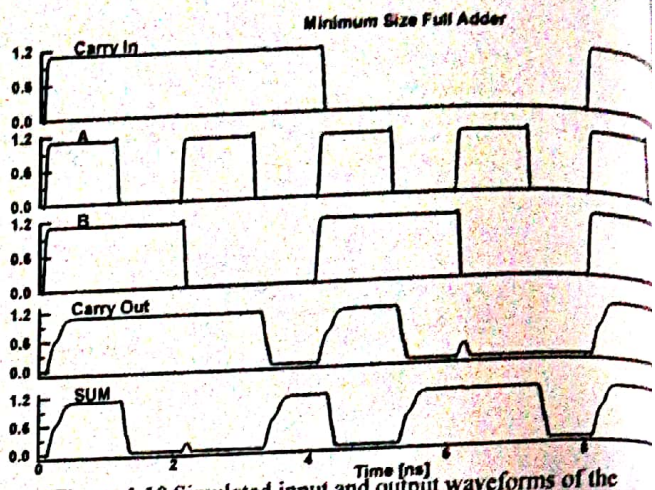


Figure 1.10. Simulated input and output waveforms of the full-adder circuit.

Example 1.1 (7)

- Timing constraint violation
  - sum_out and carry_out violate timing constraints
  - Worst-case delay 250 ps (> 220 ps)
  - Modification necessary

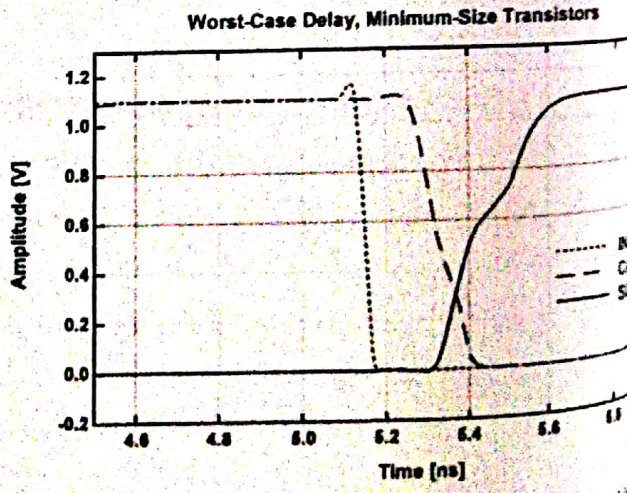


Figure 1.11. Simulated output waveforms of the full adder with minimum transistor dimensions, showing the signal delay during one of the worst-case transitions.

Scanned with CamScanner

Example 1.1 (8)

- Resizing transistors to improve design
  - is an iterative process
  - To meet timing specifications (W/L) of (n/p)MOS is increased

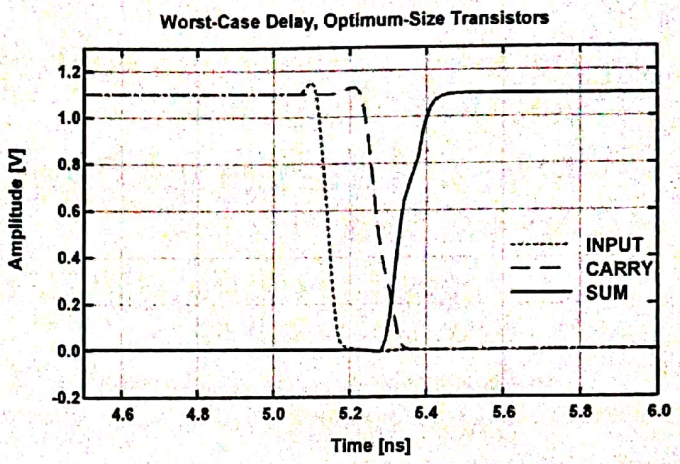


Figure 1.13. Simulated output waveforms of the full-adder circuit with optimized transistor dimensions, showing the signal propagation delay during the same worst-case transition.

Example 1.1 (8)

- Layout Design
  - Design rule checker (DRC) tool used to check violation of design rules
  - Parasitic capacitances and resistances extracted
- Design Verification
  - Extracted parasitics used to create SPICE input file
  - Simulation is run
- Simulation Results
  - Not all specifications met

Scanned with CamScanner

آخر فصل بالديزاين

Example 1.1 (9)

- New and compact layout for 1-bit full adder (optimized)
- Now, all the design specifications are satisfied
  - Propagation and transition (rise/fall) delay within 220 ps
  - Dynamic power dissipation = 4.9 μW (<20μW)
  - Area = (2.04 μm x 3.01 μm) = 6.14 μm^2 (<10 μm^2)

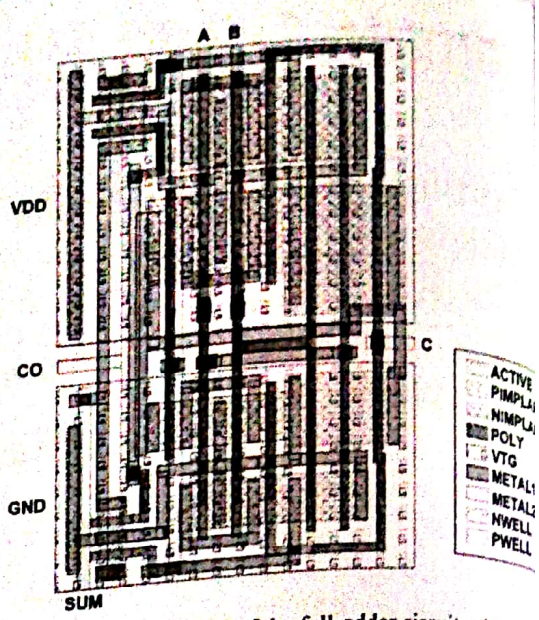


Figure 1.12. Layout of the full-adder circuit, with optim transistor dimensions.

8-bit Binary Adder (1)

- Obtained by cascading 8 full adders – called "carry ripple adder"
  - Speed limited by the delay of carry bits

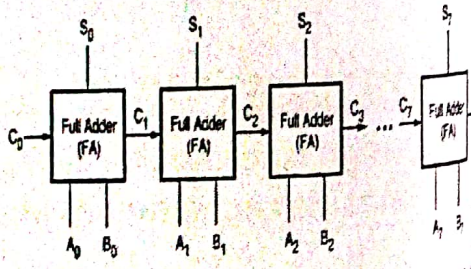
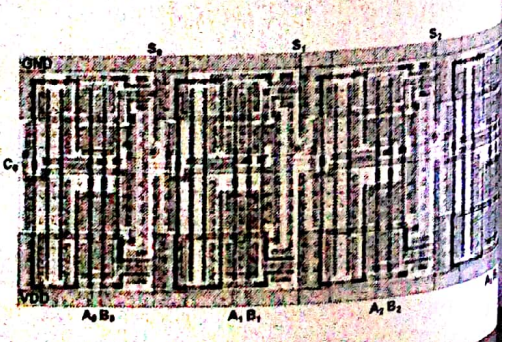


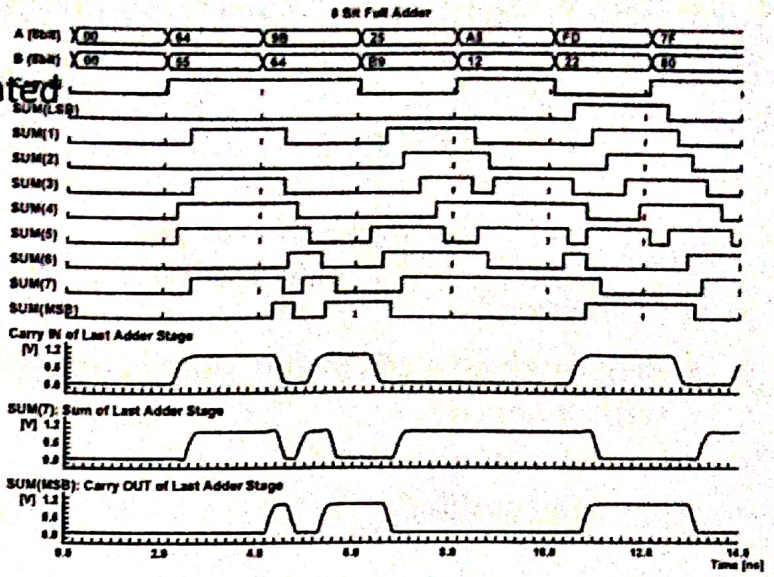
Figure 1.15 Block diagram of a carry ripple adder chain consisting of 8



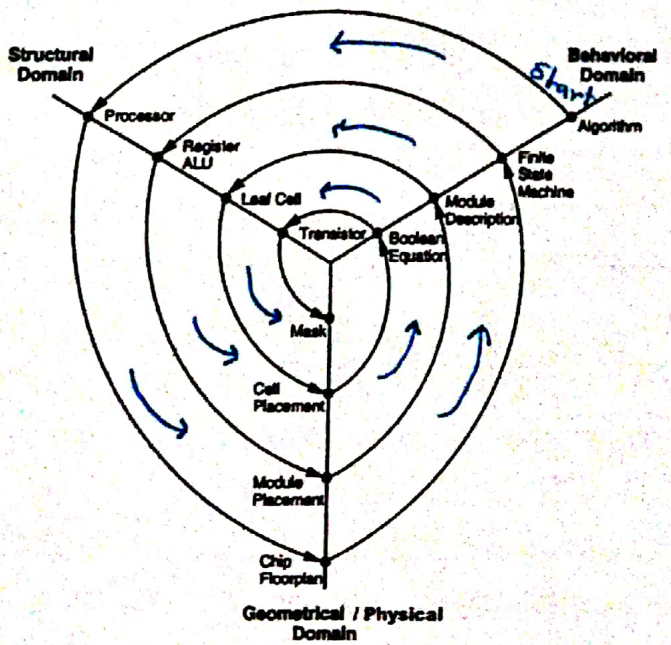
Scanned with CamScanner

8-bit Binary Adder (2)

- Simulation results
  - Sum bit of last adder stage is generated last
  - Overall delay as long as 0.7 ns



Y-Chart



Scanned with CamScanner

Lecture .2

-: FPGA ايجابيات الـ

1) Few Time Marked

2) تقليل Run Time للبرنامج الكود بشكل اسرع

VLSI Design Styles

- Field Programmable Gate Array (FPGA)
  - Consists of
    - I/O buffers
    - Array of configurable logic blocks (CLBs)
    - Programmable interconnect structure
  - Contains thousands of logic gates
  - Routing between CLBs and I/O blocks done by setting the configurable switch matrices
- Proper choice of design style is essential to delivering the product in time with low cost
  - Full-custom
  - Semi-custom

داخل الـ FPGA تكون فيه Lock up tables زي Array مشبكة مع بعضها وكل واحد منها مبرمجة على نوع معين Gate بعطيها input وتعطيني output

وظيفة الـ Fpga :- انا بكتب الهاردوير وبعمله بأيدي وبوصله على الـ FPGA وهو بعطيني نتائج

Field Programmable Gate Array (1)

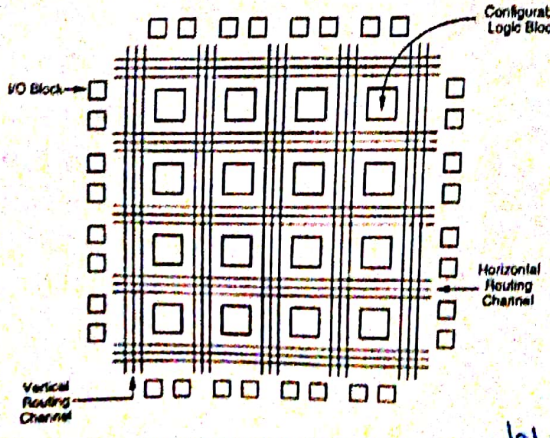


Figure 1.27 General architecture of Xilinx FPGAs.

https://www.youtube.com/watch?v=gUsHwI4M4xE

داخلها :-
lockup table + sequential element

من كيف بدي استخدم الـ gate بخطه معينة

هاي lock up tables :-

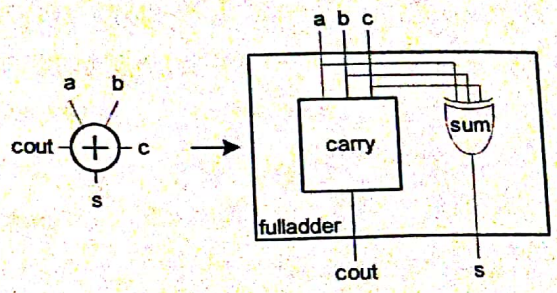
هي عبارة عن Gate بسيطة بقدر ابرمجها على اي شكل بدي

إلخ ، مثلاً بدي اياها تكون 2-input AND gate تكون هيك

4-output ، 4-Address لها Array

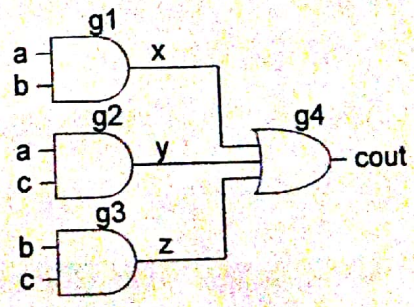
Verilog Example

```
module fulladder(input  a, b, c,
                 output s, cout);

  sum      s1(a, b, c, s);
  carry    c1(a, b, c, cout);
endmodule

module carry(input  a, b, c,
             output cout)

  assign cout = (a&b) | (a&c) | (b&c);
endmodule
```



Gate-level Netlist(Synthesis)

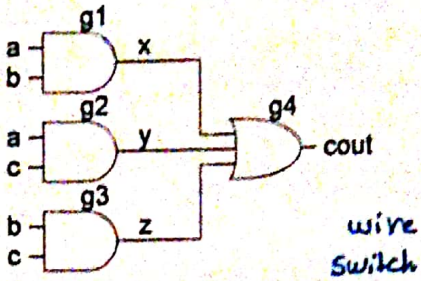
```
module carry(input  a, b, c,
             output cout)

  wire   x, y, z;

  and g1(x, a, b);
  and g2(y, a, c);
  and g3(z, b, c);
  or  g4(cout, x, y, z);
endmodule
```

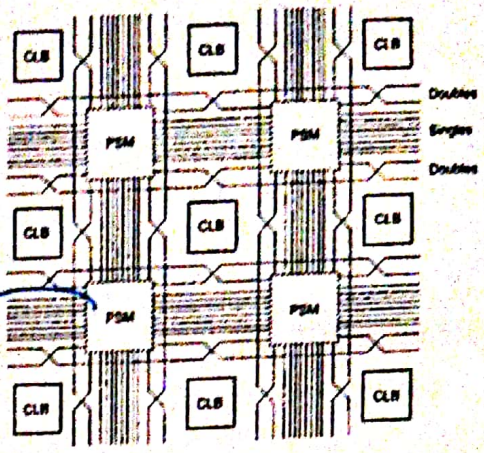


Scanned with CamScanner

∴ الـ FPGA
تتصرف Power أكبر وأداء ممكن جدًا
المعقد الي صممت لها.

Place and route





FPGA

Circuit Design

- How should logic be implemented?
  - NANDs and NORs vs. ANDs and ORs?
  - Fan-in and fan-out?
  - How wide should transistors be?
- These choices affect speed, area, power
- Logic synthesis makes these choices for you
  - Good enough for many applications
  - Hand-crafted circuits are still better

Scanned with CamScanner

Standard-Cell Based Design (1)

- One of the most prevalent full custom design styles
  - Commonly used logic cells are optimized and developed
  - Several versions are stored in a standard library cell
- Each cell is characterized by
  - Delay time vs. load capacitance
  - Circuit simulation model
  - Timing simulation model
  - Fault simulation model
  - Cell data for place-and-route
  - Mask data

Standard-Cell Based Design (2

- Each cell layout is designed with fixed height
  - Cells can be placed side-by-side
  - Routing of intercell connection is easy

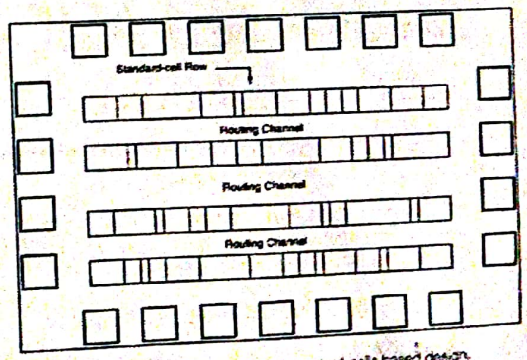
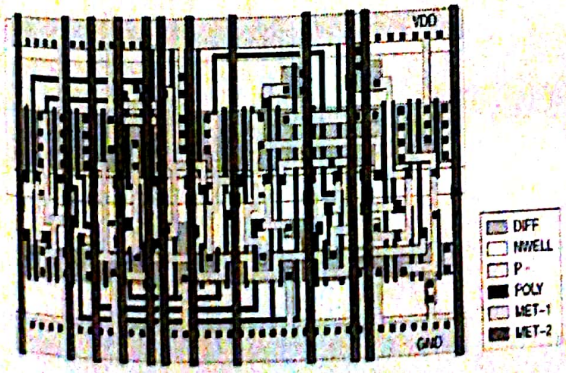


Figure 1.37 A simplified floorplan of standard-cells based design.



- Floorplan for a standard-cell based design contains
  - I/O frame, cell rows
  - Channels between rows
    - channels may be reduced or removed if over-the-cell routing is done

Scanned with CamScanner

Standard-Cell Based Design (3)

- Common bus may be incorporated if cells must share same input and/or output signals

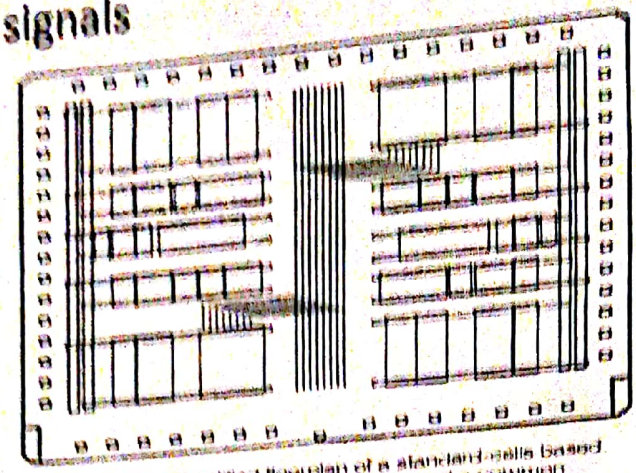


Figure 1.28 Simplified floorplan of a standard-cells based design, consisting of two separate blocks and a common signal bus.

Structured ASIC (Full Custom design)

FPGA Vs. Standard Cell ASIC

■ Easy to Design	■ Difficult to Design
■ Short Development Time	■ Long Development Time
■ Low NRE Costs	■ High NRE Costs
■ Design Size Limited	■ Support Large Designs
■ Design Complexity Limited	■ Support Complex Designs
■ Performance Limited	■ High Performance
■ High Power Consumption	■ Low Power Consumption
■ High Per-Unit Cost	■ Low Per-Unit Cost (at high volume)

Look up tables

استهلاك اكبر

تعبر اكل عليه بشكل اسهل في حالة وجود اخطاء حيث نعرف اخطأ نفسه في مكانه بدون ما احيد تقسيم كل الشي.

Structured ASIC's Combine the Best of Both Worlds

Scanned with CamScanner

- Generally speaking
  - 100:33:1 ratio between the number of gates in a given area for _____, _____
  - 100 : ___ : 1 ratio for performance (based on clock frequency)
  - 100 : ___ : 1 ratio for power

Full Custom design
افضل

Lecture . 3

Full Custom Design (1)

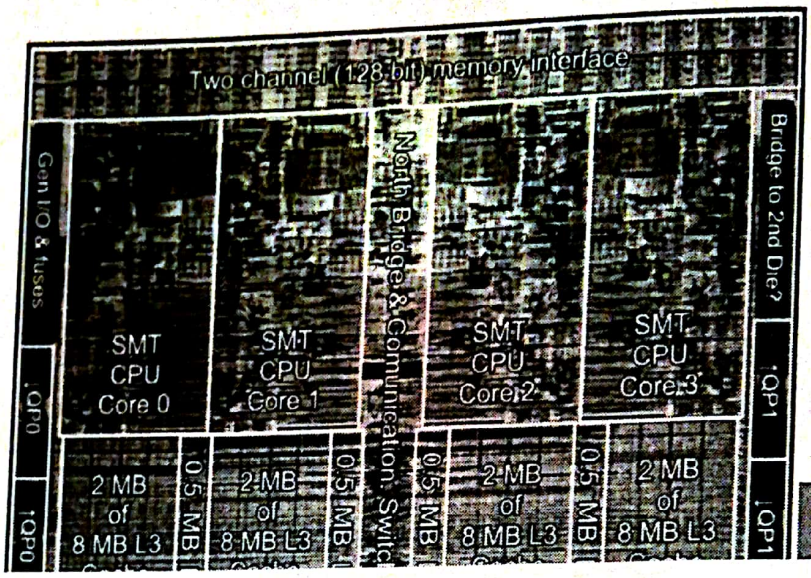
- Design is done from scratch
  - Geometry, orientation and placement of every transistor done by designer
  - Development cost and time very high
    - "Design Reuse" becoming popular to reduce cost and time
  - Example of a true full custom design – design of memory cell (static or dynamic)

في حالة الـ custom عندي اخطاء
رح اضطر ارجع اعيد التصميم
من الاول ، عالاغلب رح تكون عندي
مشاكل وزبائن .

Scanned with CamScanner

Full Custom Design (2)

- Full custom design rarely used due to high labor cost
  - Rather combination of different design styles are used to develop a chip



Design Quality

- Important metrics for measuring the quality of design
  - Testability
  - Yield and manufacturability
  - Reliability
  - Technology updateability

معايير مهمة في التصاميم :-

لازم نلتزم بسنوات

Testability

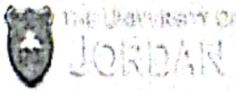
- Fabricated chips should be fully testable which requires
  - Generation of good test vectors
  - Availability of reliable test fixture at speed
  - Design of testable chip

* في حال كانه عندي عدد الـ bits للـ input كبير
ح يكونه عندي فحص كل الـ units لكل الـ input
حتى وح يوخذ وقت طويل لهيك يكونه في برامج
تتعطيها الديزاين بال Gate level وبرجعلك ايش
الـ Test vector اللي لازم تفحصهم اذا كانه عندنا
الـ delay ، يعني اذا صار عالك انه الـ delay لهذا
الـ Path عندي لازم افحصها واتأكد من المشكلة .
اما الـ Path's الاخرى اللي حتى محتاجه ما بفحصها كتير
الوقت .

8-input حتى محفل مثلاً افحص
كل واحد فيهم 32bit لحتى وعمل
add unit / mul / div ...
ح يوخذ وقت كتير طويل.

Yield = (Functional في حالة) عدد الـ Functional chip's / العدد الكلي اللي فحصته

Yield = عدد الـ chip's الشغالة / عدد الـ chip's الكلي



Yield and Manufacturability

- Yield may be defined in two ways
  - (1) No. of good tested chips divided by the total no. of tested chips
  - (2) No. of good tested chips divided by the total no. of chip sites available at the start of wafer processing – strictest definition
- Chip yield can be further divided into
  1) Functional yield – obtained by testing the functionality of the chip at a speed lower than required
     - Weeds out problems of short, open and leakage
     - Can detect logic and circuit design faults
  2) Parametric yield – performed at the required speed on chips that passed functional test
     - Delay testing done in this phase

بشتغل على سرعة بطيئة
اذا في chips ما اكملتي نتيجة تكونه من Functional . معا بنقدر نستعملهم
الـ chips اللي اكملتي الـ delay المطلوبة هي اللي بشتغل عليها.

* الـ delay هو اللي يهمنا من ناحية Performance Power

Scanned with CamScanner

Reliability

بعض المعلومات في عملية الـ Testing

- Reliability depends on design and process conditions
  - Major causes of chip reliability problem are
    - Electrostatic discharge (ESD) and electrical overstress (EOS) and electromigration
    - Latch-up in CMOS I/O internal circuits
    - Hot carrier induced aging
    - Oxide breakdown and single event upset
    - Power and ground bouncing
    - On-chip noise and crosstalk
- Measures taken to ensure reliability
  - Metal wire widened to avoid over-etching
  - Rise time of signals applied to nMOS gate reduced to avoid aging

Technology Updateability

- Process technology advancing at a high pace
  - Design styles should be chosen such that chips are technology updateable
    - "Silicon Compilation" – where physical layout is done automatically – is used

اي chips مستخدمه في تصميم الـ Transistor لازم تواكب تطور العلم
حتى تقدم اقل وقت ممكن

Scanned with CamScanner

الهدف هو استخدام الـ Transistor as a switch > on / off

* اذا كانه عندي ذرة سيليكون عاملة 4 روابط مع ذرات سيليكون أخرى
بدي اشطها واحط بدالها ذرة مسفور وصيلة بصير عندي الكترون واحد عم اكرته وهاد العملية اسمها (doping) وكلما كلما اردت زيادة عدد الالكترونات الحر.

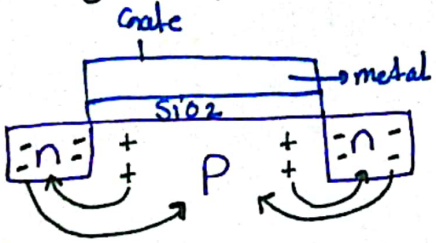
* نفس العملية (doping) بصورها لو كنت بدي ازيد عدد الـ holes بدل السيليكون بحط Boron.

How Does a Transistor Work?

• http://www.youtube.com/watch?v=IcrBqCFLHIY

* بالتالي رح يتشكل عندي منطقتين n, P
electrons ← n , P → holes

* الالكترونات رح تتحرك باتجاه الـ holes رح تتحرك بالاتجاه المعاكس.



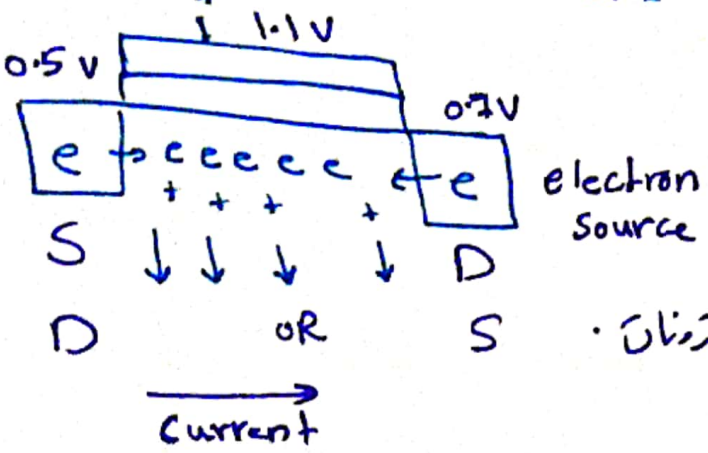
رح يصير مصانع وعارح تقدروا الحنطقتين n الوصول الى بعضهم

الكل: هو التأثير بقوم تاعمله مع الالكترونات في المنطقة الاولى تسمح الها الانتقال للمنطقة الثانية. كيف؟!

رح نضيف Gate ونوصل عليها Voltage يأثر بقوة مع الكترونات وتسمح بالانتقال.

Scanned with CamScanner

لازم الـ Voltage يجذب الالكترونات لمنطقة الـ [P] ويعبيها الكترونات وهيك بصير عنا ثلاث مناطق فيها الكترونات.



اعلى من جهد الـ Transistor الأصلي

لازم يكون الجهد على الـ Gate مقارنة بالجهد على الـ Source موجب. تجيب اجرات حرف جهد حتى يحدث مجال كهربائي وتتنافر الـ hole's من مكانها ويحي بدالها الالكترونات. في الـ channel.

Sourse

S: مصدر الكترونات

D: مستقبل الكترونات

drain

هيك اتجاه انتقال الالكترونات رح يكون من القطب اللي جهده اقل [S] للقطب اللي جهده اعلى [D] وعكس التيار الكهربائي.

CMOS Transistor

Dr.Mohammad Abdel-Majeed

Assistant Professor

University of Jordan

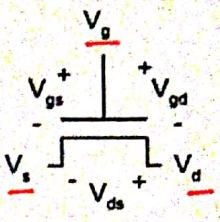
* شرط مرور التيار وجود فرق جهد بين الاقطاب

* في حال انا قللنا جهد الـ Gate شوي من 1.1V الى 0.3V رح يطفي الـ Transistor لأنه فرق الجهد صار اقل بين الـ Gate والـ Source ورح تتوقف انتقال الالكترونات وترجع الـ hole's لمكانها.

Scanned with CamScanner

Terminal Voltages

Sample of Transistor / 3-Terminal



- Mode of operation depends on V_g, V_d, V_s
  - $V_{gs} = V_g - V_s$
  - $V_{gd} = V_g - V_d$
  - $V_{ds} = V_d - V_s = V_{gs} - V_{gd}$
- Source and drain are symmetric diffusion terminals
  - By convention, source is terminal at lower voltage in nMos
  - Hence $V_{ds} \geq 0$
- nMOS body is grounded. First assume source is 0 too.
- Three regions of operation
  - *Cutoff* off (open circuit)
  - *Linear*] on (close circuit)
  - *Saturation*

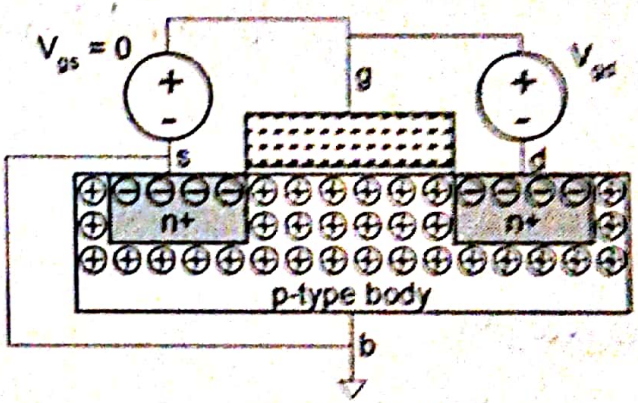
NMOS cross section

Scanned with CamScanner

nMOS Cutoff

- No channel
- $I_{ds} \approx 0$

Transistor

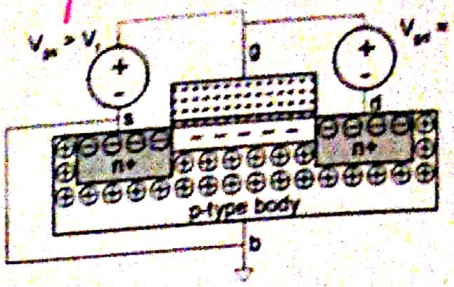


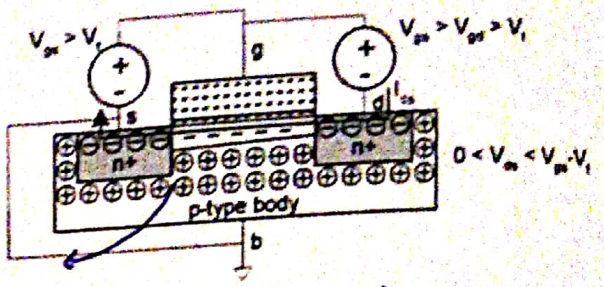
فرق الجهد بين الـ Gate والـ Source
عنصر كافي لانتقال الالكترونات من الـ Source
والـ drain الى الـ channel .

Scanned with CamScanner

nMOS Linear

- Channel forms
- Current flows from d to s
  - e^- from s to d
- I_{ds} increases with V_{ds}
- Similar to linear resistor





منطقة تجمع الالكترونات = inversion layer = channel

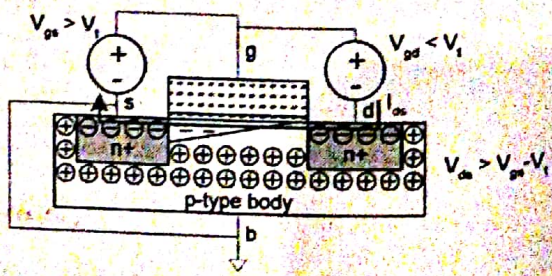
* الـ V_{gs} رح يسوي عنا channel في حال كانت اكبر من جهد الـ Transistor و2 يخلي الالكترونات يتجمعوا فيها بس... صار رح يولد الى حدوث تيار كهربائي وانتقال الالكترونات من الـ Sourse الى drain والمسؤول عن هذه الجزئية هو فرق الجهد بين القطبين (Sourse and drain).

nMOS Saturation مرحلة الاشباع

- زيادة الـ V_{gs} رح يزيد عدد الالكترونات المتحكة من الاصطدام الى الـ Channel
- زيادة الـ V_{ds} رح يزيد سرعة انتقال الالكترونات (سرعة التيار) من الـ Sourse الى الـ drain وليس زيادة عددها

- Channel pinches off
- I_{ds} independent of V_{ds}
- We say current *saturates*
- Similar to current source

عند زيادة الـ V_{ds} الجزيئية الى زيادة التيار، يصل الالكترون الى اقصى سرعة هو قادر يوصلها بالتالي بعد هيك زيادة الـ V_{ds} صار يكون الها اي تأثير على الالكترون لأنه وصل مرحلة الاشباع



Scanned with CamScanner

I-V Characteristics

- In Linear region, I_{ds} depends on
  - How much charge is in the channel?
  - How fast is the charge moving?

Length :- Source and drain المسافة بين

W :- Source / drain / gate

Technology 7nm يعني اصغر

7nm يعني الـ length لا تقل عن

$I = \frac{Q}{t}$ → كمية الشحنات / الوحدة للانتقال

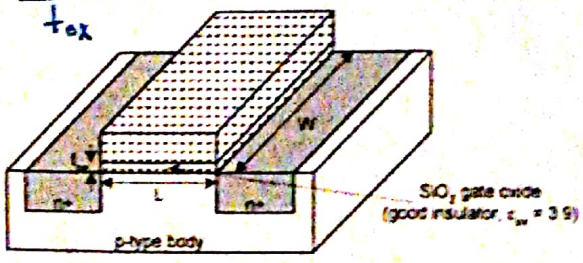
Channel Charge

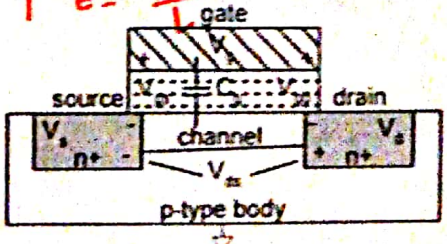
- MOS structure looks like parallel plate capacitor while operating in inversions
  - Gate – oxide – channel
- $Q_{channel} = C \cdot V$
- $C = C_g = \frac{\varepsilon_{ox} \cdot Lw}{t_{ox}}$ ← $\frac{\varepsilon_{ox} A}{d}$
- $V = V_{gc} = \frac{V_{gs} - V_{ds}}{2}$

$t = \frac{L}{V}$ المسافة / السرعة

$V = \mu_n E$

$E = \frac{V_{ds}}{L}$





Scanned with CamScanner

Carrier velocity

V_{gs} ↑
V_{ds} ↑
W ↑
L ↓
t_{ox} ↓
μ_n ↑
V_t ↓
$= I$

- Charge is carried by e-
- Electrons are propelled by the lateral electric field between source and drain
  - E =
- Carrier velocity *v* proportional to lateral E-field
  - v =
- Time for carrier to cross channel:
  - *t* =

nMOS Linear I-V

- Now we know
  - How much charge $Q_{channel}$ is in the channel
  - How much time *t* each carrier takes to cross

$$I_{ds} = \frac{Q_{channel}}{t}$$

$$= \mu C_{ox} \frac{W}{L}\left(V_{gs} - V_t - V_{ds}/2\right)V_{ds}$$

$$= \beta\left(V_{gs} - V_t - V_{ds}/2\right)V_{ds} \qquad \beta = \mu C_{ox}\frac{W}{L}$$

Scanned with CamScanner

nMOS Saturation I-V

- If $V_{gd} < V_t$, channel pinches off near drain
  When $V_{ds} > V_{dsat} = V_{gs} - V_t$
- Now drain voltage no longer increases current

$$I_{ds} = \beta\left(V_{gs} - V_t - {}^{V_{dsat}}/_{2}\right)V_{dsat}$$

$$= \frac{\beta}{2}\left(V_{gs} - V_t\right)^2$$

nMOS I-V Summary

- *Shockley* 1st order transistor models

$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t \quad \text{cutoff} \\ \beta\left(V_{gs} - V_t - {}^{V_{ds}}/_{2}\right)V_{ds} & V_{ds} < V_{dsat} \quad \text{linear} \\ \frac{\beta}{2}\left(V_{gs} - V_t\right)^2 & V_{ds} > V_{dsat} \quad \text{saturation} \end{cases}$$

Scanned with CamScanner

في حالة الـ linear بكون التيار

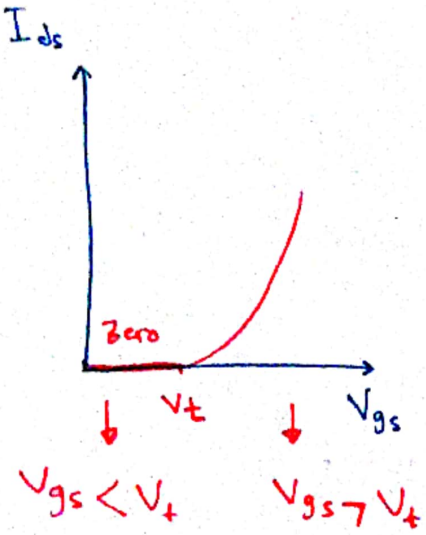
Example

بيعتمد الـ I_{ds} على V_{gs} / V_{ds} زيادة ونقصان

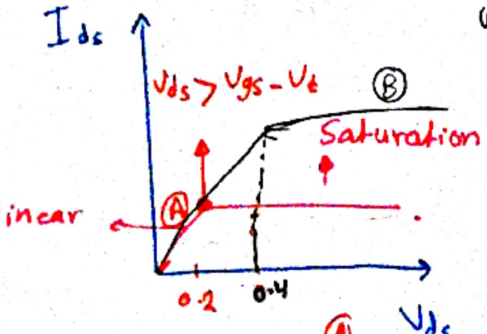
اما في حالة الـ Saturation التيار

- Plot I_{ds} vs. V_{ds} Given that
  - t_{ox} = 100 Å
  - μ = 350 $cm^2/V*s$
  - V_t = 0.7 V
  - ξ_0=8.85*10^{-12}F/m
  - ξ_{0x}=3.9
  - V_{gs} = 0, 1, 2, 3, 4, 5
  - Use W/L = 4/2 λ

يعتمد فقط على الـ V_{gs} زيادة ونقصان



Nmos transistor :-



* الـ Saturation هو اعلى تيار بالنسبة لـ V_{gs} المعطى

واذا تغير الـ V_{gs} زيادة او نقصان لم يتغير الـ Saturation يرجع زيادة ونقصان .

A

Let: V_{gs} = 0.5 , V_t = 0.3 / ∴ V_{gs} = 0.7

B

Saturation

اعلى تيار

Scanned with CamScanner

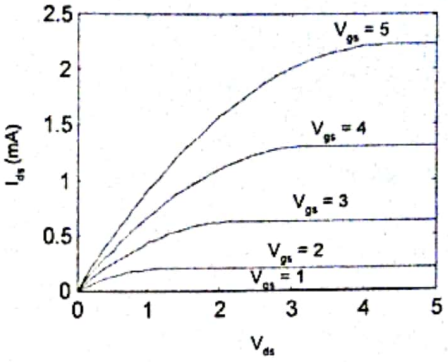
* لو بدي ازيد الـ β حيث بدون طالعب هي قيم الجهد ؟!

$$\beta = \frac{\mu \epsilon_{ox} W}{t_{ox} * L}$$

Example

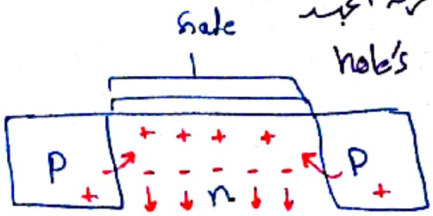
الحل:- نزيد الـ W

$$\beta = \mu C_{ox} \frac{W}{L} = (350)\left(\frac{3.9\times 8.85\cdot 10^{-14}}{100\cdot 10^{-8}}\right)\left(\frac{W}{L}\right) = 120\frac{W}{L}\mu A/V^2$$



انتقال الالكترونات في NMOS اسرع من انتقال الـ holes في PMOS .

في الـ PMOS كلما زاد حزمة الجهد (بالسالب) كانت جهزن الـ holes اكبر



* يتم انتقال الـ holes من القطب الاعلى جهد الى القطب الأقل جهد.

مع نستخدم بالقانون μ_p

pMOS I-V

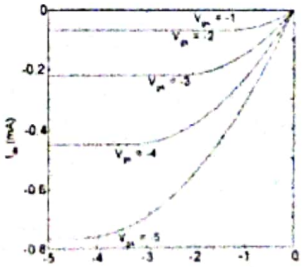
عكس عملية الـ NMOS :- يتم انتقال holes من القطب الى الـ channel

١. لازم فرق الجهد بين الـ Gate والـ negative = Source

٢. لازم تكون V_{gs} اقل من V_t $[V_{gs} < V_t]$

٣. كمان تنتقل الـ holes من الـ Source للـ drain لازم جهد الـ drain يكون اقل من الـ Source حتى يكون holes.

- All dopings and voltages are inverted for pMOS
  - Source is the more positive terminal
- Mobility μ_p is determined by holes
  - Typically 2-3x lower than that of electrons μ_n
  - 120 cm²/V•s in AMI 0.6 µm process
- Thus pMOS must be wider to provide same current
  - In this class, assume $\mu_n / \mu_p = 2$



$V_{gs} > V_t$ off

$V_{gs} < V_t$ on

$V_{ds} > V_{dsat}$ linear

$V_{ds} < V_{dsat}$ saturation

كل ما كانت الـ V_{ds} اقل من V_{dsat} مع تكون انتقال الـ holes اسرع لتحت فعل الـ Saturation

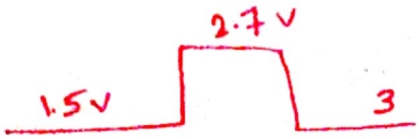
negative اكثر

Scanned with CamScanner

Example :-

$V_{DD} = 5$

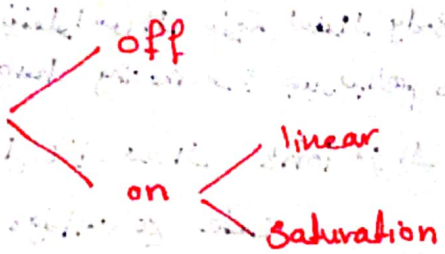
$V_{th} = 1$



[NMOS transistor]

Q :- Mode of operation ?

1) on or off هو اول اشي اشوف هو



لازم اعرف مين Sourse ومين ال Drain

حيث اقل جهد هو ال Sourse والاعلى هو ال Drain .

Then 1.5 → sourse

3 → drain

لازم احسب V_{gs} واقارنها بـ V_{th} وفي حالة V_{gs} لازم ال NMOS تكون اكبر

Then $V_{gs} = 2.7 - 1.5 = 1.2\ V$

$1.2 > V_{th}(1)$ → is [ON]

عشان اعرف هو اي mode بدي اقارنه $V_{gs} - V_{th}$ بـ V_{ds}

Then $0.2 < 1$

is saturation mode.

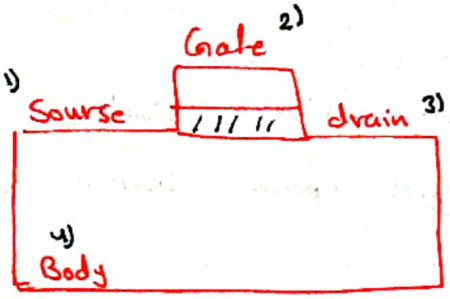
Scanned with CamScanner

* احنا دايماً كنا بنتعامل مع الـ Threshold voltage على انه ثابت ، هون بدنا نشوف هل ممكن يتغير وإذا آه ، شو الأشياء اللي بتأثر عليه ؟!

[first]

رح نتعامل في هاي الحالة مع

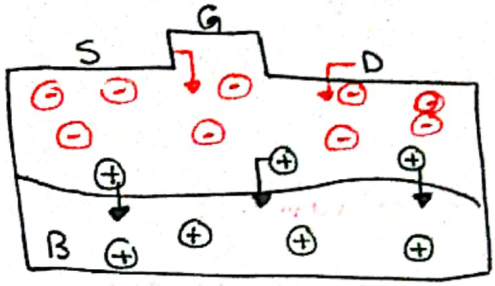
Four - Terminal for transistor



- هل الجهد على الـ body اله علاقة بكفاءة الـ Transistor ؟! ← من ناحية الـ V_{th}

- لازم نعرف شو الـ Componanent اللي بتأثر على الـ V_{th} ونشوف هل تغير الجهد على الـ body رح يأثر على الـ V_{th} او لأ .

[second] [Nmos] في حالة الـ



① لما اطبق على الـ Gate جهد موجب كل الـ holes رح يشتغلوا من الـ source لغاية الـ Body وطرح بتكون عندي negative ion's ورح يصير بدالهم moving charging

كل ما زاد عدد الـ ion's في الـ channel لازم ازيد الـ voltage على الـ Gate .

② لو شبكت الـ source والـ body على نفس الـ voltage وكانوا (Zero voltage) وحطيت Positive volt على الـ Gate رح تتكون عندي channel .

- لو زدنا جهد الـ body الى [10 volt] شو رح يصير ؟! رح يرجعوا الـ hole's لقوة ويلغط بعض الـ ion's وهيك شغل الـ Threshold volt يصير اسهل .

الخلاصة :- كل ما زدت جهد الـ body كل ما قل عدد الايونات السالبة بالتالي قل الجهد الموجب على الـ Gate وبنقص الـ Threshold Component اللي بتأثر على الـ voltage .

وقل الـ V_{th} ، يصير اسهل .

شو اهمية الـ V_{SB} ؟!

لو زدنا جهد الـ source بالنسبة للـ body رح يزيد كمية الـ hole's في الـ body وكمية الـ ion's في الـ channel ورح يزيد الصعب على الـ Threshold volt ويزداد سعته .

اما لو قللنا الجهد للـ source بالنسبة للـ body رح يقل عدد الايونات السالبة في الـ channel وقل الـ hole's بحاتها بالتالي يقل الـ V_{th} لقيمته الطبيعية وقل وتكون اسهل .

شو الصعب من تغيير الـ V_{th} ؟!

التحكم في سعة التيار وزيادته المتولد في الـ channel بالتالي رح تزداد سرعة الـ Transistor ، وهذا بيتم عن طريق تقليل قيمة الـ V_{th} حيث

$V_{th}\downarrow \; I\uparrow$

$V_{th}\uparrow \; I\downarrow$

Scanned with CamScanner

Body effect

$$V_T = V_{T0} + \gamma\left(\sqrt{\left|-2\phi_F + V_{SB}\right|} - \sqrt{\left|2\phi_F\right|}\right)$$

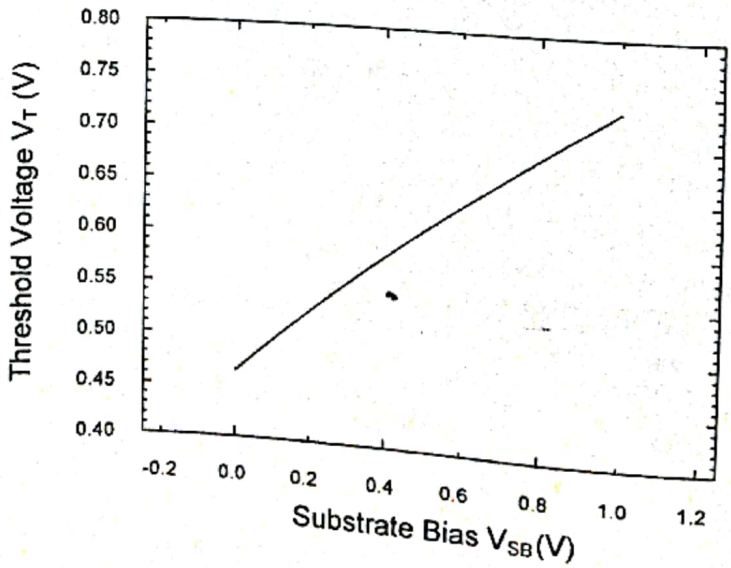
① ②

- if $V_{SB} = 0$

$V_T = V_{T0}$

لو زدناها او قللناها
رح يصير عنا فرق جهد
بين الاثنين

② فرق جهد موجب لو ① اكبر من
وسالب لو كانت ① اقل من ②



Scanned with CamScanner

Ideal Transistor I-V

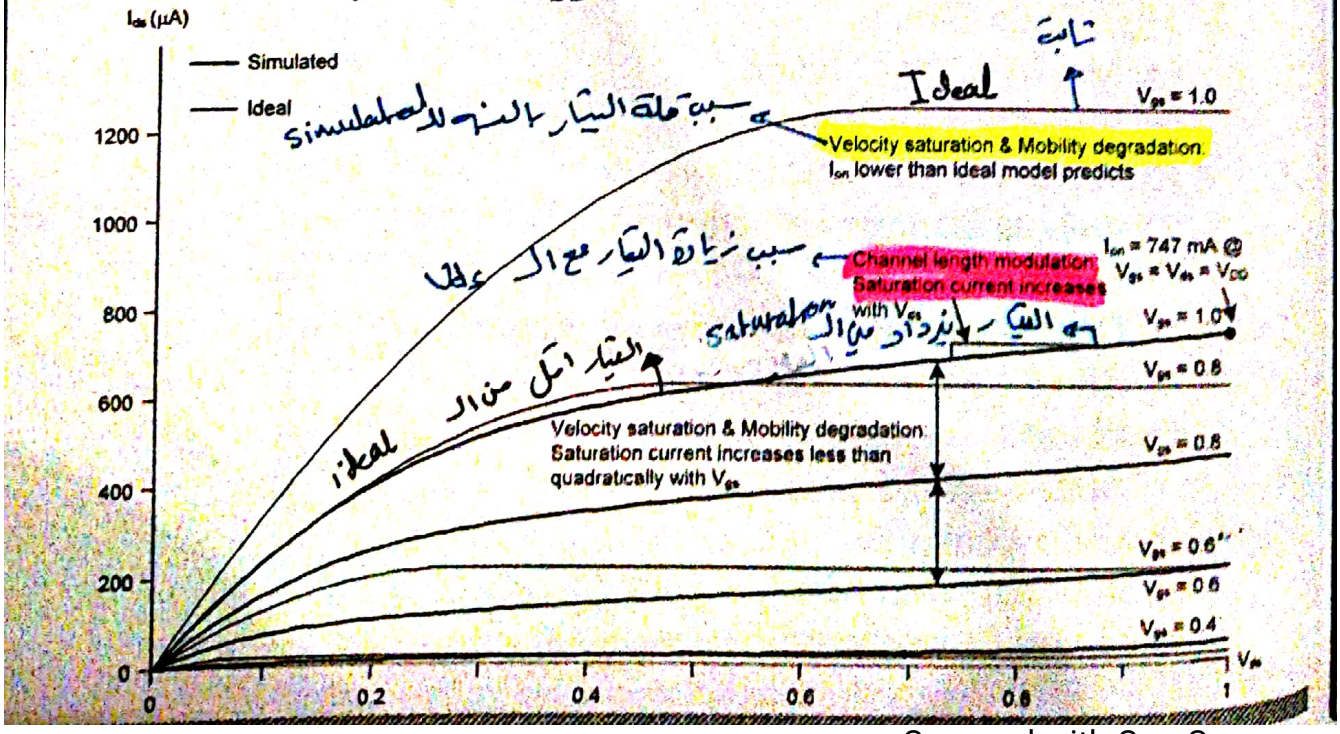
- *Shockley* long-channel transistor models

500 nm transistor الـ 100% تقريبًا -

$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t \quad \text{cutoff} \\ \beta\left(V_{gs} - V_t - V_{ds}/2\right)V_{ds} & V_{ds} < V_{dsat} \quad \text{linear} \\ \frac{\beta}{2}\left(V_{gs} - V_t\right)^2 & V_{ds} > V_{dsat} \quad \text{saturation} \end{cases}$$

Ideal vs. Simulated nMOS I-V Plot

- 65 nm IBM process, V_{DD} = 1.0 V

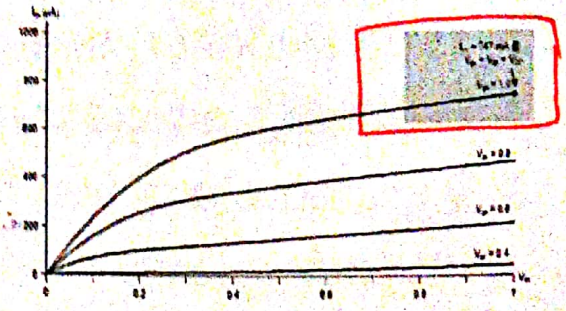


Scanned with CamScanner

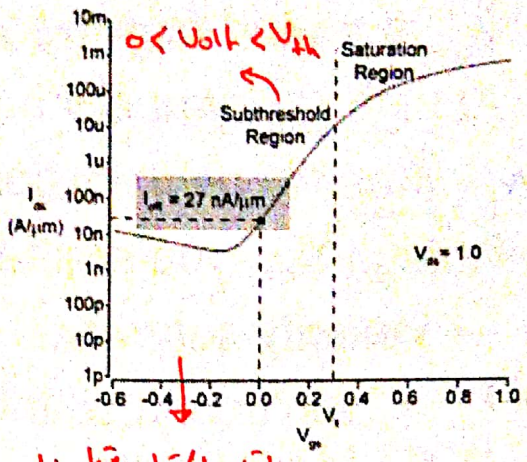
ON and OFF Current

- $I_{on} = I_{ds}$ @ $V_{gs} = V_{ds} = V_{DD}$
  - Saturation

التيار يزداد مع زيادة الـ V_{ds} Saturation



- $I_{off} = I_{ds}$ @ $V_{gs} = 0$, $V_{ds} = V_{DD}$
  - Cutoff



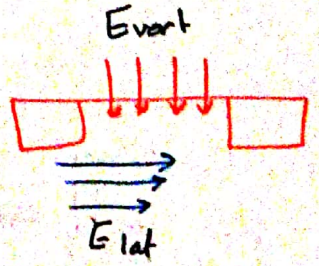
التيار المتولد قبل الـ Vth هو [leakage current] عندما يكون الـ Transistor off

* كلما زاد الـ V_{ds} رح يقل الـ length حيث الـ length هي المسافة بين الـ drain و source (channel)
وبالتالي رح يزداد التيار

بسبب تجاذب الإلكترونات من الـ drain الى الـ channel

Electric Fields Effects

1. Vertical electric field: $E_{vert} = V_{gc} / t_{ox}$ المسافة بين الـ Gate و channel
   - Attracts carriers into channel
   - Long channel: $Q_{channel} \propto E_{vert}$ طردية
2. Lateral electric field: $E_{lat} = V_{ds} / L$ الـ Source و الـ Drain
   - Accelerates carriers from drain to source
   - Long channel: $v = \mu E_{lat}$



بسبب بطئ طاقة الالكترونات للتحرك من الـ Source الى الـ drain
Drain طاقة الـ holes للتحرك من الـ Source في Pmos الى Nmos في

Scanned with CamScanner

Coffee Cart Analogy

- Tired student runs from VLSI lab to coffee cart
- Freshmen are pouring out of the physics lecture hall
- V_{ds} is how long you have been up
  - Your velocity = fatigue × mobility
- V_{gs} is a wind blowing you against the glass (SiO_2) wall
- At high V_{gs}, you are buffeted against the wall
  - *Mobility degradation*
- At high V_{ds}, you scatter off freshmen, fall down, get up
  - *Velocity saturation*
    - Don't confuse this with the saturation region

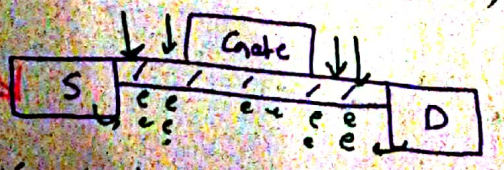
(Figer slide 4) كلما زدت الـ V_{gs} رح تقل الـ M_{eff} رح يزداد التيار

Mobility Degradation

- High E_{vert} effectively reduces mobility
  - Collisions with oxide interface

$$\mu_{eff-n} = \frac{540 \frac{cm^2}{V \cdot s}}{1 + \left(\frac{V_{gs} + V_t}{0.54 \frac{V}{nm} t_{ox}} \right)^{1.85}}$$

$$\mu_{eff-p} = \frac{185 \frac{cm^2}{V \cdot s}}{1 + \frac{|V_{gs} + 1.5 V_t|}{0.338 \frac{V}{nm} t_{ox}}}$$

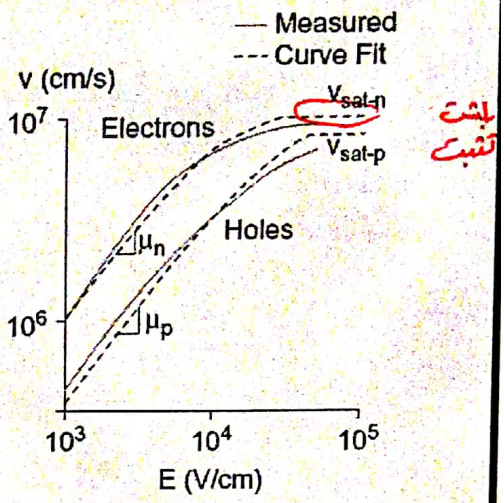


Scanned with CamScanner

Velocity Saturation

- At high E_{lat}, carrier velocity rolls off
  - Carriers scatter off atoms in silicon lattice
  - Velocity reaches v_{sat}
    - Electrons: 10^7 cm/s
    - Holes: 8×10^6 cm/s
  - Better model

$$v = \begin{cases} \dfrac{\mu_{eff} E}{1 + \dfrac{E}{E_c}} & E < E_c \\ v_{sat} & E \geq E_c \end{cases} \qquad E_c = \frac{2 v_{sat}}{\mu_{eff}}$$



Vel Sat I-V Effects

- Ideal transistor ON current increases with V_{DD}^2

$$I_{ds} = \mu C_{ox} \frac{W}{L} \frac{(V_{gs} - V_t)^2}{2} = \frac{\beta}{2}(V_{gs} - V_t)^2$$

- Velocity-saturated ON current increases with V_{DD}

$$I_{ds} = C_{ox} W (V_{gs} - V_t) v_{max}$$

- Real transistors are partially velocity saturated
  - Approximate with α-power law model
  - $I_{ds} \propto V_{DD}^{\alpha}$
  - $1 < \alpha < 2$ determined empirically (≈ 1.3 for 65 nm)

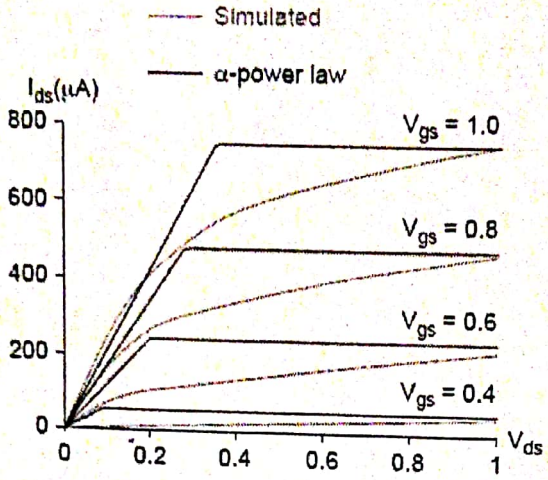
Scanned with CamScanner

α-Power Model

$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t \quad \text{cutoff} \\ I_{dsat}\dfrac{V_{ds}}{V_{dsat}} & V_{ds} < V_{dsat} \quad \text{linear} \\ I_{dsat} & V_{ds} > V_{dsat} \quad \text{saturation} \end{cases}$$

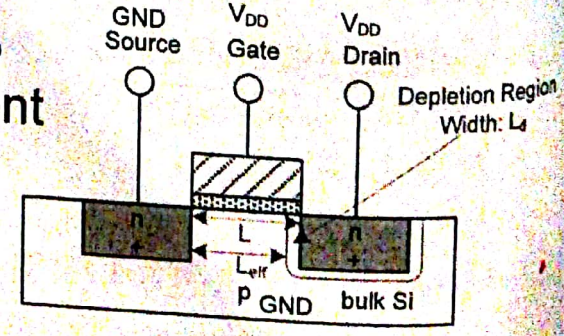
$$I_{dsat} = P_c \frac{\beta}{2}\left(V_{gs} - V_t\right)^{\alpha}$$

$$V_{dsat} = P_v \left(V_{gs} - V_t\right)^{\alpha/2}$$



Channel Length Modulation

- Reverse-biased p-n junctions form a *depletion region*
  - Region between n and p with no carriers
  - Width of depletion L_d region grows with reverse bias
  - $L_{eff} = L - L_d$ (for depletion region of drain)
- Shorter L_{eff} gives more current
  - I_{ds} increases with V_{ds}
  - Even in saturation



Scanned with CamScanner

Chan Length Mod I-V

كل ماتزيد الـ V_{ds} بـ يزداد الـ I_{ds}

$$I_{ds} = \frac{\beta}{2}\left(V_{gs} - V_t\right)^2 \left(1 + \lambda V_{ds}\right)$$

- λ = *channel length modulation coefficient* ← ثابت خاص لكل الـ Transistor
  - not feature size
  - Empirically fit to I-V characteristics

اذا غيرنا طول الـ Trans ممكن λ تتغير.

Threshold Voltage Effects

- V_t is V_{gs} for which the channel starts to invert
- Ideal models assumed V_t is constant
- Really depends (weakly) on almost everything else:
  - Body voltage: *Body Effect*
  - Drain voltage: *Drain-Induced Barrier Lowering*
  - Channel length: *Short Channel Effect*

بـ تقلل من عدد الايونات المحجوزة في الـ channel بالتالي تقل الـ Threshold voltage

Scanned with CamScanner

Body Effect

- Body is a fourth transistor terminal
- V_{sb} affects the charge required to invert the channel
  - Increasing V_s or decreasing V_b increases V_t

$$V_t = V_{t0} + \gamma\left(\sqrt{\phi_s + V_{sb}} - \sqrt{\phi_s}\right)$$

- ϕ_s = *surface potential* at threshold

$$\phi_s = 2v_T \ln\frac{N_A}{n_i}$$

  - Depends on doping level N_A
  - And intrinsic carrier concentration n_i
- γ = *body effect coefficient*

$$\gamma = \frac{t_{ox}}{\varepsilon_{ox}}\sqrt{2q\varepsilon_{si}N_A} = \frac{\sqrt{2q\varepsilon_{si}N_A}}{C_{ox}}$$

doping voltage

Body Effect Cont.

- For small source-to-body voltage, treat as linear

$$V_t = V_{t0} + k_\gamma V_{sb}$$

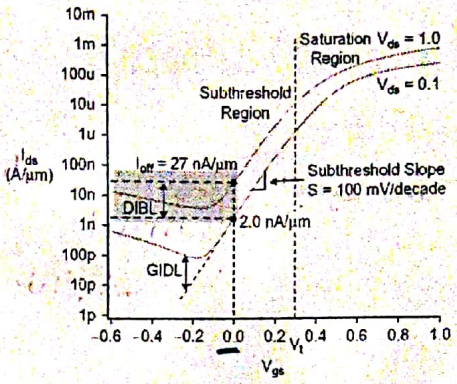
$$k_\gamma = \frac{\gamma}{2\sqrt{\phi_s}} = \frac{\sqrt{\frac{q\varepsilon_{si}N_A}{v_T \ln\frac{N_A}{n_i}}}}{2C_{ox}}$$

Scanned with CamScanner

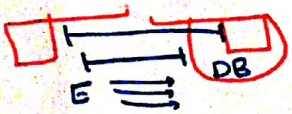
DIBL

- Electric field from drain affects channel
- More pronounced in small transistors where the drain is closer to the channel
- Drain-Induced Barrier Lowering
  - Drain voltage also affect V_t

$$V_t' = V_t - \eta V_{ds}$$



- High drain voltage causes current to increase



سبب تولد تيار عند [V_{gs} = 0] وتتغير من [2 - 27] nA وجود depletion region قبل الـ drain هو الـ
بين الـ Source والـ drain بالتالي ج تتولد مجال كهربائي يؤدي الى انتقال الالكترونات

Short Channel Effect

تقليل التيار

- In small transistors, source/drain depletion regions extend into the channel
  - Impacts the amount of charge required to invert the channel
  - And thus makes V_t a function of channel length

تقلل الـ V_{th}

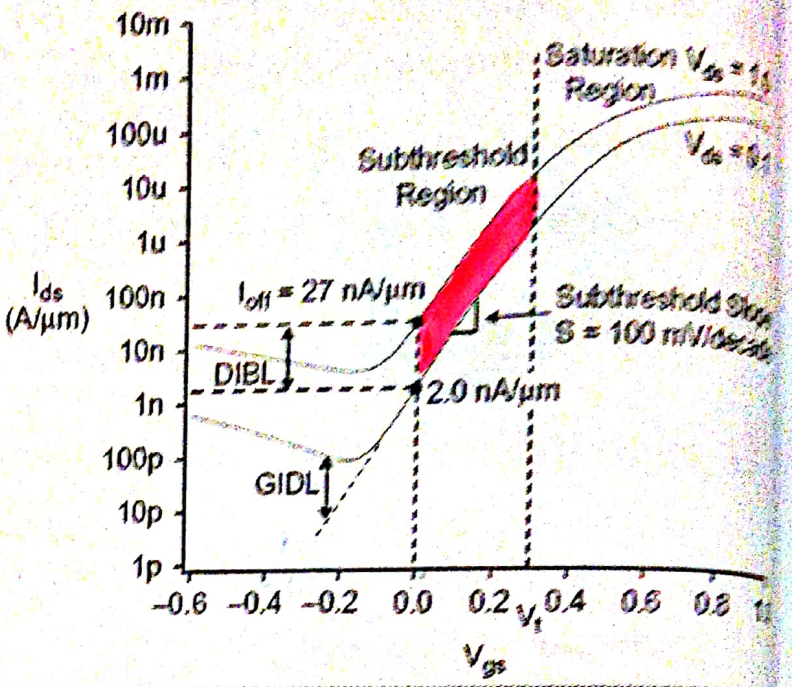
- Short channel effect: V_t increases with L
  - Some processes exhibit a reverse short channel effect in which V_t decreases with L

Scanned with CamScanner

Leakage

- What about current in cutoff?
- Simulated results
- What differs?
  -

الـ Leakage current بسبب طاقة من الطاقة



Leakage Sources

- ☑ Subthreshold conduction $V_{gs} < V_{th}$
  - Transistors can't abruptly turn ON or OFF
  - Dominant source in contemporary transistors
- ☑ Gate leakage تيار بيمشي من الـ Gate لـ body
  - Tunneling through ultrathin gate dielectric
- ☑ Junction leakage
  - Reverse-biased PN junction diode current

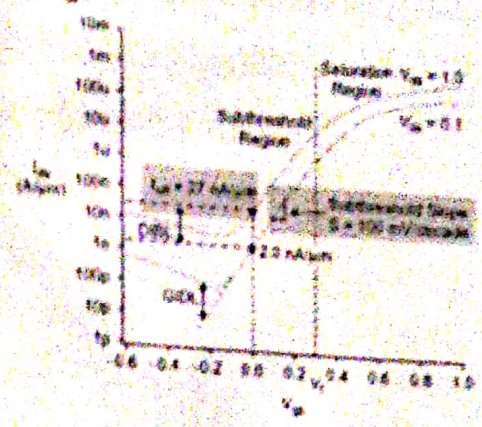
Scanned with CamScanner

Subthreshold Leakage

- Subthreshold leakage exponential with V_{gs}

$$I_{ds} = I_{ds0} e^{\frac{V_{gs} - V_{t0} + \eta V_{ds} - k_\gamma V_{sb}}{n v_T}} \left(1 - e^{\frac{-V_{ds}}{v_T}}\right)$$

- n is process dependent
  - typically 1.3-1.7
- Rewrite relative to I_{off} on log scale



$$I_{ds} = I_{off} 10^{\frac{V_{gs} + \eta(V_{ds} - V_{dd}) - k_\gamma V_{sb}}{S}} \left(1 - e^{\frac{-V_{ds}}{v_T}}\right)$$

$$S = \left[\frac{d(\log_{10} I_{ds})}{dV_{gs}}\right]^{-1} = n v_T \ln 10$$

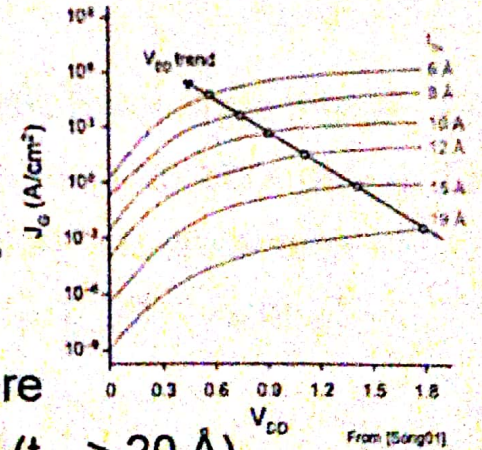
- S ≈ 100 mV/decade @ room temperature

Gate Leakage

- Carriers tunnel thorough very thin gate oxides
- Exponentially sensitive to t_{ox} and V_{DD}

$$I_{gate} = WA\left(\frac{V_{DD}}{t_{ox}}\right)^2 e^{-B\frac{t_{ox}}{V_{DD}}}$$

  - A and B are tech constants
  - Greater for electrons
    - So nMOS gates leak more

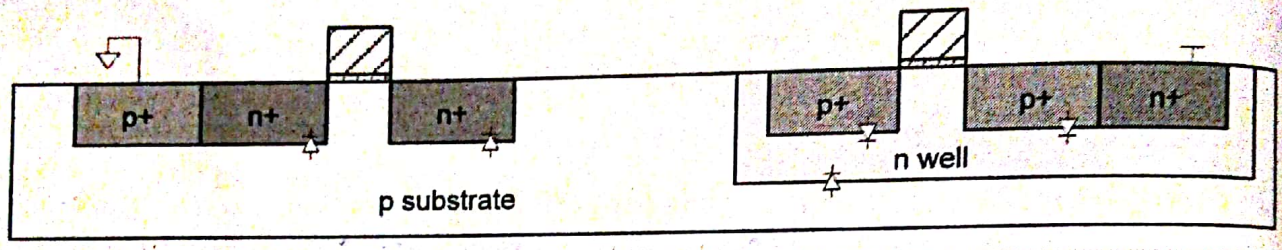


- Negligible for older processes (t_{ox} > 20 Å)
- Critically important at 65 nm and below (t_{ox} ≈ 10.5 Å)

Scanned with CamScanner

Junction Leakage

- Reverse-biased p-n junctions have some leakage
  - Ordinary diode leakage
  - Band-to-band tunneling (BTBT)
  - Gate-induced drain leakage (GIDL)



Diode Leakage

- Reverse-biased p-n junctions have some leakage

$$I_D = I_S\left(e^{\frac{V_D}{v_T}} - 1\right)$$

- At any significant negative diode voltage, $I_D = -I_s$
- I_s depends on doping levels
  - And area and perimeter of diffusion regions
  - Typically < 1 fA/μm² (negligible)

Scanned with CamScanner

Band-to-Band Tunneling

- Tunneling across heavily doped p-n junctions
  - Especially sidewall between drain & channel when *halo doping* is used to increase V_t
- Increases junction leakage to significant levels

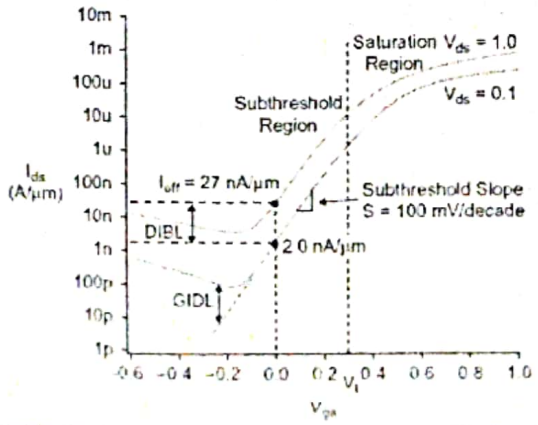
$$I_{BTBT} = WX_j A \frac{E_j}{E_g^{0.5}} V_{dd} e^{-B\frac{E_g^{1.5}}{E_j}} \qquad E_j = \sqrt{\frac{2qN_{halo}N_{sd}}{\varepsilon(N_{halo}+N_{sd})}}\left(V_{DD} + v_T \ln\frac{N_{halo}N_{sd}}{n_i^2}\right)$$

  - X_j: sidewall junction depth
  - E_g: bandgap voltage
  - A, B: tech constants

ما رکز

Gate-Induced Drain Leakage

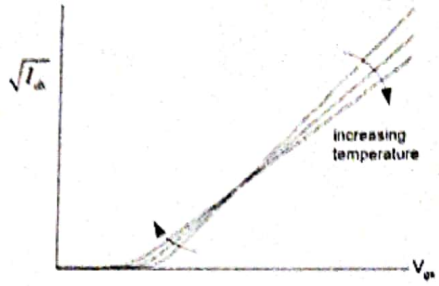
- Occurs at overlap between gate and drain
  - Most pronounced when drain is at V_{DD}, gate is at a negative voltage
  - Thwarts efforts to reduce subthreshold leakage using a negative gate voltage



Scanned with CamScanner

Temperature Sensitivity

- Increasing temperature
  - Reduces mobility ↓ I
  - Reduces V_t ↑ I
- I_{ON} decreases with temperature
- I_{OFF} increases with temperature



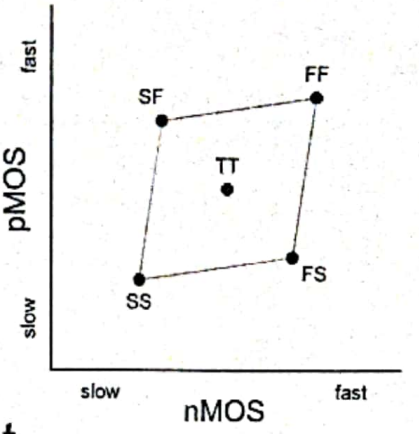
So What?

- So what if transistors are not ideal?
  - They still behave like switches.
- But these effects matter for…
  - Supply voltage choice
  - Logical effort
  - Quiescent power consumption
  - Pass transistors
  - Temperature of operation

Scanned with CamScanner

Parameter Variation

- Transistors have uncertainty in parameters
  - Process: L_{eff}, V_t, t_{ox} of nMOS and pMOS
  - Vary around typical (T) values
- Fast (F) [ON] transistor
  - اعلى L_{eff}: short — مع بعضه اليتبا، اذا
  - اقل V_t: low
  - اقل t_{ox}: thin
- Slow (S): opposite
- Not all parameters are independent for nMOS and pMOS



Environmental Variation

- V_{DD} and T also vary in time and space
- Fast:
  - V_{DD}: higer
  - T: lower

Slow is opposite

- worst case is [slow] For every Transistor. يكونوا

Corner	Voltage	Temperature
F	1.98	0 C
T	1.8	70 C
S	1.62	125 c

اعلى وادنى Transistor لـ

Scanned with CamScanner

Process Corners

- Process corners describe worst case variations
  - If a design works in all corners, it will probably work for any variation.
- Describe corner with four letters (T, F, S)
  - nMOS speed
  - pMOS speed
  - Voltage
  - Temperature

Important Corners

- Some critical simulation corners include

Purpose	nMOS	pMOS	V_{DD}	Temp
Cycle time	s	s	s	s
Power	f	f	f	f
Subthreshold leakage				

Scanned with CamScanner

Inverter Static Characteristics

Dr. Mohammad Abdel-Majeed
Assistant Professor
University of Jordan

كيف ممكن نبني inverter من الـ Cmos

Combinational Logic

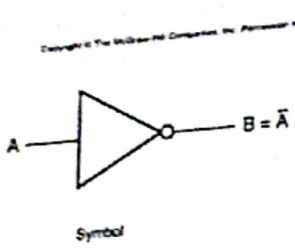
A combinational logic cell, logic circuit or gate is generally a multiple input, single output system that performs a Boolean function

- In the positive logic convention, logic 1 is shown by high voltage VDD and logic 0 by low voltage of zero

Scanned with CamScanner

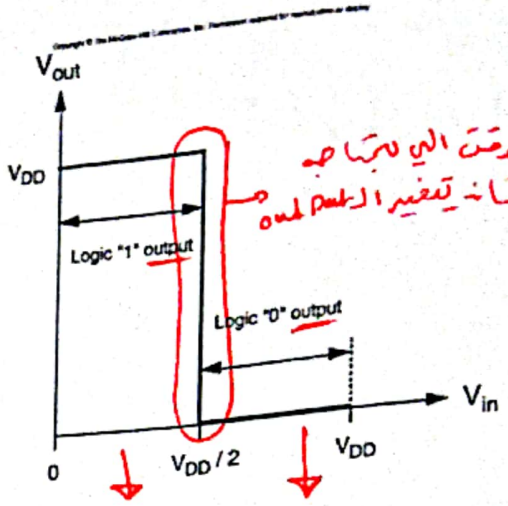
Ideal Inverter and Inverter Threshold Voltage

- Logic symbol & truth table



A	B
0	1
1	0

Truth Table



المشكلة هنا: كيف اعرف انه الانتقال من (0-1) اذا لقيت logic 0 (input) = logic 1 (input) =

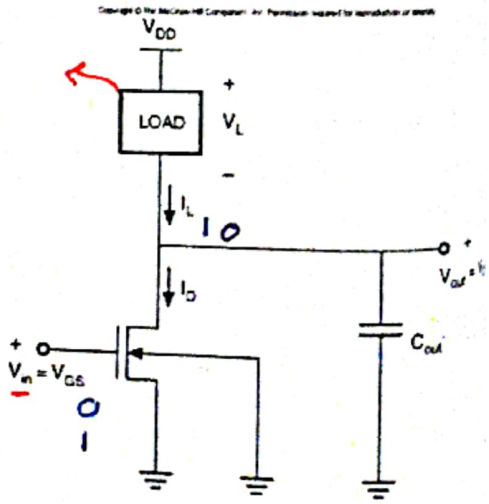
Logic 0 مثلاً، يعني لكل حالة Range كم عرض الـ Range الها من 0 الى 0.5، كيف اعرف انه ما انتقل من 0 الى 0.51 !!

VTC of an NMOs inverter

- Vin is V_{gs} For Nmos
- Vout is V_{DS}
- VSB = _____

ممكن يكون بدالة:-
1. Nmos
2. pmos
3. Transistor

- The circuit connected to the output node can be represented using the capacitance C_{out}
- $I_D = I_L$ (Load Current). By solving this equation we can derive the VTC



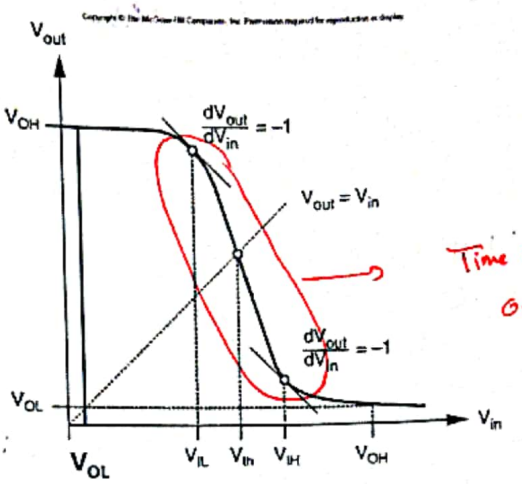
Scanned with CamScanner

logic 1 = اعلى قيمة جهد :. VDD

اي رقم من ال Range الـ logic 0 بعطيني logic 0 و اي رقم من ال Range الـ logic 1 بعطيني logic 1

VTC

· We have Rang For logic 0 and logic 1.



Time delay From Capacitor in output.

من حالة التفريغ الـ

- هل $V_{OH} \stackrel{?}{=} VDD$ ؟ متى شرط

هذا الوضع لا يحدث في inverter ، ونفس الوضع $V_{OL} \stackrel{?}{=} 0$

nMOS Inverter: Schematic & VTC

اعلى جهد نبوصل له وبنبوضه على الـ output

V_{OH} : $V_{OUT,MAX}$ when the output level is logic "1"

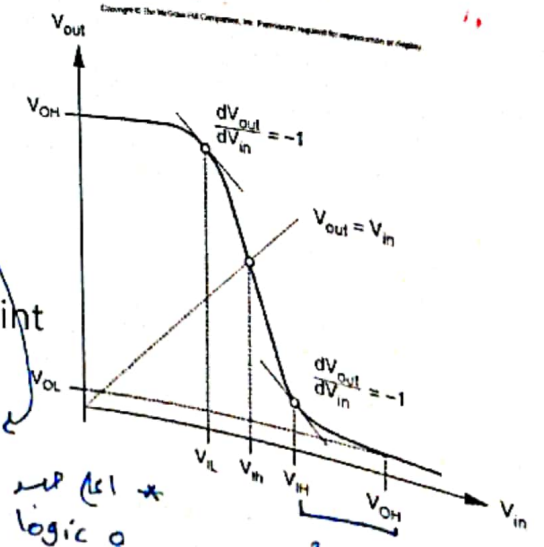
V_{OL} : $V_{OUT,MIN}$ when the output level is logic "0"

اقل جهد ممكن اسوضه على output

V_{IL} : $V_{IN,MAX}$ which can be *interpreted* as logic "0"

V_{IH} : $V_{IN,MIN}$ which can be *interpreted* as logic "1"

Inverter threshold Voltage V_M is defined as the point where $V_{in} = V_{out}$



circuit → * اقل جهد نبوضه من الـ logic 1 و بعتبره $[V_{IH}, V_{OH}] = '1'$

* اعلى جهد نبوضه وبعتبره logic 0

$[V_{OL}, V_{IL}] = '0'$

اي جهد بين V_{IL} و V_{IH} بعطيني اي logic بدي

Scanned with CamScanner

- V_{OL} <= Vin <= V_{IL}
  - Vin is interpreted as "0"
  - This means that V_{IL} is low enough to ensure a logic 1 output

- V_{IH} <= Vin <= V_{OH}
  - Vin is interpreted as "1"
  - This means that V_{IH} is low enough to ensure a logic 0 output

* لو صار عندي noise بمقدار 100 mV على '0' رح يروح على '1' مثل ما يتخطى الـ Range

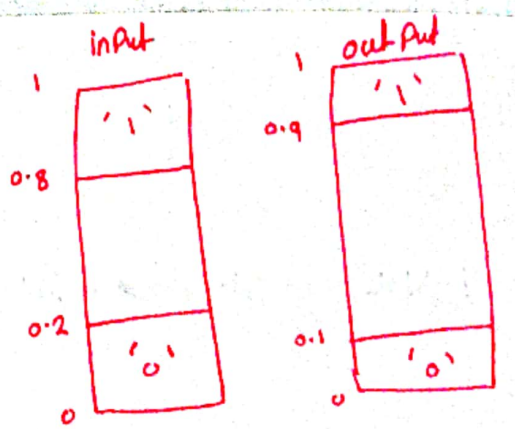
المشكلة اللي ممكن تصير هي صار noise (100 mV) على '1' رح ينزل ويروح على '0'.

- ليش الـ inPut اعلى واوسع من الـ outPut؟

الفكرة هون في حالة دخل inPut وخرج outPut

احنا بصرنا ممكن تتخلى الـ outPut تعطي نتائج خاطئة نتيجة خروجها عن الـ Range المفروض

عشان هيك نبصغر الـ Range الـ outPut عشان لو صار عنا مثلاً noise بقيمة 0.1 لـ logic 1 يكون معنا وقت لـ noise لحد ما نوصل 0.2 ويرجع يعطينا نتيجة صح (logic 1) وتبقى الحالة لـ logic 1



Tolerance

- Ability to interpret range of values as logic 0 or logic 1 allows the circuits to operate with certain _____

- Noise sources
  - Unwanted capacitive coupling
  - Radiations
  - ...

* وهذا الهدف من الـ Range لكل logic

عشان يكون عندي Tolerance for noise

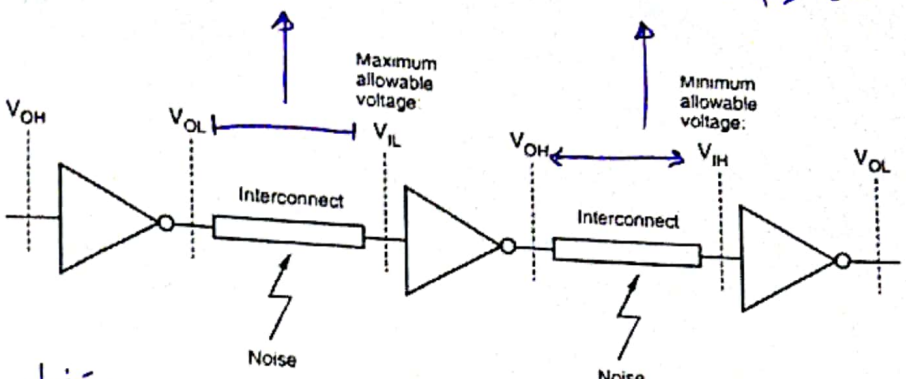
NM L :- هديش ممكن يكون عندي noise على السلك واصل صح ؟ كيف بتحسبها ؟ range logic و

Scanned with CamScanner

Noise Margin

NML الفرق بينهم هو

NMH الفرق بينهم هو



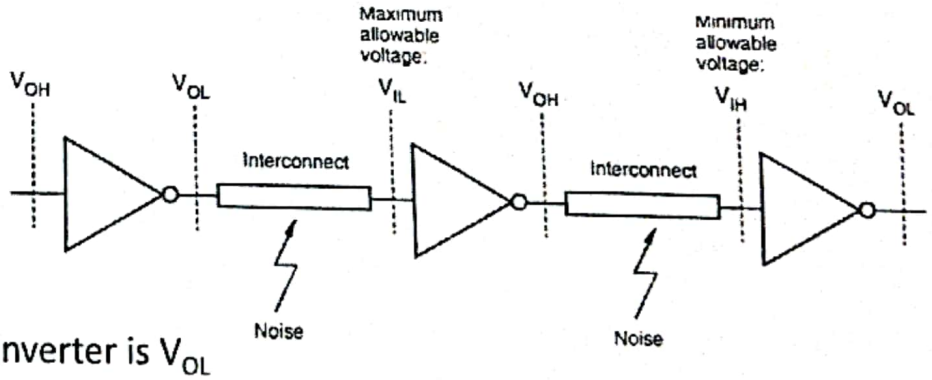
V_{OL} مسموح يزيد بس ما يتخطى

Logic 0 Range داخل ضمن

مسموح يقل بس ما يتخطى V_{IH}

Logic 1 Range داخل ضمن

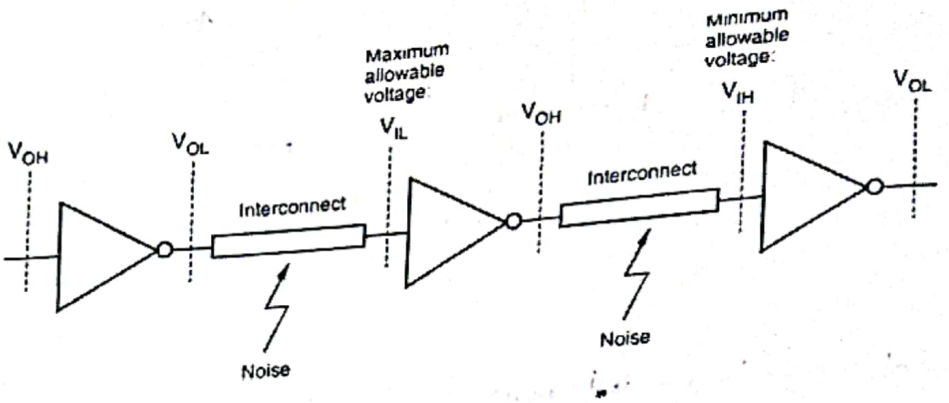
Input Noise Margin



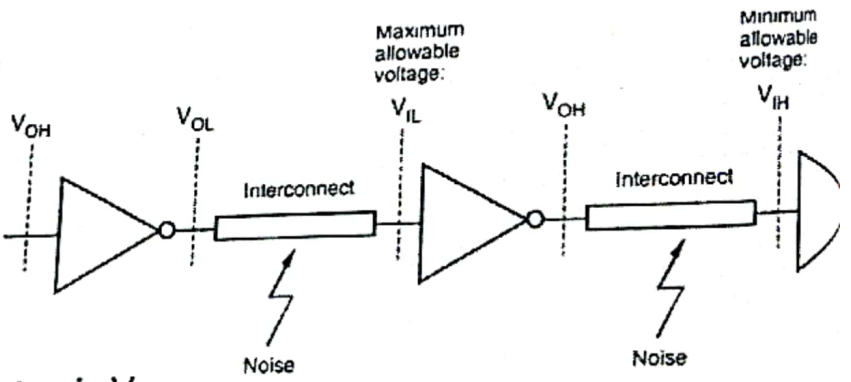
- By definition the output of the first inverter is V_{OL}
- The output signal of the 1st inverter will be perturbed during transmission because of on-chip interconnect
- If the input voltage of the 2nd inverter is smaller than V_{OL}, then this signal will be interpreted correctly as a logic "0" input by 2nd inverter
- But if the input voltage becomes larger than V_{IL}, then it may not be interpreted correctly by the inverter
- Thus, V_{IL} is the maximum allowable voltage at the input of the 2nd inverter

Scanned with CamScanner

Output Noise Margin



Input Noise Margin

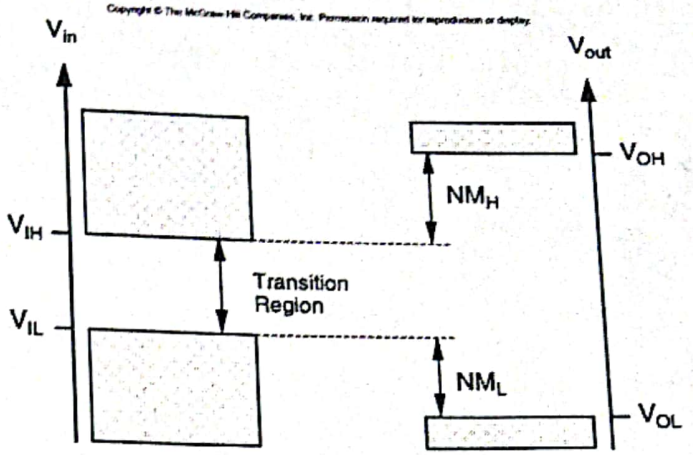


- Assume the output of the 2nd inverter is V_{OH}
- Input of the 3rd inverter will be different from V_{OH} due to noise interference
- If the input voltage of the 3rd inverter is larger than V_{OH} this signal is interpreted correctly as a logic "1"
- If the voltage level drops below V_{IH} , the input may not be interpreted as a logic "1"
- Therefore, V_{IH} is the minimum allowable voltage at the input of the 3rd inverter

Scanned with CamScanner

Noise Margin

- $NM_L = V_{IL} - V_{OL}$
- $NM_H = V_{OH} - V_{IH}$



Power

سلامه بقيه هنيها لفوالـ logic من ٥ الى ١ او العكس بصير
عندي تفريغ للسعكات من الـ capacitor

- Lower consumption extends battery-based operation time for portable systems
- DC power dissipation: $P_{DC} = V_{DD} \cdot I_{DC}$
- DC power is input and output voltage dependent
- To calculate avg DC power assume 50% of the time input is at V_{in} = low and 50% at V_{in}= high
  - $P_{DC} = 0.5\ VDD\ \{I_{DC}\ (V_{in}=low) + I_{DC}\ (V_{in}=high)\}$
- Inverter type and its design affects the power dissipation significantly

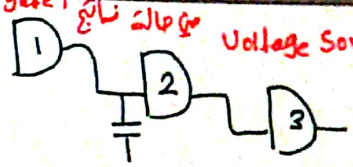
Scanned with CamScanner

Inverter المنفاخ

- Resistive Load Inverter
- NMOS depletion load inverter
- CMOS inverter

↓

Pmos بتاخد بدال Transistor



في حالة تابع Voltage Source وبيشحن الـ Capacitor والجهد الـ gate 1 =

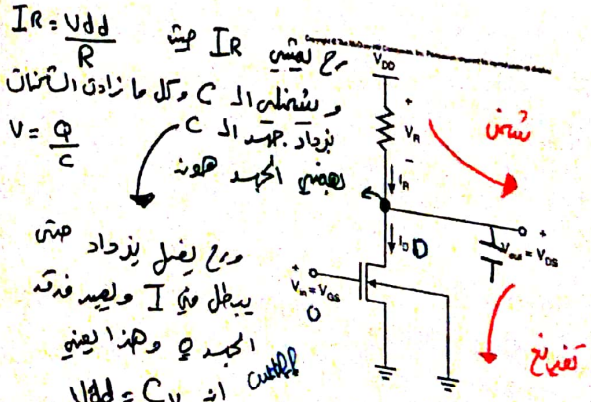
١. بشحن الـ Capacitor وبيفرغ الجهد الـ gate 2 وبخلي الجهد على

٢. بفرغ الشحنات وبخلي الجهد على gate 1 = 0 . في حالة تابع ٥. يكون ٥

Gate Capacitor For Transistor : اللي بشتغل عليه ← بنا نوصل الجهد نتيجة gate 1 وهو اما 1 او 0 وهناك حالتين :-

Resistive-Load Inverter

- Resistive-load inverter circuit & its VTC



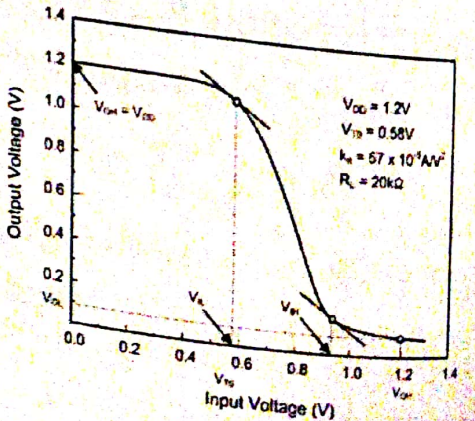
$I_R = \frac{Vdd}{R}$ حيث I_R مع ثبوت

وبشحن الـ C وكل ما زادت الشحنات $V = \frac{Q}{C}$ بزداد جهد الـ C يعني الجهد هون

مع فصل بزداد حيث يبطل مي I ويصير فرقه الجهد ٥ وهذا يعني $Vdd = C_V$ انه

بالنسبة مع ثبوت Vdd ، لما

Let $V_{Th} = 0.8$



Scanned with CamScanner

Resistive-Load Inverter

* في حال دخلنا $V_{GS} = 0.35$ ع يشتغل الـ Trans ويصير في حالة Saturation ع يصير في تيارين (Two Current) بمقدار متساوي

١. الـ R ع يصير الـ C حال الـ NMOS ع يفرغ الشحنات (تأثير)

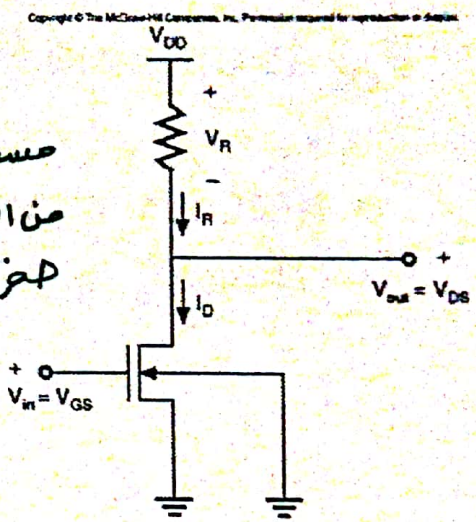
٢. ع يصير في نقص بالشحنات بالتالي التيار قل ← قل الجهد

٣. ع يبطل في R ، ع يبطل في I على C (مقدار الشحنة ثابت)

٤. الجهد على أقل من Vdd بشوي ، ع ينزل الكيف

٥. ع يصير الشحنات اللي يعطيها IR وتفرغنا Id تطول والشحنة على C ع تقلب .

- Resistive-load inverter circuit & its VTC



- $V_{in} < V_{T0}$, nMOS off
  - I_D = Zero
  - V_{out} = Vdd

V_{OL} ← مستقبل يصير صفر من الشحنات بالتالي ما ع يصير الجهد صفر صفر لو I_R ما زال قليل

- $V_{in} > V_{T0}$, nMOS in sat.
  - V_{ds} = Vout $> V_{in} - V_{T0}$
  - I_R = Id $I_R = \frac{V_{dd} - V_{out}}{R}$

* في حال رفعنا جهد الـ Gate أكثر فازداد Vgs ع يزداد ID ويصير تفريغ أكبر للشحنات بالتالي الـ R ما ع يقدر يعوض فاقد الـ C للشحنات ف $I_D > I_R$ بالتالي جهد الـ C ع يقل أكثر

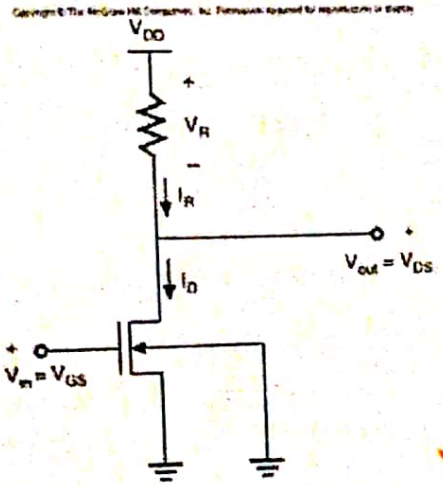
- $V_{in} > V_{T0}$ & $V_{out} < V_{DSAT}$, nMOS in lin.
  - $I_R = I_d$

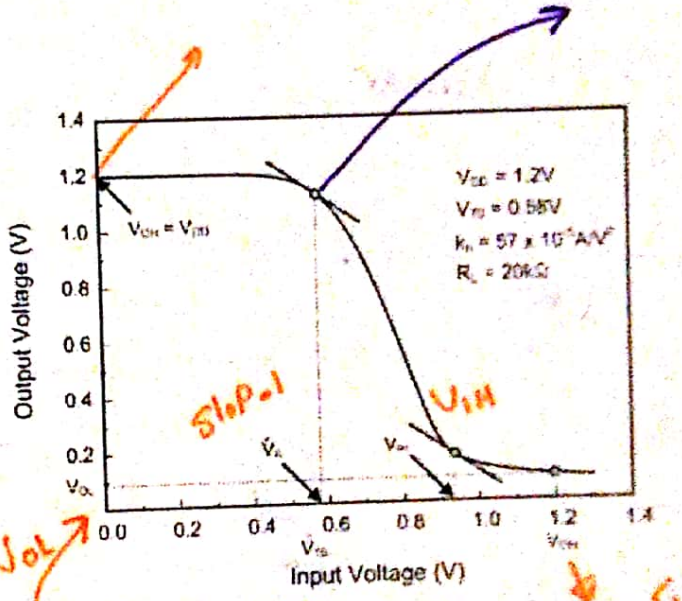
قيمة الـ I_R بتصير قيمة R حيث $I = \frac{V}{R}$ كل ما قللناها بنزداد تيار I_R بالتالي يقدر يعوض فاقد C للشحنات.

Scanned with CamScanner

Calculation of V_{OH}

- $V_{out} = V_{dd} - R_L.I_R$
- When $V_{in} < V_{TO}$
  - Transistor is in cutoff
  - $I_R = I_D = 0$
  - V_{OH} = Vdd





$\therefore V_{in} = V_{OH}$

الجهد تابع: الستخانات على C
عابتنيه ولا يقبل.

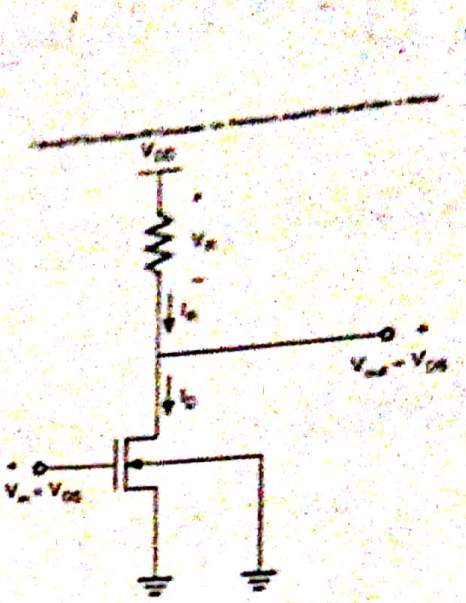
V_{OL}

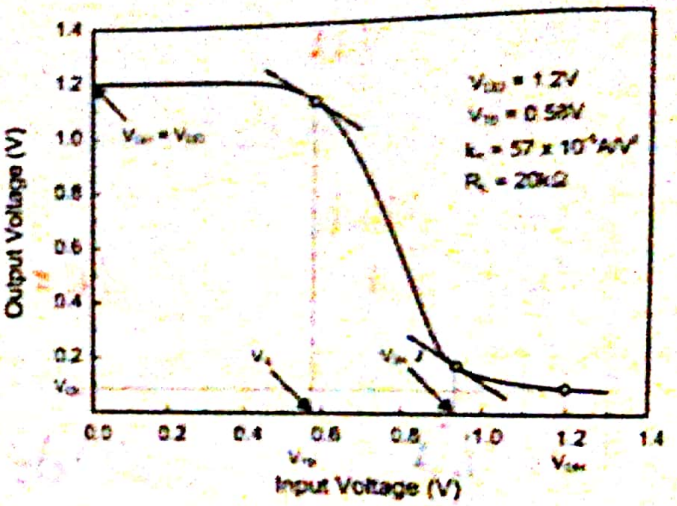
أكبر قيمة بـ عليها للجهد ويكون

Scanned with CamScanner

Calculation of V_{OL}

- V_{OL} is obtained when $V_{in} = V_{OH} =$ _____
  - V_{in}
  - NMOS is in linear
  - Using KCL $I_R = I_D$





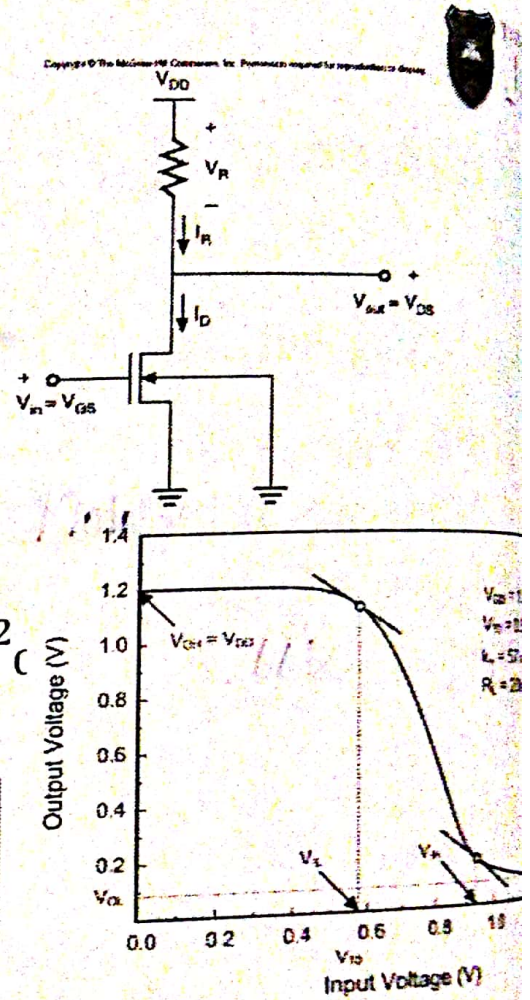
Scanned with CamScanner

Calculation of V_{OL}

- V_{OL} is obtained when $V_{in} = V_{OH} =$ ____
  - V_{in}
  - NMOS is in linear
  - Using KCL $I_R = I_D$
  - $(Vdd - VOL)/\,RL = B/2\,.\,(2.\,(V_{dd} - VT_0).VOL - V^2($

$$V_{OL} = V_{DD} - V_{T0} + \frac{1}{k_n R_L} - \sqrt{(V_{DD} - V_{T0} + \frac{1}{k_n R_L})^2 - \frac{2V_{DD}}{k_n R_L}}$$

- Use the KCL and V_{OL} definition to to find the value of V_{OL}

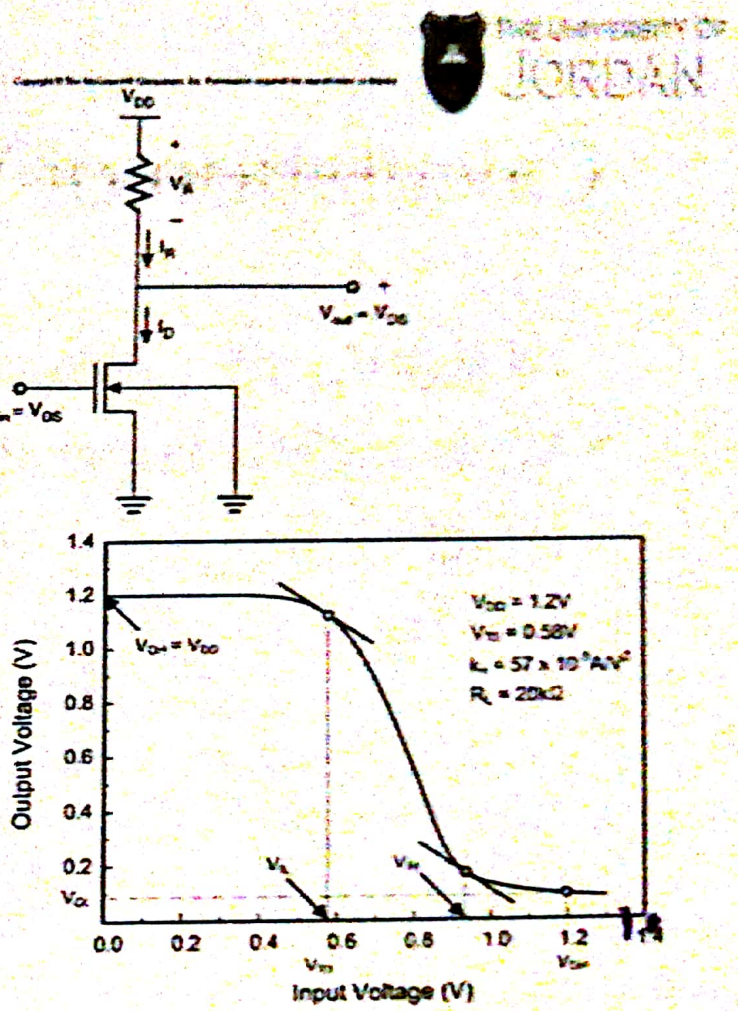


Scanned with CamScanner

Calculation of V_{IL}

- At $V_{in}=V_{IL}$ $dV_{out}/dV_{in} = -1$
- NMOS is in Saturation
  - Using KCL $I_R = I_D$

$$\frac{Vdd - Vout}{R} = \frac{\beta}{2}(V_{gt} - V_{th})^2$$

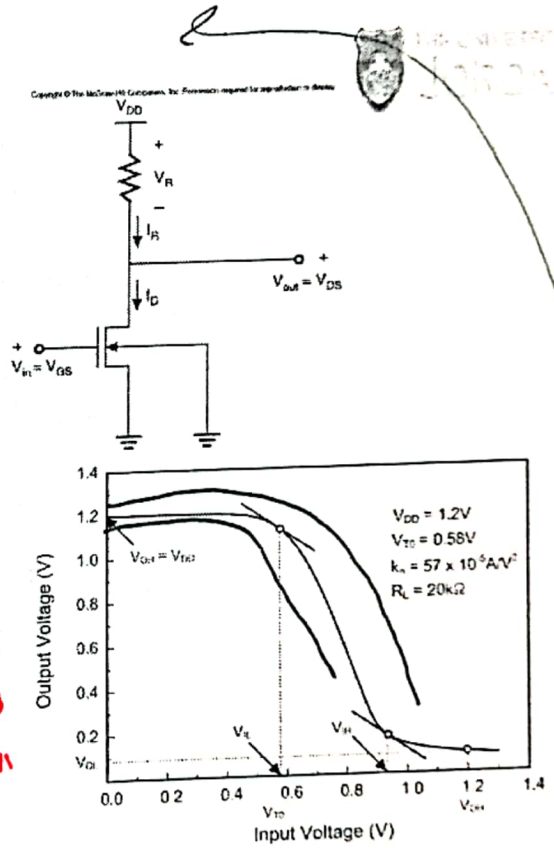


Scanned with CamScanner

* لما ازيد الـ R الـ V_{IL} بقل ، رح تكبر الـ NMOS
بسبب سخانات كتير والـ R بتعوض تحليل خ بروح
بقلل عدد السخانات في الـ C بالتالي رح يقل جهد C
رح يصير سحب الـ NMOS للسخانات اقل .

زيادة الـ W بـ : ١. زيادة W
٢. تقليل L

Calculation of V_{IL}



- At $V_{in}=V_{IL}$ $dV_{out}/dV_{in} = -1$
- NMOS is in _____
  - Using KCL $I_R = I_D$
  - $(Vdd - Vout)/ RL = B/2\ (Vin - VT_0)^2$ ....(eq1)
  - Differentiate both side
    - $-1/R_L\ .\ (dV_{out}/dV_{in}) = B(V_{IL} - V_{TO})$
  - substitute $dV_{out}/dV_{in} = -1$
    - $-1/R_L\ .\ (-1) = B(V_{IL} - V_{TO})$
    - $V_{IL} = V_{TO} + 1/(B.R_L)$ ....(eq2)

لو كبرت الـ B للـ Transistor الـ V_{IL} رح يقل

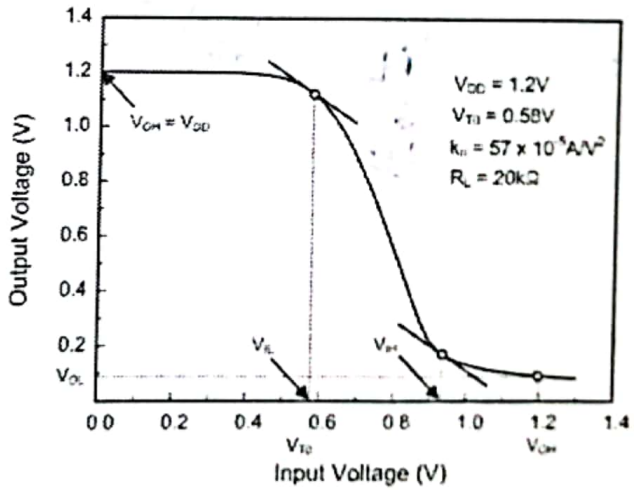
$$V_{IL} = V_{T_0} + \frac{1}{k_n R_L}$$

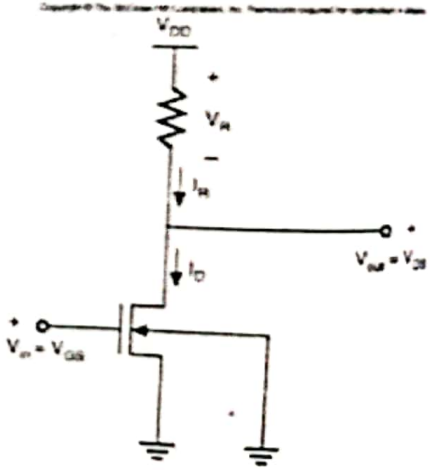
لو زدت الـ K او R رح يقل الـ V_{IL} بالتالي الكميرة رح تفشل
ولو قللتهم الكميرة رح تطلع ، بس شو الصح منهم ؟!

Scanned with CamScanner

Calculation of V_{IH}

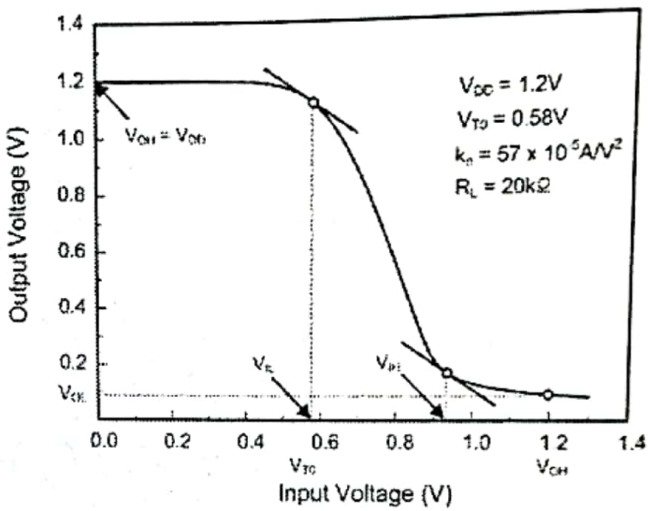
- At $V_{in}=V_{IH}$ $dV_{out}/dV_{in} = -1$
- V_{in} is slightly larger than V_{OL}
- NMOS is in linear

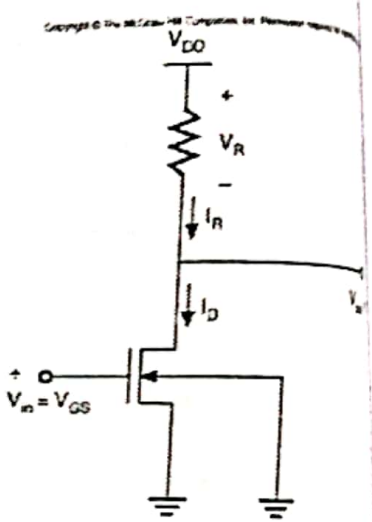




Scanned with CamScanner

Calculation of V_{IH}





- At $V_{in}=V_{IH}$ $dV_{out}/dV_{in} = -1$
- V_{in} is slightly larger than V_{OL}
- NMOS is in _____
  - Using KCL $I_R = I_D$
  - $(Vdd - Vout)/ \mathrm{RL} = \mathrm{B}/2 \,.\, (2.\,(\mathrm{V_{in}} - \mathrm{VT_0}).\mathrm{VOUT} - \mathrm{V^2_{OUT}})$ ....eq(1)
  - Differentiate both side
    - $-1/R_L \,.\, (dV_{out}/dV_{in}) = \mathrm{B}/2 \,.\, (2.\,(\mathrm{V_{in}} - \mathrm{VT_0}).\, dV_{OUT}/dVin - 2V_{OUT} \,.\, dV_{OUT}/dVin$ ....eq(2)
  - Solve eq1 and eq2 and substitute $dV_{out}/dV_{in} = -1$ and V_{in} with V_{IH}

$$V_{IH} = V_{T0} + \sqrt{\frac{8}{3}\cdot\frac{V_{DD}}{k_n R_L}} - \frac{1}{k_n R_L}$$

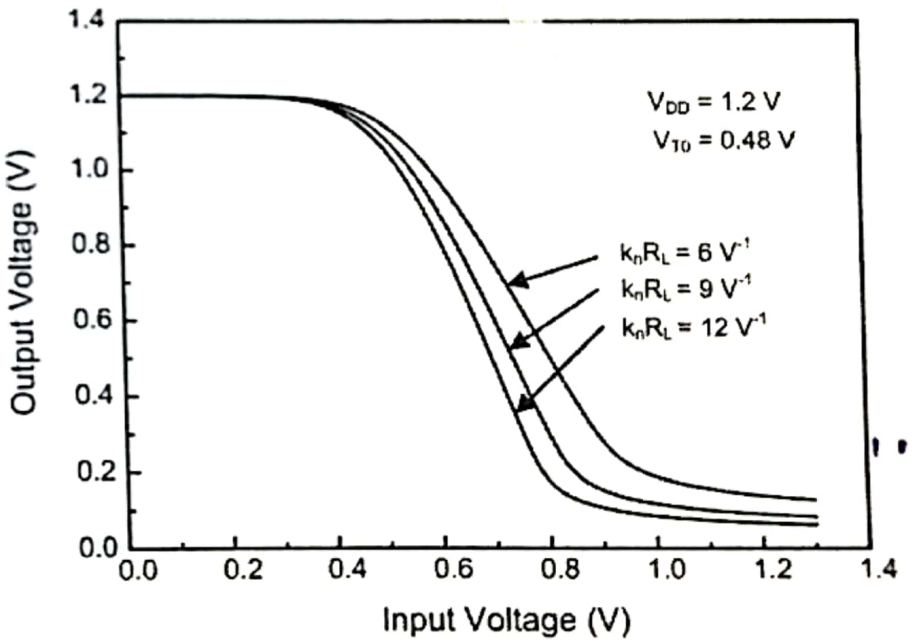
Scanned with CamScanner

VTC, Power & Chip Area

- VTC of the resistive-load inverter for different ($k_n \cdot R_L$)

$$V_{IH} = V_{T0} + \sqrt{\frac{8}{3} \cdot \frac{V_{DD}}{k_n R_L}} - \frac{1}{k_n R_L}$$

$$V_{IL} = V_{T0} + \frac{1}{k_n R_L}$$



Scanned with CamScanner

Power →

* المشكلة من ال R_load اللي بكون ال input = 1

- $V_{in} = V_{OH}$ وبعتمد كم عدد ال gate اللي ال input العم 1
  - NMOS is in Linear بكون الها Power بستهلكها
  - $I_D = I_R = (V_{dd} - V_{OL})/R_L$ $P=0$ اذا ولا وحده بكون ال
- $V_{in} = V_{OL}$
  - NMOS is cutoff
  - ID = 0
- $P_{DC}(\text{Average}) = (V_{dd}/2).(V_{dd} - V_{OL})/R_L$

max :- $P_{dc} = I.V$ if gate output = 1

min :- $P = I*0$ if gate out = 0

Scanned with CamScanner

Resistor

- Two possibilities for fabricating resistors:
  - Diffused resistor: an isolated n or p-type diffusion region.
    - 20-100 ohm/square: needs large area not practical for VLSI
  - Metal Resistor
  - Undoped polysilicon resistor:
    - mask off during poly doping to create about 10M ohm/square.

Scanned with CamScanner

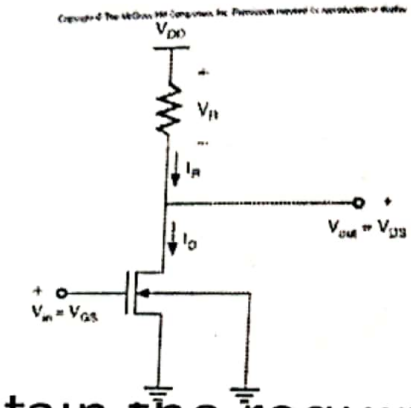
$V_{T0} = .53$

$V_{OL} = 80\,mV$

$VDD = 1.2\,V$

$Bn = 83.3\mu A/V^2$

Example 5.1 - Inverter Design



- Resistive-load inverter circuit
  - V_{DD}=5V, $\mu * C_{ox}$=30μA/V², V_{T0}=1V
  - V_{OL}=200mV
- Determine (W/L) ratio of the driver Tr. And R_L to obtain the required V_{OL}
  - V_{out} = _____, V_{in} =_____. NMOS is in _____

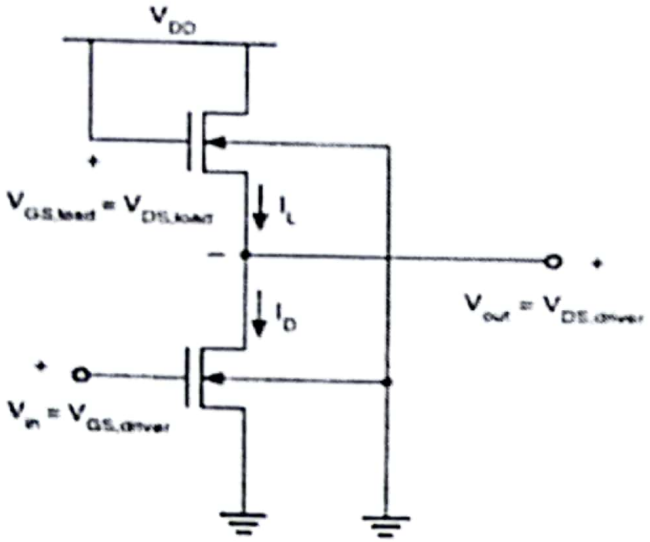
(W/L)-Ratio	Load resistor (R_L[kΩ])	DC power consumption ($P_{DC,avg.}$[μW])
1	263.0	2.56
2	131.5	5.11
3	87.7	7.67
4	65.8	10.2
5	52.6	12.8
6	43.8	15.3

Scanned with CamScanner

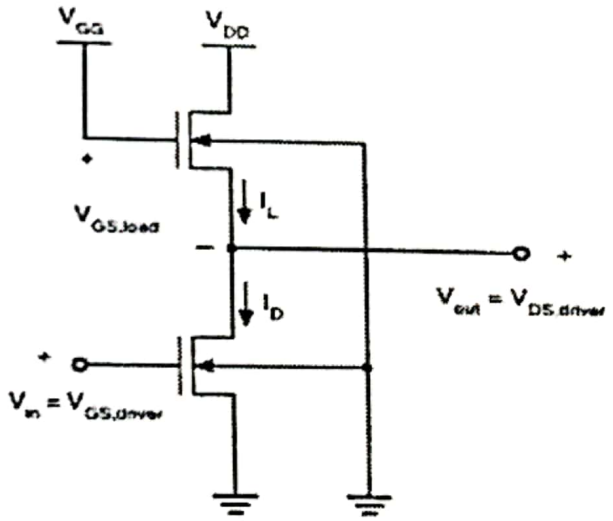
هل الحل كامل

Inverters with MOSFET Load

- Enhancement-Load Inverter



(a)

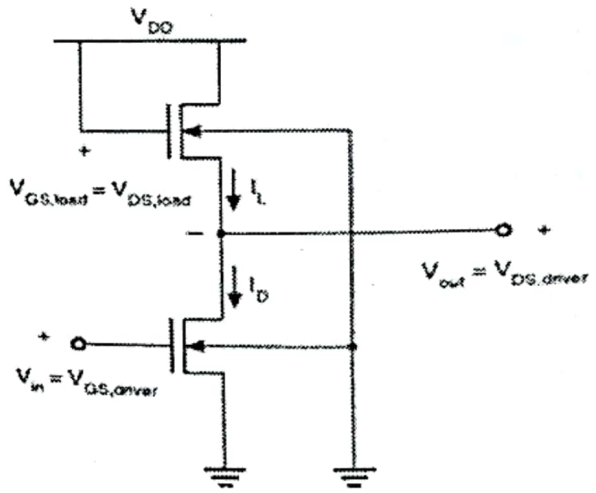


(b)

Scanned with CamScanner

Inverters with MOSFET Load

- Enhancement-Load Inverter



(a)

Load NMOS operates in _____

V_{OH} = _____

Power

Scanned with CamScanner

* الفكرة هون للانزيد الـ W رح يزداد تيار الـ resist ويصير يفرغ اكتر فلازم اعوض بالتفريغ بأني اقلل الـ R حتى ازيد تيار المقاومة ويصير يصير بشكل متدرج للتفريغ بالتالي احافظ على الـ Vout=80 وبالتالي الـ Power رح تزداد للضعف.

$$P = I * R$$

$V_{T0} = .53$

$V_{OL} = 80\,mV$

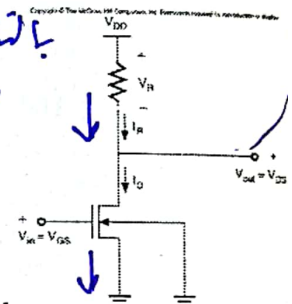
$V_{DD} = 1.2\,V$

$B_n = 83.3\,\mu A/V^2$

Example 5.1 - Inverter Design

عشانة اخلي هون يكون عندي 80 لازم اضبط الـ R, W

لانزم ما تكون حتى تيار على Vout



بالتالي التيار للـ R رح يساوي الـ res

$\frac{V_{dd} - V_{OL}}{R} = I_D$ (linear) حيث

- Resistive-load inverter circuit
  - V_{DD}=5V, $\mu * C_{ox}$=30μA/V^2, V_{T0}=1V
  - V_{OL}=200mV → Constraint (Vds)
- Determine (W/L) ratio of the driver Tr. And R_L to obtain the requ V_{OL}
  - V_{out} = _____, V_{in} =_____. NMOS is in _____

(W/L)-Ratio	Load resistor (R_L[kΩ])	DC power consumption ($P_{DC,avg.}$[μW])
1	263.0	2.56
2	131.5	5.11
3	87.7	7.67
4	65.8	10.2
5	52.6	12.8
6	43.8	15.3

$I^2 \cdot X$

Power increase

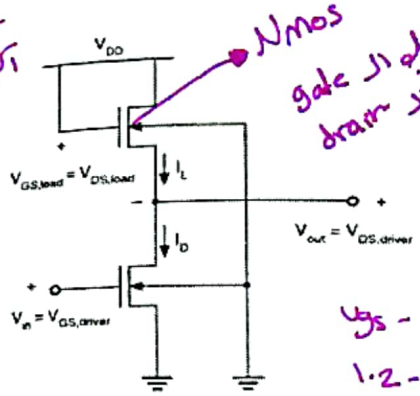
كلما قلت R قلت المساحة المستخدمة

بزيد W فرح التيار بالتالي قبل الـ R بنفس النسبة

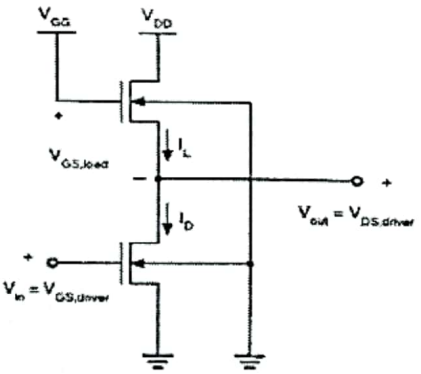
Scanned with CamScanner

Inverters with MOSFET Load

- Enhancement-Load Inverter



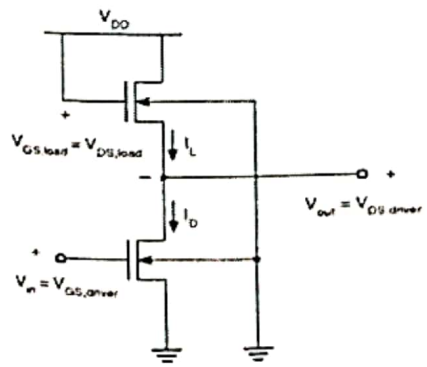
(a)



(b)

Inverters with MOSFET Load

- Enhancement-Load Inverter



(a)

Load NMOS operates in _____

V_{OH} = _____

Power

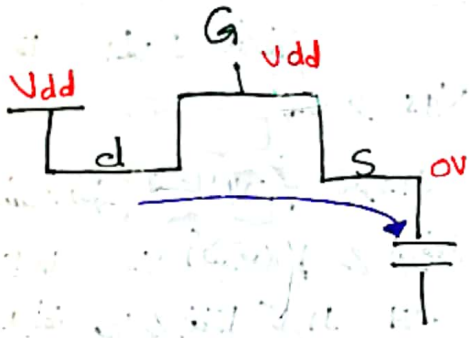
Scanned with CamScanner

NMOS.

①

* Inverter with MosFET load :-

• Enhancement-load inverter



Vdd = 1.2
V_{th} = 0.3
S = Zero

برايَة تحديد اي mode بشتال هذا ال NMOS :-

$V_{gs} - V_{th}$	V_{ds}
1.2 - 0.3	1.2
0.9 <	1.2

SAT

* افرض تغيير ال S من [0 ← 0.3]

$V_{gs} - V_{th}$	V_{ds}
0.9 - 0.3	0.9
0.6 <	0.9

SAT

ح يشتغل اكثر

* تغيير ال S من [0.3 ← 0.9]

$V_{gs} - V_{th}$

0.5 - 0.3

لو زدنا ال S قيمة صغيرة وحدة بس ح يصير ال V_{gs} اقل من V_{th} وح يتوقف ال NMOS وح يثبت ال Vout على C عند 0.9

Note about Slide 30

②

* بداية ح يشتغل ال NMOS وتنقل [e] من الجهد الاول (s) الى الثاني (d) وح تمشي ال holes بعكس الاتجاه وتشحن ال capacitor .

* كلما زاد جهد ال (S) - يبقى ال NMOS في ال SAT ويزداد شحن ال (C) الا عند جهدين من الجهد .

* لما دخل ال S الى 0.9 خل ال NMOS يشتغل بس لو زدنا ال S الى 0.91 في هاي الحالة ح يتوقف ويبطل يشحن مهما قدر ادخل لـ قيمة ال Vdd تاخله فقط لـ (0.9) منها وهاي مشكلة.

load resistive ليش مشكلة ؟ لانه في حالة ال

ال Vout = Vdd

بس هون صار ال Vout = Vdd - V_{th}

بالتالي قل وهيك ح يأثر على ال Noise Margin high

بالتالي ال NMOS صار ح ينقل logic '1' ح ينقل ما يسمى (weak '1') وهي مرفوضة من logic '1' .

Scanned with CamScanner

Note :- هي حالة الـ ground تشبيه الـ Source و تطلع الـ drain مع الـ C

①

* لنفرض $V_g = 1.3 / V_d = 1.2 / V_s = 0$

رح يشتغل الـ NMos و يمشي تيار طول ما هي المعادلة متحققة

$V_{gs} > V_{th}$

عشان تظل متحققة لازم يكون الـ V_s أقل من إ

اذا صار V_s أكبر من إ رح تتوقف الـ NMos و تطفي و رح ينقطع كل الـ V_d..

السؤال :- شو قيمة الـ voltage اللي لازم اعطيها الـ (G) حتى اقدر انقل الـ V_d كلها؟

$1.5 = [V_{dd} + V_{th}]$ هي

بس طريقة تحقق المعادلة

$V_{gs} > V_{th}$

$V_g - V_s > V_{th}$

$V_g > 1.5$

طيب !!

لو زدنا الـ $V_s = 1$ و خلينا قيمة الـ V_d مكانه إ

شو أكبر max V اللي رح اشوفه على الـ C ؟!

من حالة $G = 1.5$ ؟!

$V_{gs} > V_{th}$

$1.5 - V_s > 0.3$

$V_s < 1.2$ ← اعلى جهد ممكن اشوفه

وهذا يعني لو حطيت اي قيمة على الـ S و خليت ثبتها على الـ d رح اشوف V_d كامل على الـ C في حالة انه الـ NMos on، بس !! طالع يكون في تيار لأنه $[V_{ds} = 0]$ بالتالي طالع يزيد الـ voltage على [C] اكثر من V_d.

②

طيب ، لنفترض شبكنا الـ V_s على الـ ground و الـ $G = 1.5$ و الـ $V_D = 1.2$ شو رح يصير ؟

- رح يشتغل الـ NMos و ينقل كل الشحنات على الـ C

* لو خلينا نقلل الـ V_d تدريجي لحتى يوصل صفر بوضوح نفس الـ NMos تشتغل و تنقل كل الشحنات مستحيل يطفي لأنه الـ V_{gs} ثابتة كطول و هذا يعني الـ NMos قادر على نقل [Strong '0'] الحال

مشكلة الـ noise margin

SAMMary :- - Fabrication of resistor

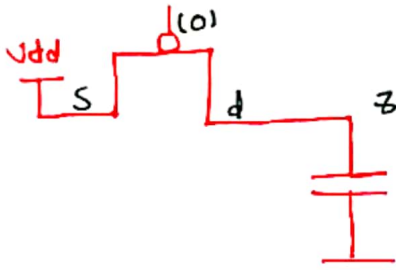
الحل لمشكلة الـ NMos هي اني اشبع الـ V_g على صيد عالي و اعلى من الـ V_{dd} لحتى اقدر انقل V_{dd} كلها بدون زيادة او نقصان على V_{out}

و هيك بالـ (one) بدل نحصل [Strong '1'] نحصل كلشي (يعني بين الـ Strong و الـ weak) و تنطفي زي ما هي.

الـ NMos قادر يفرغ كامل Strong '0' بس ما فيه يشحن كامل weak '1' على عكس الـ PMos.

Scanned with CamScanner

Pmos . ①



$V_{th} = -0.3$
$V_{dd} = 1.2$

عشان تكون on لازم

$V_{gs} - V_{th} < 0$

$-1.2 - -0.3$

-0.9

رح نمشي تيار ونشحن الـ C وزاد شحنة الى 0.3

- بنعيد نفس الاشي رح يظل on ونشحن الـ C الى 0.9 وهكذا الى 1.2. (linear mode)

هون الـ Vds رح تصير Zero معناها البيك صفر وهيك اعطي الـ Max V على الـ C رح اشوفها وهي Vdd اذا الـ Pmos قادر على نقل الـ Vdd كامله نقل [Strong 1]

---

* لو شحنا الـ C على الـ Ground وهسا مبنا نفتح هل فرع كامل لـ Zero او لا؟!

Note :- في حالة الـ Ground والـ C هو اللي بنشتغل مع الـ C حال الـ Vdd مع الـ (⏚)

$V_{gs} - V_{th} < 0$

$-1.2 - -0.3 < 0$

$-0.9 < 0$

رح نمشي تيار ويفرغ تيار الـ C من 1.2 الى 0.9

ونستمر كما ما يوصل 0.3

$-0.3 - -0.3 < 0$

$0 < 0$ هون ما تام بس تقريبا

هلأ رح نضغط الـ Pmos

$0.299 - -0.3 < 0$

$0.00001 < 0$ هون يوقف

معناها الـ Pmos ما تقدر تفرغ كامل ويوصل Zero

رح يفرغ [Weak 0]

② * طيب في حال شحنا الـ Gate على 0.2 والـ d على Ground وبدي امنع وتأثر الـ C على الـ S ؟ 1.2 ، قديش اقل جهد ممكن اشوفه على الـ S

$V_{gs} - V_{th} < 0$

$V_g - V_s - V_{th} < 0$

$0.2 - V_s - -0.3 < 0$

$V_s > 0.5$

اقل جهد ممكن اشوفه مع الـ S هو 0.5

الـ Pmos تقدر تشحن الـ C كامل بالـ Vdd بس ما تقدر تفرغ كامل عكس الـ Nmos .

مشكلة الـ leakagePower في Nmos انها لأنه اذا شغلت الـ Transis على جهد قليل رح يظل يسحب Power واذا طفيته بالمرة رح استفيد بالكل هاي رح نلجأ الى CMOS

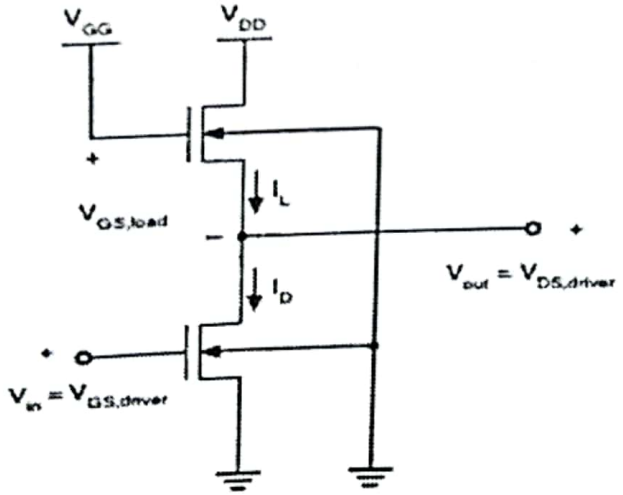
ورح استفيد من Strong 0 تفرغ في Nmos و Strong 1 شحن في Pmos في التقسيم .

Scanned with CamScanner

NMos load Inverter transistor weak '1' (بس حتى نفهم الـ logic '1' نربطها بالنت)

Inverters with MOSFET Load

- Enhancement-Load Inverter



(b)

Load NMOS operates in _____

V_{OH} = _____

Power

$V_{as} = 0.29$

Scanned with CamScanner

Voltage = VDD

Operation

driver و load هشبوك على ال Vin ال *

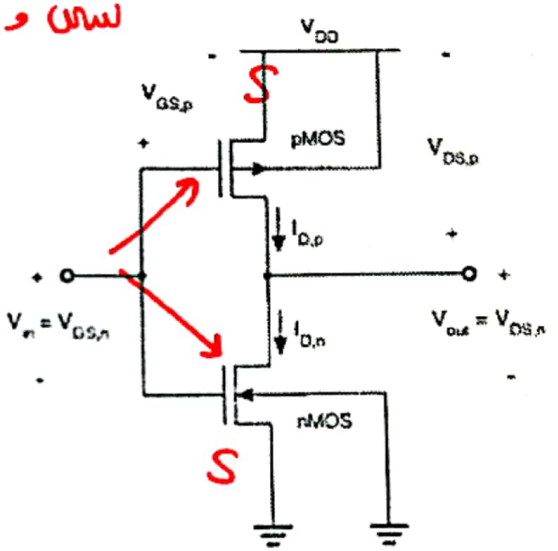
شحن وتفريغ

- $V_{GS,n}$ Vin
- $V_{GS,p}$ Vin - Vdd
- $V_{DS,n}$ Vout
- $V_{DS,p}$ Vout - Vdd

* في عنا Vth for NMOS ،

Vth for PMOS

ممكن يكونوا مختلفين عادي



(a)

Scanned with CamScanner

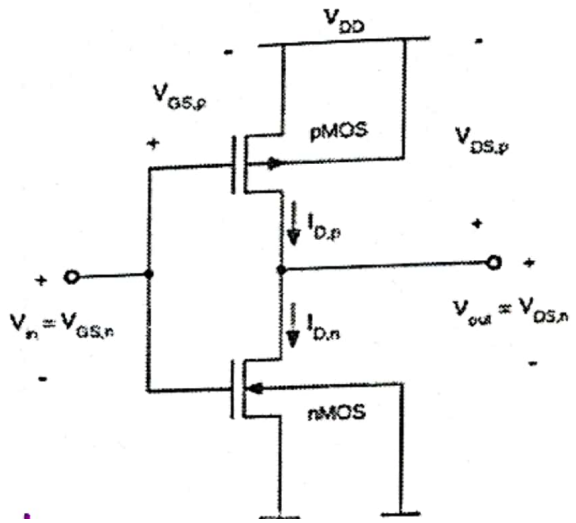
Operation

$V_{thn} \rightarrow 0.3$

$V_{thp} \rightarrow -0.3$

- $V_{GS,n} < V_{th,n}$
- NMOS is OFF
- PMOS operates in SAT

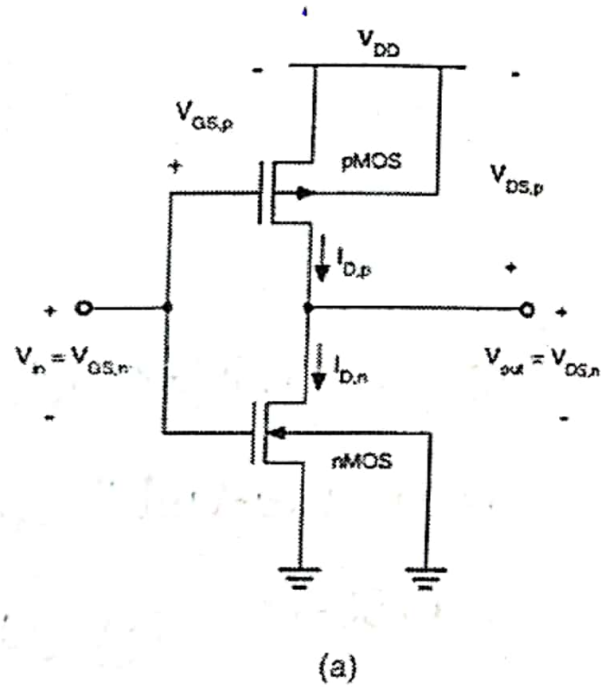
$-1.2 \text{ -- } 0.3 > -1.2$



Scanned with CamScanner

Operation

- $V_{in} = V_{IH}$
- NMOS is in SAT
- PMOS is in linear



(a)

Scanned with CamScanner

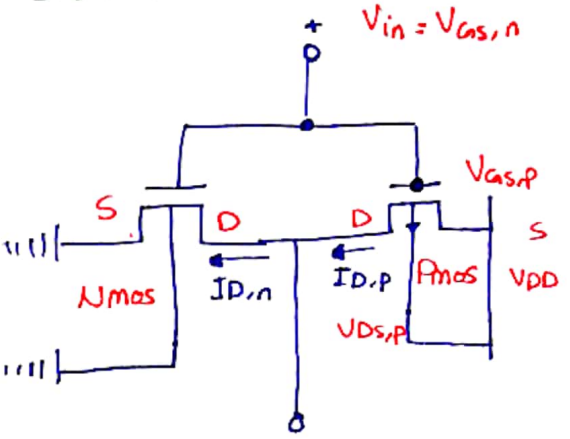
V_{OH} & V_{OL} of CMOS

- V_{OH} = Vdd

- V_{OL} = Zero

Scanned with CamScanner

CMOS

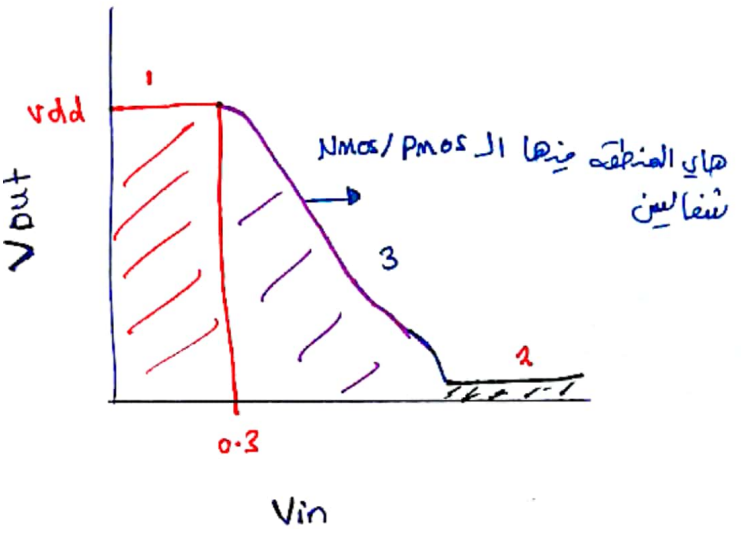


Vout = VDS,n

VTh,n = 0.3

VTh,p = -0.3

Vdd = 1.2



الحالات :-

1. Vin = 0 ← Vgs > Vth

- 0 > 0.3 (off) Nmos

- Pmos :-

Vgs < Vth

-1.2 < -0.3 ON

Vdsat > Vds

-1.2 -- 0.3 > -1.2

-0.9 > -1.2 SAT

2. Vin = 1.2

Pmos :-

Vgs < Vth

0 < -0.3 cutoff

Nmos

Vgs > Vth

1.2 > 0.3 on

لأنها بسبب لما بيوصل لـ Zero بتطفي

Strong '0'

لو كانا جهد الـ G اكو 0.98 بكون Nmos on وبيلش الـ Pmos بصير on بالتالي الي بفرق Nmos بتحاول Pmos بتشد (٣)

لو طفينا الـ G = 0.31 الـ Two Tran is on

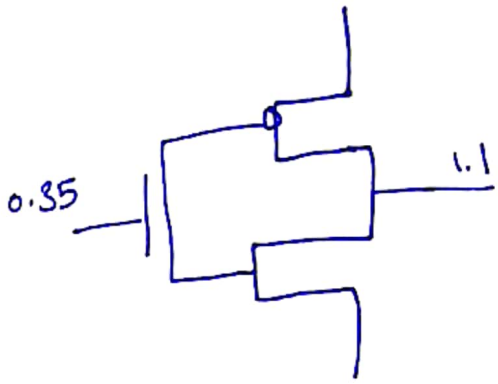
بالتالي بنقص الكهرو من قوته

- كل مرة نزيد او ننقل طبقة الـ Vin بـ mode الـ Transistors ونعرفهم من حساب القوانين

Scanned with CamScanner

V_{IL}

- $V_{in} = V_{IL} \rightarrow dV_{out}/d\,V_{in} = -1$
- NMOS is in SAT
- PMOS is in linear



---

when $B_n > B_p \Rightarrow \frac{B_n}{B_p} > 1$ → more discharging → الكيرف بينزل اسرع

when $B_n < B_p \Rightarrow \frac{B_n}{B_p} < 1$ الكيرف بطول لحتى ينزل

مع يقرع البطيء

مع يقرع اسرع

V_{IL}

- $V_{in} = V_{IL} \rightarrow dV_{out}/d\,V_{in} = -1$
- NMOS is in _____
- PMOS is in _____

حتى تتساوى كيلون الهم نفس الـ (W)

- $\underbrace{B_n/2(V_{GS,n} - V_{th,n})^2}_{\text{NMOS}} = \underbrace{B_p/2\,(2.(V_{GS,p} - V_{th,p}).V_{DS,p} - V_{DS,p}^2)}_{\text{PMOS}}$

$$V_{IL} = \frac{2V_{out} + V_{T0,p} - V_{DD} + k_R V_{T0,n}}{1 + k_R}$$

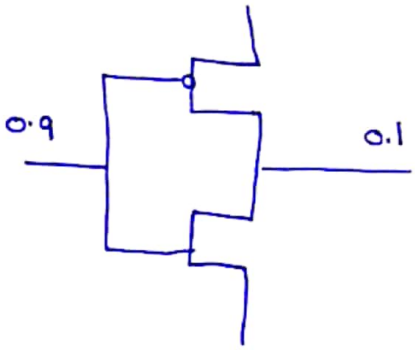
قوة الـ nmos بالنسبة لقوة الـ pmos

- $K_R = K_n/K_p$

Scanned with CamScanner

V_{IH}

- $V_{in} = V_{IH} \rightarrow dV_{out}/d\,V_{in} = -1$
- NMOS is in SAT
- PMOS is in linear



V_{IH}

- $V_{in} = V_{IH} \rightarrow dV_{out}/d\,V_{in} = -1$
- NMOS is in _____
- PMOS is in _____

- $\underbrace{B_p/2(V_{GS,p} - V_{th,p})^2}_{\text{PMOS}} = \underbrace{B_n/2\,(2.(V_{GS,n} - V_{th,n}).V_{DS,n} - V_{DS,n}^2)}_{\text{NMOS}}$

$$V_{IH} = \frac{V_{DD} + V_{T0,p} + k_R \cdot (2V_{out} + V_{T0,n})}{1 + k_R}$$

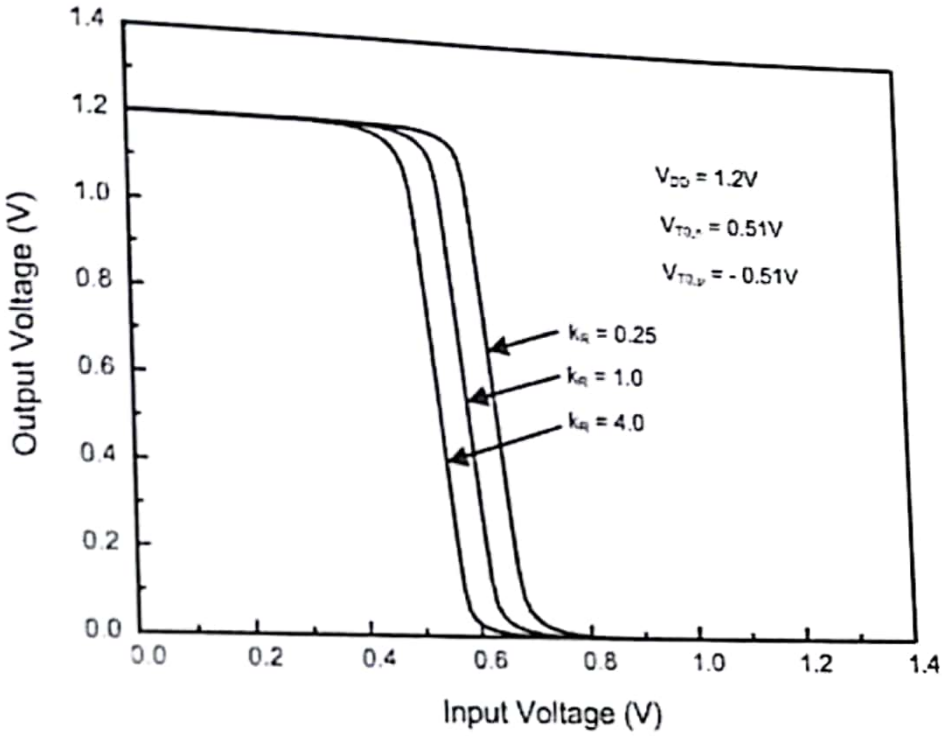
- $K_R = K_n/K_p$

Scanned with CamScanner

Design of CMOS Inverter

- $K_R = \frac{\beta_n}{\beta_p}$

- زيادة الـ β بتقلل الـ V_{IH} و V_{IL}



Scanned with CamScanner

Inverter Transient Characteristics

Dr.Mohammad Abdel-Majeed

Assistant Professor

University of Jordan

Scanned with CamScanner

* الجزء اللي الـ circuit لازم اعرف الـ delay الي بتجاهو ولكن لازم يقل
عن الـ range اللي انا حاسبه في الداخل الاول من تصميم الـ circuit ، ما بصير يكون اكبر من
الحسبه تبعتي

Timing Analysis

- Delay models are required for _____ and the _____

Delay Time definition :- ① Propagation Delays:- Distance (Time delay difference)

t_1 and t_2 where (t_1 : half the Time between V_{OL} and V_{OH} at the output
Half the time between V_{OL} and V_{OH} at the input.

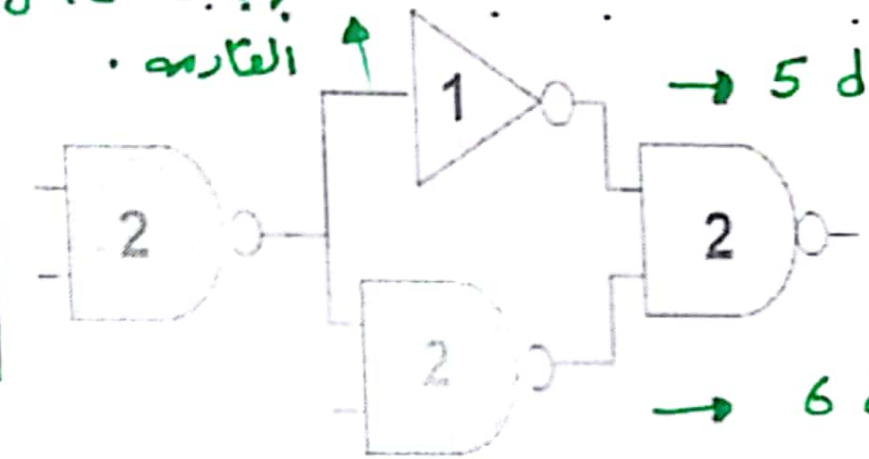
stages / module الـ worst case الـ delay معه لازم نبدأ عليها بحسب الـ
. clock cycle ونبدأ عليها بحسب الـ

Scanned with CamScanner

Example

على الـ wire لازم يكون عندها capacitor كمان تتخزن جواب الـ gate السابقة وتفضل مع الـ gate القادمة.

[هون لازم يكون عنا voltage source]

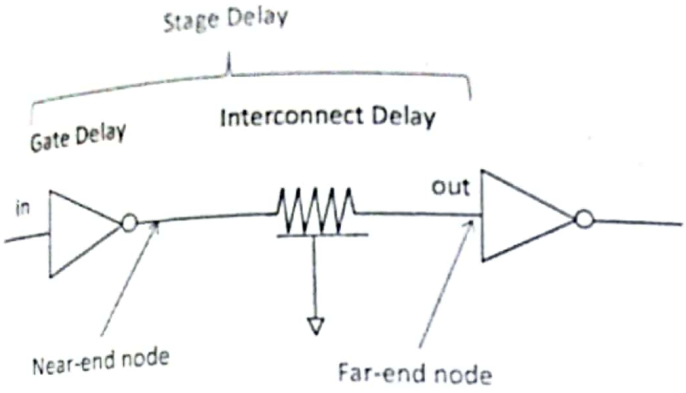


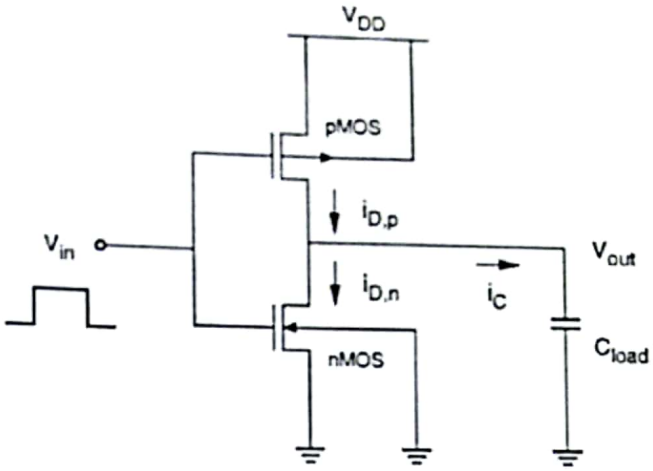
→ 5 delay unit

→ 6 delay unit (worst case)

Scanned with CamScanner

- نفوت عنا inPut اما بشتغل pMos وبشبك ال outPut
او بشتغل ال nMos وبفرغ ال outPut .

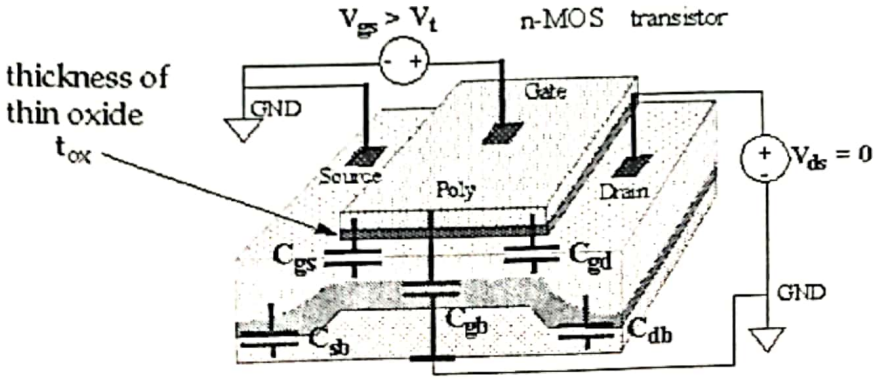




- بكون عنا كتير من ال Capacitor's على ال wire وال Transistor

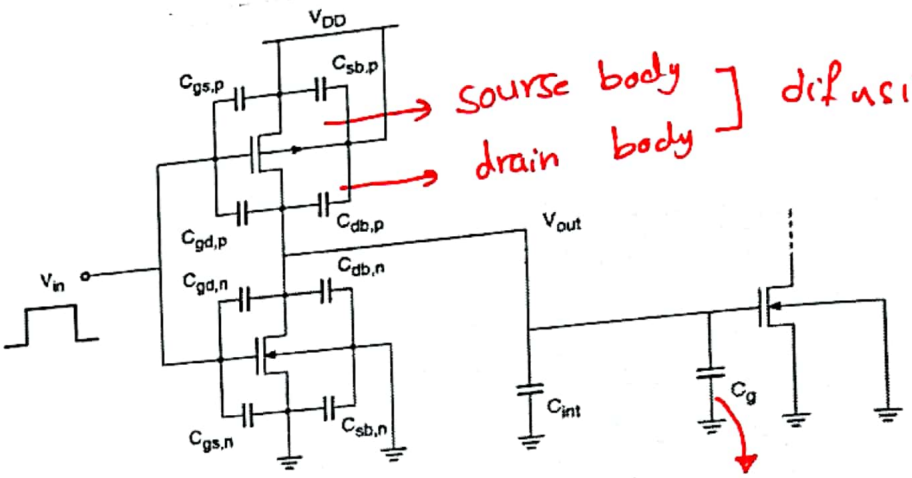
1. gate capacitor :- هي (C) موجودة بين ال gate وال body
ولازم استخدمهم

2. diffusion capacitor :-
هي (C) موجودة بين ال S ، D وال body
بعرفها بعين الاعتبار لحسابي ال delay .



Scanned with CamScanner

• Cload = _____



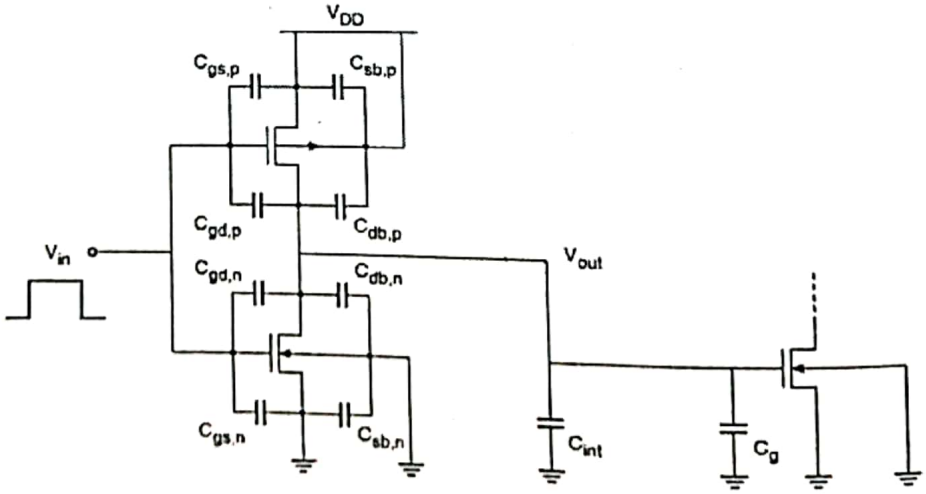
source body] diffusion capacitor
drain body

drive الـ gate اللي بسوقهم

* وظيفة الـ gate بشتغل الـ capacitor في الـ wire عشان اقدر احسب الـ delay.

اللي بتتأخرهم في الـ delay (بنوظفهم لصالح الانفيكر)

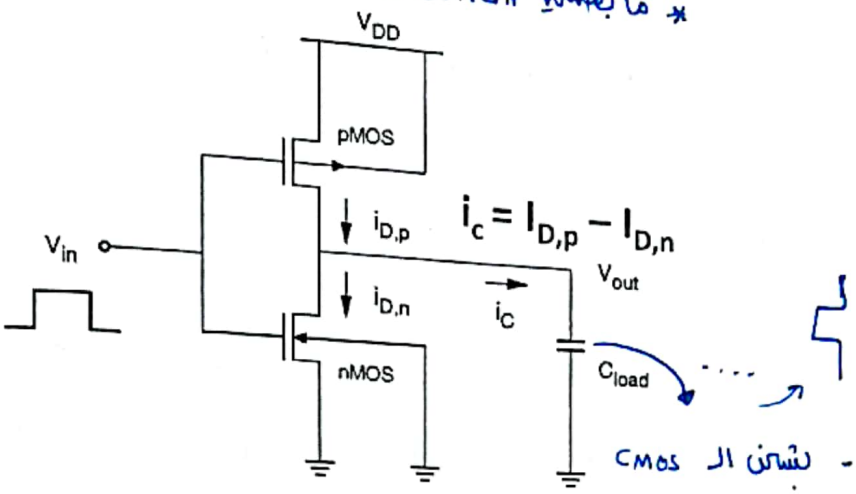
• Cload = $C_{load} = C_{gd,n} + C_{gd,p} + C_{db,n} + C_{db,p} + C_{int} + C_g$



Scanned with CamScanner

* الـ current اللي بيهمني هو اللي ماشي باتجاه الـ (C) وبعبي عليه
delay الـ

* ما بيهمني NMOS/PMOS current لأنه ممكن يكون منه ضايع



- بشحن الـ CMOS اللي بعدو واللي بعدو بشحن اللي بعدو وهكذا عن طريق تخزين الشحنات في Capacitor

* اول طريقة لقياس الـ delay -8

بوقف عالـ inPut signal وبشوف متى ح تشوي Transtion من 0 ← 1 أو 1 ← 0

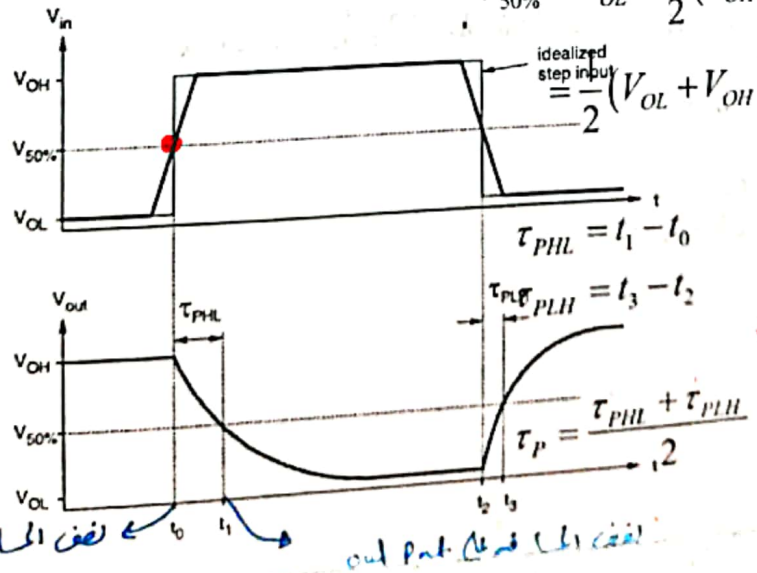
Delay-Time Definitions: Propagation Delays

* هو الوقت اللي بتتأخر فيه أول 50% من الـ Range أو نص الحالة بينهم

Copyright © The McGraw-Hill Companies, Inc. Permission required for reproduction or display.

$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH} - V_{OL})$$

$$= \frac{1}{2}(V_{OL} + V_{OH})$$



بستنى لحتى اصل نص الحالة بين V_{IH} و V_{IL} وبشغل الـ Timer وبابش أنه

inPut نص الحالة عالـ ← t_0 t_1 → نص الحالة عالـ out Put

الفرق بينهم هو الـ Propagation delay

Scanned with CamScanner

* ثاني طريقة لقياس الـ delay :-

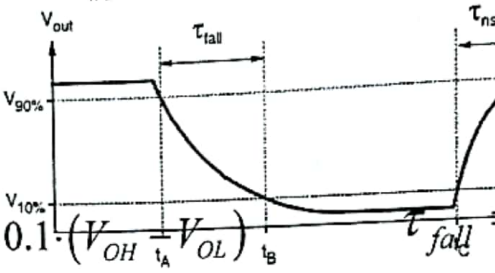
بنقسيه من بداية التغير بشغل الـ Timer وبطفيه عند الوصول الى نهاية التغير .

Delay-Time Definitions: Rise & Fall Times

1. Rise Time :- قديش الوقت للتغير من logic '0' الى logic '1'

2. Fall time :- قديش الوقت للتغير من logic '1' الى logic '0'

Copyright © The McGraw-Hill Companies, Inc. Permission required for reproduction or display.



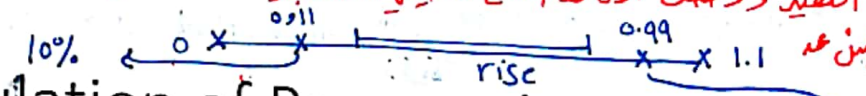
$$V_{10\%} = V_{OL} + 0.1\cdot(V_{OH} - V_{OL}) \qquad \tau_{fall} = t_B - t_A$$

$$V_{90\%} = V_{OL} + 0.9\cdot(V_{OH} - V_{OL}) \qquad \tau_{rise} = t_D - t_C$$

* أثناء عملية الـ Transtion الـ current ما بكون ثابت حيث انه بالبداية التغير بكون سريع

وبعدين بنلش يصير بطيء حتى يصل الى نهاية التغير والسبب هو انه التيار يعتمد على قيمة Vds وهو بالاول اعلى اشي وبنلش يقل تدريجي بالتالي التيار رح يقل ورح تنتقل من الـ SAT الى linear .

الكل هون انه ما في واحد بكون القياس من الصفر بالزبط وبنتهي عند آخر نقطة ؛ ماجرد ما بلش التغير وصلت اول نقطة رح تعطيني الطلوبة ضمن الـ range خلصنا عملنا اخذنا الي بدي اياه وبلش عد



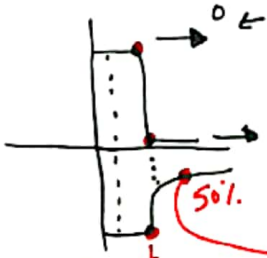
Calculation of Propagation Delay (AVG current method)

- Simplest method : estimating the average capacitance current

* اول ما بيدا بالتغير بشغل الـ Timer وبوقف لما يصير 50%.

(طردي) delay $\propto$ C

delay $\propto \frac{1}{I}$ (عكسي)



هون لسا ما تغير من 1 ← 0

هاي النقطة بتركز عليها عشان بلش التغير

عند هاي النقطة بكون :

$V_{in} = V_{OL}$

$V_{out} = V_{OL}$

هون

$V_{in} = V_{OL}$

$V_{out} = V_{50\%}$

رح نقيس تيار وهو اعلى تيار رح اشوفه معلش

Scanned with CamScanner

Calculation of Propagation Delay (AVG current method)

- Simplest method : estimating the average capacitance current

$$\tau_{PHL} = \frac{C_{load} \cdot \Delta V_{HL}}{I_{avg,HL}} = \frac{C_{load} \cdot (V_{OH} - V_{50\%})}{I_{avg,HL}}$$

$$\tau_{PLH} = \frac{C_{load} \cdot \Delta V_{LH}}{I_{avg,LH}} = \frac{C_{load} \cdot (V_{50\%} - V_{OL})}{I_{avg,LH}}$$

- كل ما زدت الـ W لـ NMOS بزداد التيار بالتالي بقدر اسرع

بدي اوخذها input بداية التغير
ومع بعضها تيا ←
$V_{in} = V_{OH}$
$V_{out} = V_{50\%}$

* هون نفس المبدأ -

خارج نوخذها لما بتغير من ٥ ← ١

Calculation of Propagation Delay (AVG current method)

- Simplest method : estimating the average capacitance current

$$\tau_{PHL} = \frac{C_{load} \cdot \Delta V_{HL}}{I_{avg,HL}} = \frac{C_{load} \cdot (V_{OH} - V_{50\%})}{I_{avg,HL}}$$

$$\tau_{PLH} = \frac{C_{load} \cdot \Delta V_{LH}}{I_{avg,LH}} = \frac{C_{load} \cdot (V_{50\%} - V_{OL})}{I_{avg,LH}}$$

- The average current

$$I_{avg,HL} = \frac{1}{2}\left[i_C(V_{in} = V_{OH}, V_{out} = V_{OH}) + i_C(V_{in} = V_{OH}, V_{out} = V_{50\%})\right]$$

$$I_{avg,LH} = \frac{1}{2}\left[i_C(V_{in} = V_{OL}, V_{out} = V_{50\%}) + i_C(V_{in} = V_{OL}, V_{out} = V_{OL})\right]$$

السبب انه اخذنا الـ $V_{in} = V_{OL}$
لأنه سطحيا هون بعضها تيا - (بداية التغير)
لما اخذناها V_{OH} رح يكون التيار صفر لأنها لسا ما تغيرت .

Scanned with CamScanner

Calculation of Rise and fall time (AVG current method)

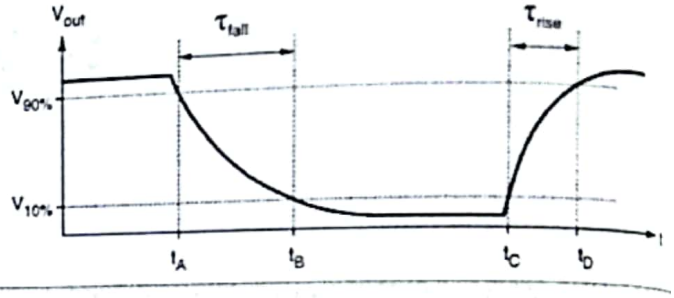
هذا الجهد اللي بدي اطلعه على الـ (C) $\Delta V = (V_{90} - V_{10})$

- $T_{rise} = t_D - tC = \frac{C_{load}(V_{90\%} - V_{10\%})}{I_{avg\,rise}}$

$I_{avg} = \frac{I_{10\%} + I_{90\%}}{2}$

بنشوف اليتا كيف النقطتين

- $I_{avg\,rise} = \frac{I_C + ID}{2}$
- $I_{avg\,rise} = \frac{I_{sdp}(Vin=VOL, Vout=V_{10\%}) + Isdp(Vin=VOL, Vout=V_{10\%})}{2}$



- كيف اجيب الـ $I_{10\%}$ ؟!
١. اول اشي نفرض على الـ $Vin = V_{OL} = 0$
٢. الـ NMOS طافي ، الـ PMOS شغال حيث $V_{gs} > V_{th}$
٣. نفرض على $Vout = V_{10\%} = 0.11$
٤. $Vgs - Vth > Vds \Rightarrow$ SAT
$-0.8 > -0.99$

٥. انا ما بعطيني $I_{10\%}$ هون صنيا الـ KCL فـ نسبوي NMOS/PMOS current
عشان اعرف قديش التيار الداخل على C ومتى طاير الحالة لأنه
بناسبي عن = PMOS current = Capacitor current فـ الـ NMOS current = 0
المعادلة لـ PMOS

٦. $Vin = V_{OL} = 0$ → صنيا $I_{90\%}$
$Vout = V_{90\%} = 0.99$
linear شغال PMOS - طافي NMOS
من المعادلة = PMOS.current هو C-current الـ

Example

- CMOS inverter with NMOS μC_{ox} = 20uA/V^2 , $(W/L)_n$ =10, $V_{t,n}$ =1V, C_{load} 1_{pF} and V_{DD}=5V

  - Calculate output fall time

الـ input تغير خلال (0-5) تقريباً

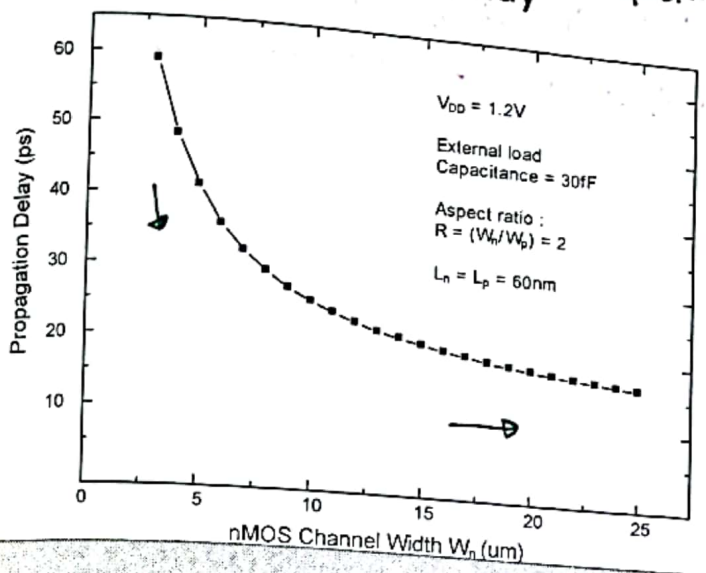
V_{OH} و V_{IH} ↓ ↓ Vin Vout

* لو بدي اجيب الـ Fall نفس الطريقة بس نفرض I_{90}/I_{10} ونناسب ، ونجمعهم ونقسمهم على 2 .

Scanned with CamScanner

Example 6.4 (2)

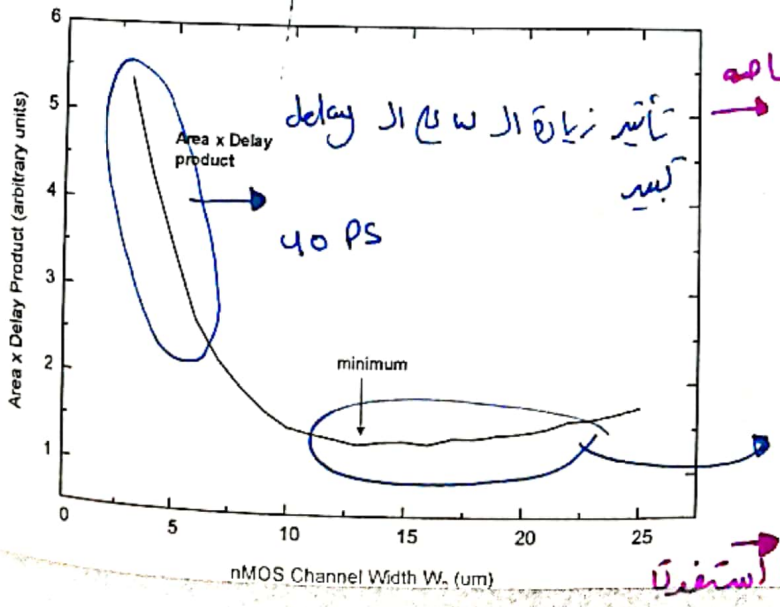
- The falling-output propagation delay Fall time



* هون كلما زدنا الـ W تقل الـ delay بس بالتالي رح تزداد الـ area هذا ما يصير لأنه احنا ماكبرة بالمساحة للـ chip.

Example 6.4 (3)

- The (Area x Delay) product



تأثير زيادة الـ W على الـ delay كبير

* هون الديلاي تقل والمساحة ماتأثر كتير

التأثير قليل 5 Ps

* هون المساحة تزيد أكتر والديلاي ماتأثر بالتالي ما أستفدنا

Scanned with CamScanner

Ring oscillator using for geneation a clock signal

- عدد ال inverter في ال circuit لازم يكون فردي .
- زيادة ال delay بسبب في الوصول الى "1" logic (Vdd) او "0" logic
وبكون عن طريق زيادة عدد ال inverter

Scanned with CamScanner

MOSFET Capacitor

شو الأشياء اللي تتأثر بال delay
وكيف استخدمها في الوصول الى نتائج مرضية
وبدي اياها للـ inverter

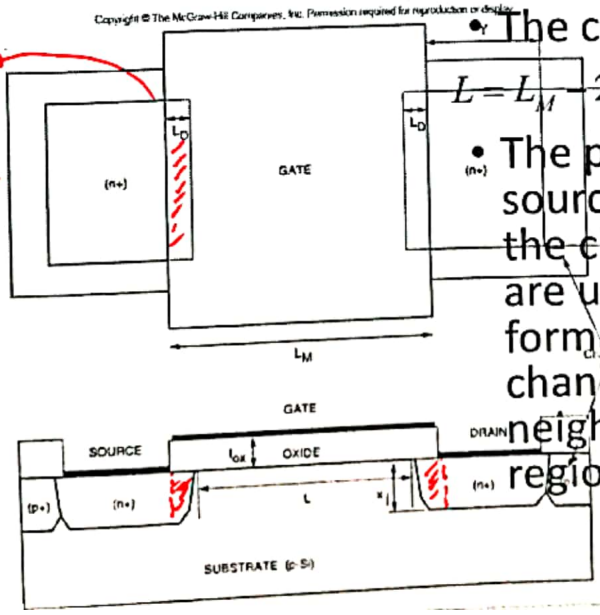
- The on-chip capacitance found in MOS circuit are in general complicated functions of the layout geometries and the manufacturing processes.
- We will develop simple approximations for the on-chip MOSFET capacitances.

* في حالة انه عملية الـ Fabrication ماكانت ideal
وامتدت الـ gate واخذت شوي من الـ Source والـ drain في هاي الحالة
لازم نضيف Cg للـ over lab capacitance

MOSFET Capacitor (2)

- over lab capacitance = $\frac{\varepsilon_{ox} W L_D}{t_{ox}}$
- حيث L_D هي (overlab length).

- نفس الـ W
- اذا في L (يعني overlab)
- اذا ماكان في L (ما في overlab)



- The channel length is given by

$$L = L_M - 2 \cdot L_D \quad (3.117)$$

- The p+ regions around the source and drain, namely the channel-stop implants, are used to prevent the formation of any unwanted channels between two neighboring n+ diffusion regions

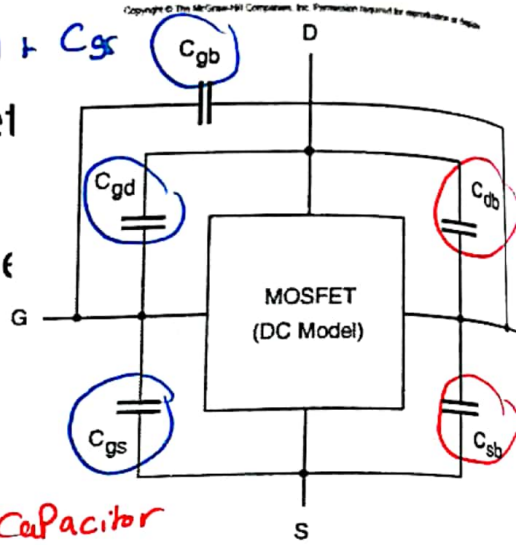
Scanned with CamScanner

MOSFET Capacitor (3)

gate capacitor
∴ الـ Cg يعطي

$c_g = C_{gb} + C_{gd} + C_{gs}$

- MOSFET parasitic capacitances are observed bet terminals.
- Most of the capacitances are distributed and the complex.
- Capacitances can be models as
  - ✓ Lumped
  - ✓ distributed
- Parasitic device capacitances can be classified into two major group
  - Oxide-related capacitance — gate capacitor
  - Junction capacitance — Pn-Junction (diffusion)



diffusion capacitor

Parallel plate capacitance ⇒ dimentions of transistor

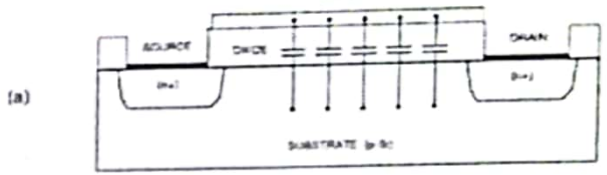
$$\frac{\varepsilon_{ox} A}{d} \Rightarrow \frac{\varepsilon_{ox} WL}{t_{ox}} = C_g \text{ (For gate)}$$

Scanned with CamScanner

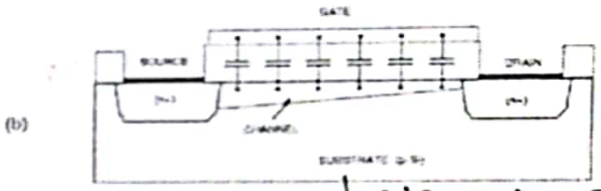
Oxide-related Capacitances (2)

- Capacitances which result from the interaction between the gate voltage and the channel charge.
  - C_{gs} ,C_{gd} ,C_{gb} قيمهم تعتمد على الـ mode of operations

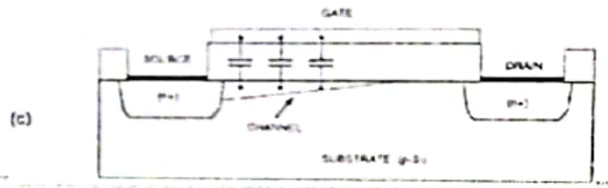
Copyright © The McGraw-Hill Companies, Inc. Permission required for reproduction or display.



(Cut off)
الـ C بين الـ gate والـ body



(linear)
الـ C رح تكون بين الـ gate والـ Source و بين الـ gate والـ drain



(Saturation)
رح تكون فقط بين الـ gate والـ Source

Scanned with CamScanner

mode of operation في ال Cg حكينا بعيد عن ال

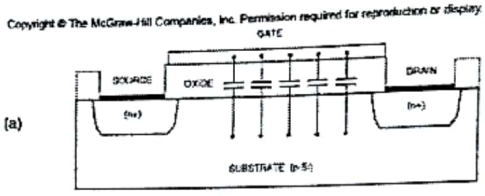
$C_g = C_{gs} + C_{gd} + C_{gb}$

Oxide-related Capacitances (2)

- Cut-off mode
  - The surface is not inverted.
  - No conducting channel between source and drain
    - $C_{gs} = C_{gd} = 0$
  - The gate-to-substrate capacitance can be approximated by (3.120)

$$C_{gb} = C_{ox} \cdot W \cdot L = \frac{\varepsilon_{ox} WL}{t_{ox}}$$

No channel ما في
Cgs/Cgd بالتالي صفر

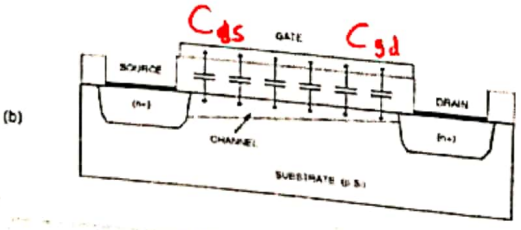


Oxide-related Capacitances (2)

هكون ما في بين ال gate/body

- Linear mode
  - The inverted channel extends across the MOSFET.
  - Conducting inversion layer shields the substrate from the gate electric field:
  - $C_{gb} = 0$
  - The distributed gate-to-channel capacitance (equal S,D)

$$C_{gs} \approx C_{gd} \cong \frac{1}{2} \cdot C_{ox} \cdot W \cdot L$$



Scanned with CamScanner

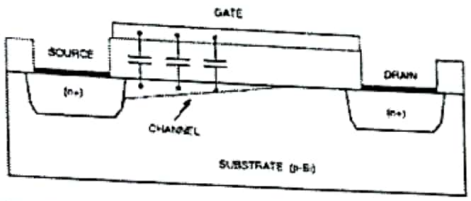
Oxide-related Capacitances (3)

- Saturation mode
  - The inversion region is pinched off.
  - The gate-to-drain capacitance component is equal to zero
    - $C_{gd} = 0$
  - Source still linked to the conducting channel.
    - Shielding effect still remain : $C_{gb} = 0$
  - The distributed gate-to-channel capacitance as seen between the gate and the source can be approximated by

$$C_{gs} \cong \frac{2}{3} \cdot C_{ox} \cdot W \cdot L$$

drain حامي لامتداد للسعات من طرف ال

(c)



cutoff :- $C_g = C_{gb} + C_{gso} + C_{gdo}$

if overlab

Oxide-related Capacitances (4)

if overlab

Capacitance	Cut-off	Linear	Saturation
C_{gb} (total)	$C_{ox}WL$	0	0
C_{gd} (total)	0 / $C_{ox}WL_D$	$1/2C_{ox}WL + C_{ox}WL_D$	$C_{ox}WL_D$
C_{gs} (total)	0 / $C_{ox}WL_D$	$1/2C_{ox}WL + C_{ox}WL_D$	$2/3C_{ox}WL + C_{ox}WL_D$

- We have to combine the distributed C_{gs} and C_{gd} values found here with the relevant overlap capacitance values, in order to calculate the total capacitance between the external device terminals.

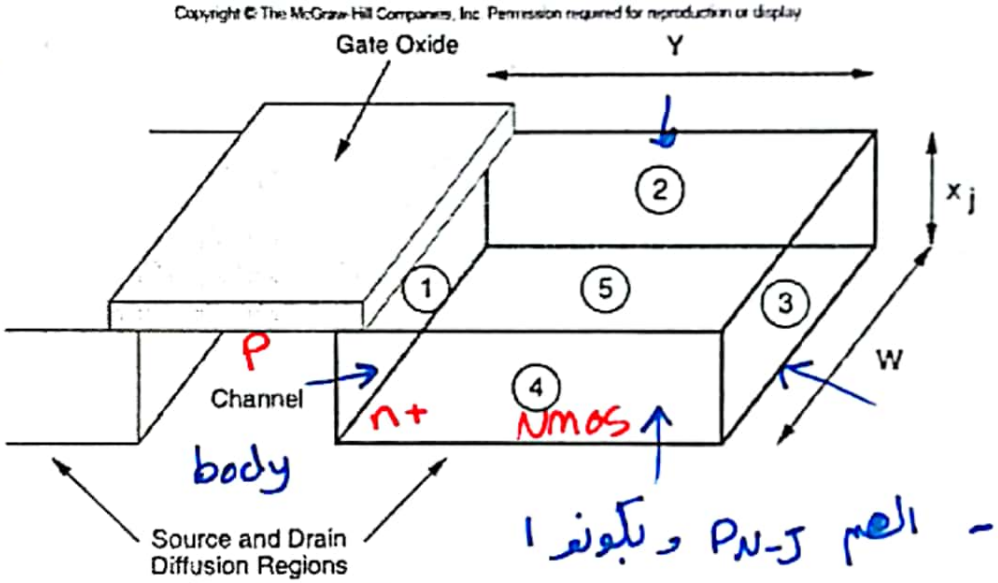
Scanned with CamScanner

Junction Capacitances (1)

- Consider the voltage-dependent source-substrate and drain-substra junction capacitances : C_{sb} , C_{db}

Capacitor's ال
تعتمد على ال
dopping level
PN-ج لل

Copyright © The McGraw-Hill Companies, Inc. Permission required for reproduction or display.



Junction	Area	Type
1	$W \cdot x_j$	n+/p
2	$Y \cdot x_j$	n+/p+
3	$W \cdot x_j$	n+/p+
4	$Y \cdot x_j$	n+/p+
5	$W \cdot Y$	n+/p

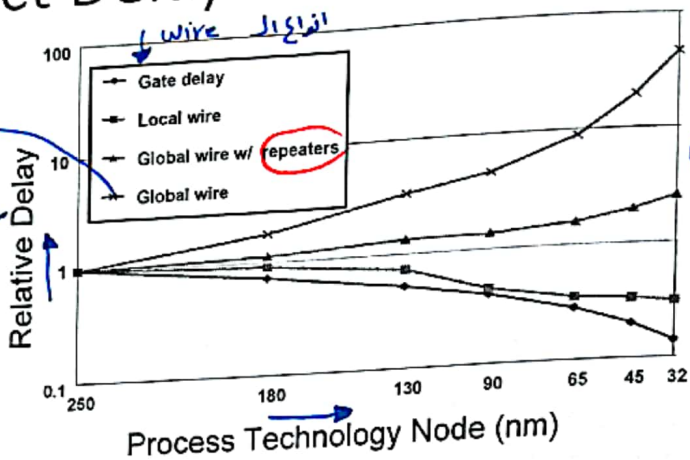
- العم PN-ج و بكونو ا
Capacitance العم بالباي reverse biased

Scanned with CamScanner

-: Scalling for technology (*
Transistor ا. بيصغر ال
(تصغير) wire ب. بيقرب ال
حيث

R بالتالي تزداد area بقل ال ← Scalling زيادة ال
delay وتزداد ال ← $R = \frac{\rho L}{A}$ (area) (*

Interconnect Delay



wire انقاص ال

Scalling زيادة ال
delay ال
(صغير) وتقصان

الـ cros section الهم كبيره لأنهم بنتعاملوا مع مسافات طويله.

سرعة ال Trans مع ال scalling

- Dealing with the implications and optimizing a system for speed
  - Estimating the interconnect parasitics in a large chip
  - Simulating the transient effects.

(*) هنا الـ repeaters :- هي (inverter) تباعه على المسافة على فرع ال input وتبدله لوضعه الطبيعي في حال تأثر خلال الطريق في الوصل لل out put وتغير عن طبيعته (تبعطيني Fresh Signal)

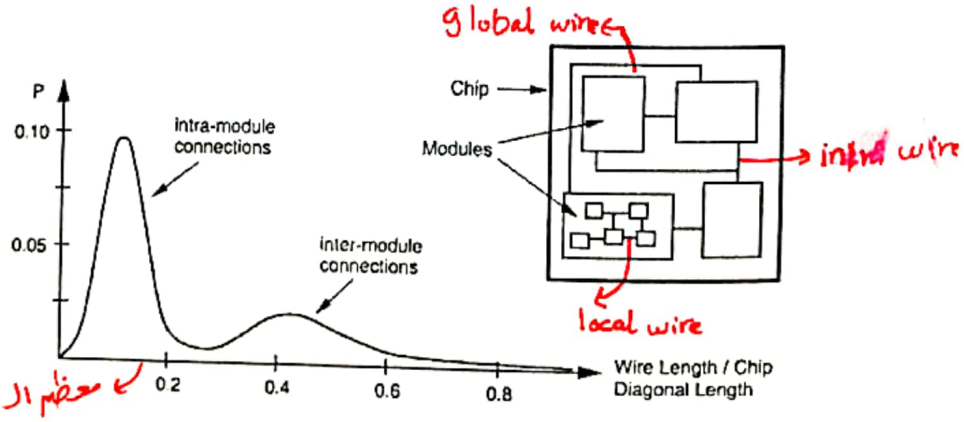
* الـ local wire :- بتشبكوا بين ال gate في ال module
اذا صغرنا ال cros section تزداد ال R وتزداد ال delay
بس اذا قصرنا الطول رح تقل ال R وتقل ال delay

* الـ global wire :- بتشبكوا بين ال main blocks وفي عملية ال Scalling تزداد عدد ال block في ال chip
بس طول ال wire بقل ثابت بس تصغير ال cros section بزيد ال R بالتالي ال delay تزداد.

Statistical distribution

- توزيع ال wire في ال chip

- Statistical distribution of interconnection length on a typical chip



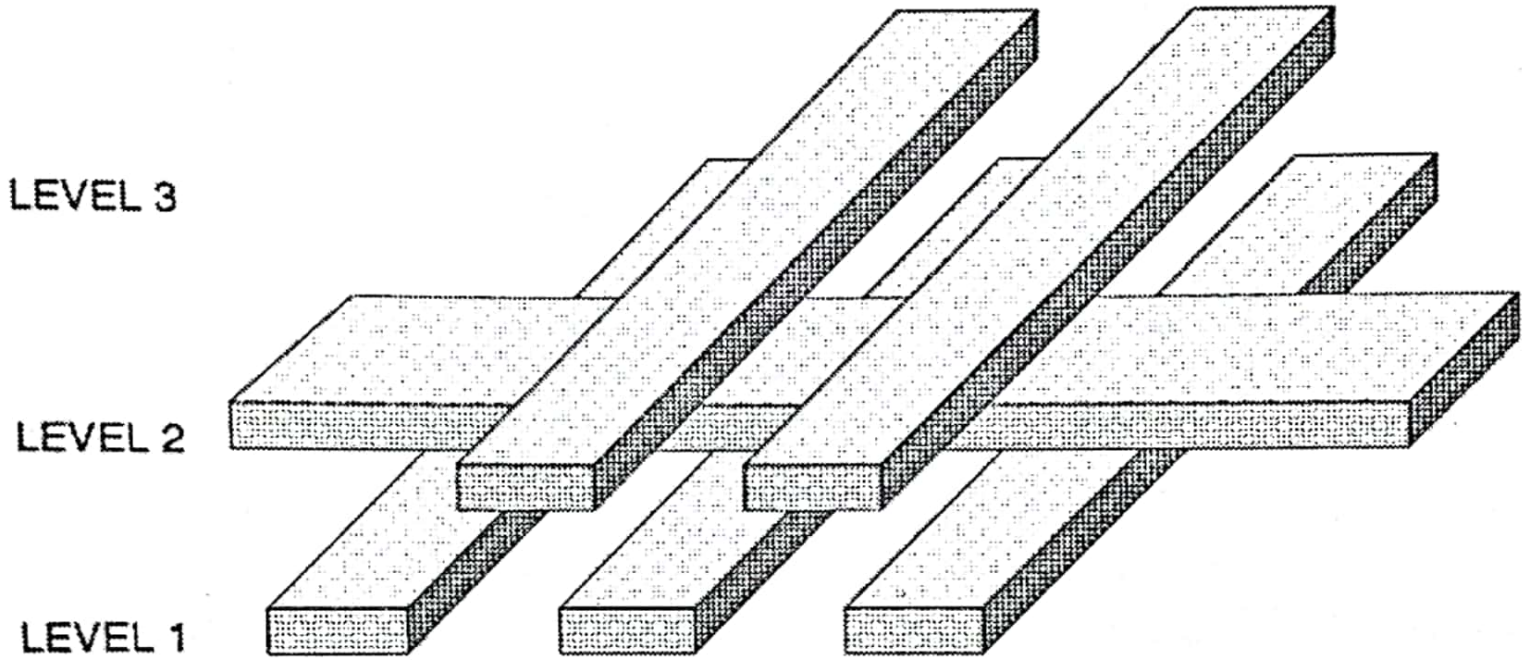
معظم ال wire طولها أقل من 0.2 ←

Scanned with CamScanner

الهدف منه حساب الـ delay

Interconnect Capacitance Estimation (1)

- A simplified view of six interconnections on three different levels



هذا التقسيم بمنع التداخل بين الـ signals

Scanned with CamScanner

Thickness value of different layers

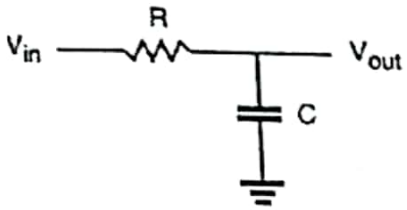
Field oxide thickness	3µm	
Gate oxide thickness	2.6nm	
Polysilicon thickness	1µm	(minimum width 0.06µm)
Poly-metal oxide thickness	1.1µm	
Metal 1 thickness	1.8µm	(minimum width 0.09µm)
Metal 2~7 thickness	2.2µm	(minimum width 0.1µm)
Metal 8~9 thickness	9µm	(minimum width 0.4µm)
Via oxide thickness (PO-M1)	1.75µm	
Via oxide thickness (M1-M6)	2.2µm	
Via oxide thickness (M6-M9)	9µm	
n^+ junction depth	23nm	
p^+ junction depth	28nm	
n-well junction depth	3µm	

عشان نقلل R نبدء
المقطع العرضي للسلك (A)
بالتالي بتقل ال delay

Scanned with CamScanner

RC Delay Models

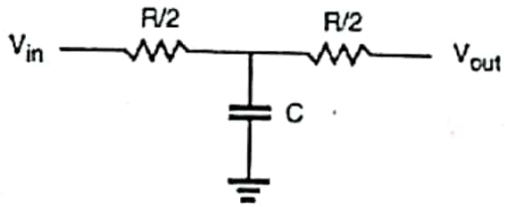
- Simple lumped RC model & T-model



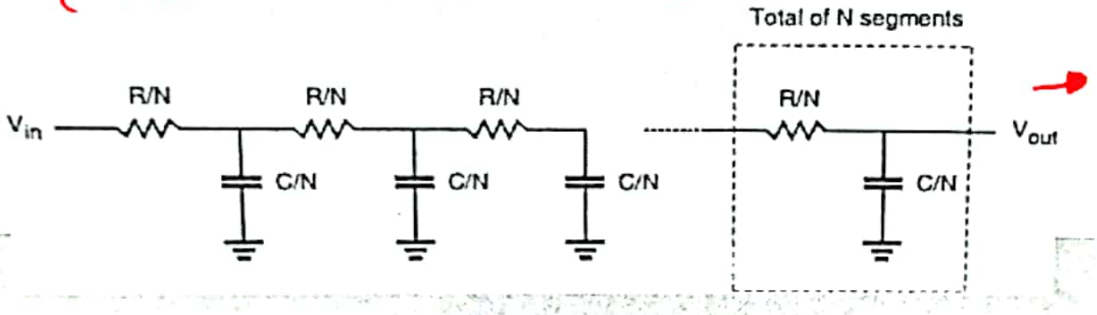
$$V_{out}(t) = V_{DD}\left(1 - exp\left(-\frac{t}{RC}\right)\right)$$

$$V_{50\%} = V_{DD}\left(1 - exp\left(-\frac{\tau_{PLH}}{RC}\right)\right)$$

$$\tau_{PLH} \approx 0.69RC$$

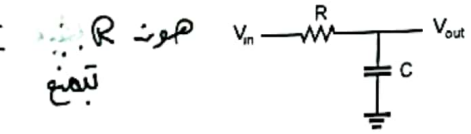


- Distributed RC ladder network model

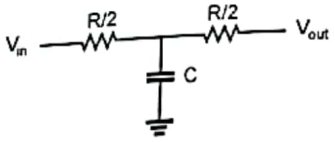


Scanned with CamScanner

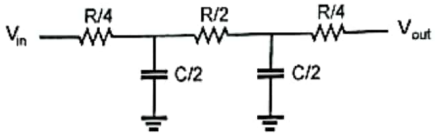
Various RC Models



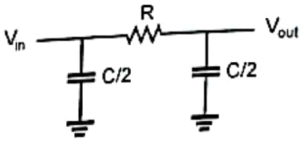
(a) lumped RC model



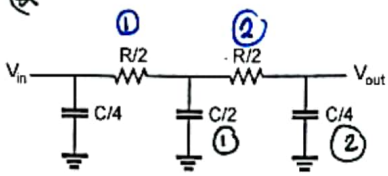
(b) T-model



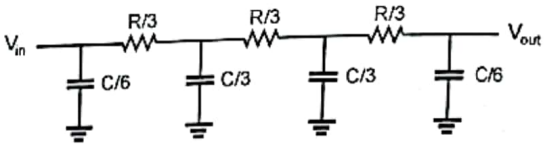
(c) T2-model



(d) π-model



(e) π2-model



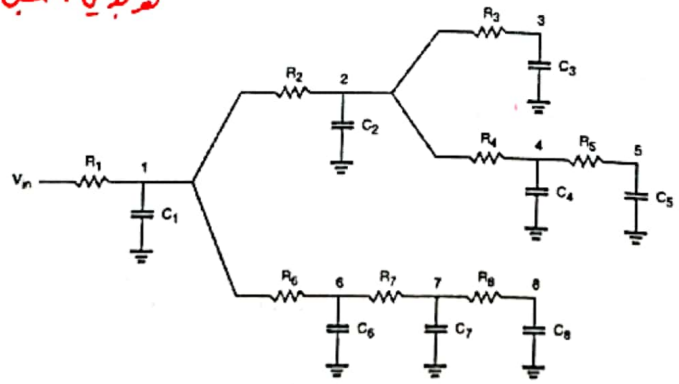
(f) π3-model

44

Elmore delay from V_{in} to C_5 :-

$= R_1(\Sigma C_1 \to C_8) + R_2 * (\Sigma C_2 \to C_5) + R_4(C_4 + C_5) + R_5 C_5$

The Elmore Delay (1)



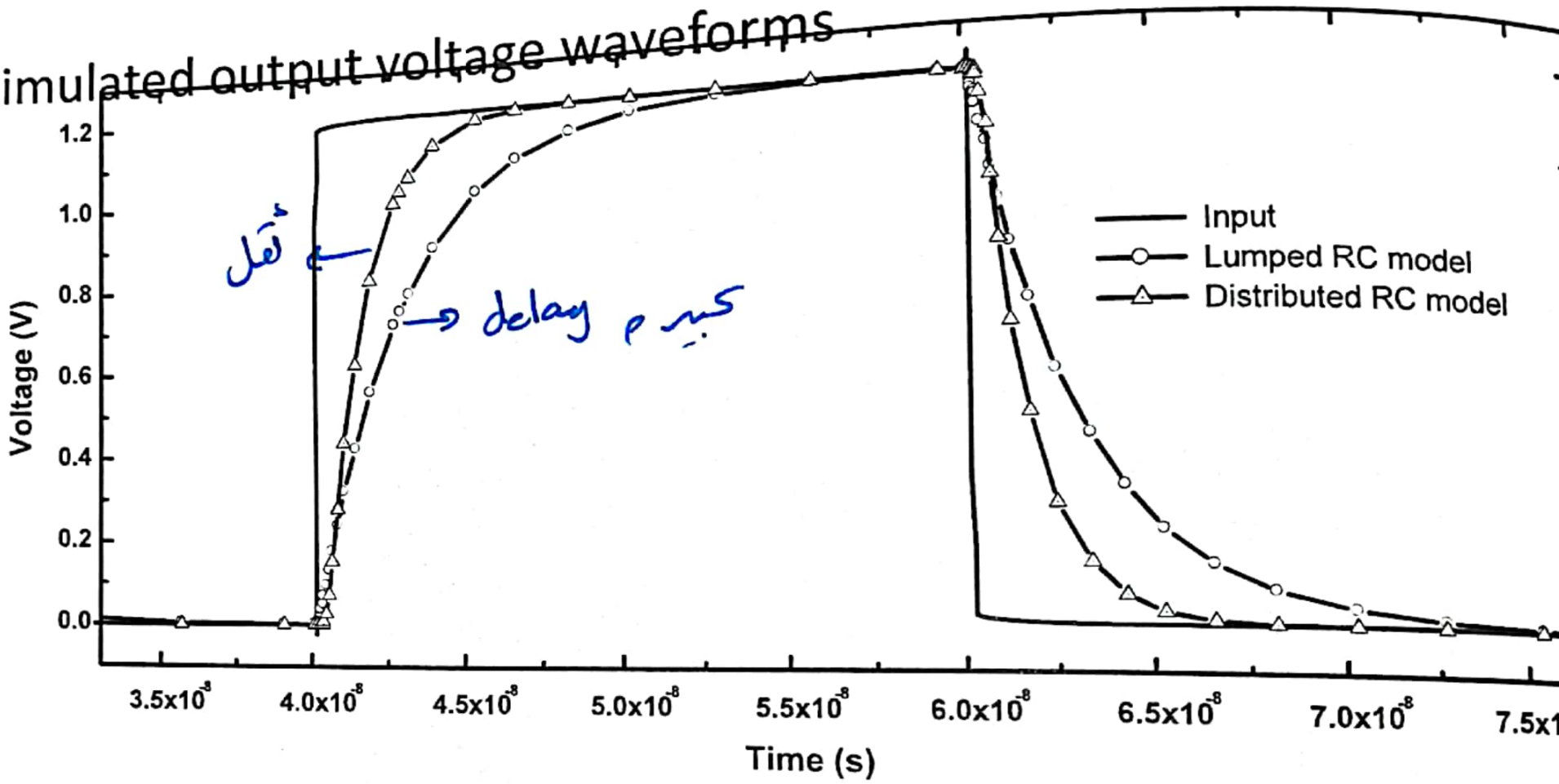
$$\tau_{Di} = \sum_{j=1}^{N} C_j \sum_{\substack{for\ all \\ k \in P_{ij}}} R_k$$

- The general topology of the RC tree network
  - Let *Pi* denote the unique path from the input node to node *i*, *i* = 1, 2, 3, ..., N.
  - Let *Pij* = *Pi* « *Pj* denote the portion of the path between the input and the node *i*, which is *common* to the path between the input and node *j*.

Scanned with CamScanner

Example 6.5 (2)

- The simulated output voltage waveforms



Scanned with CamScanner

Combinational Logic

Dr.Mohammad Abdel-Majeed

Assistant Professor

University of Jordan

Scanned with CamScanner

نبدأ الـ CMOS transistor من Combinational logic

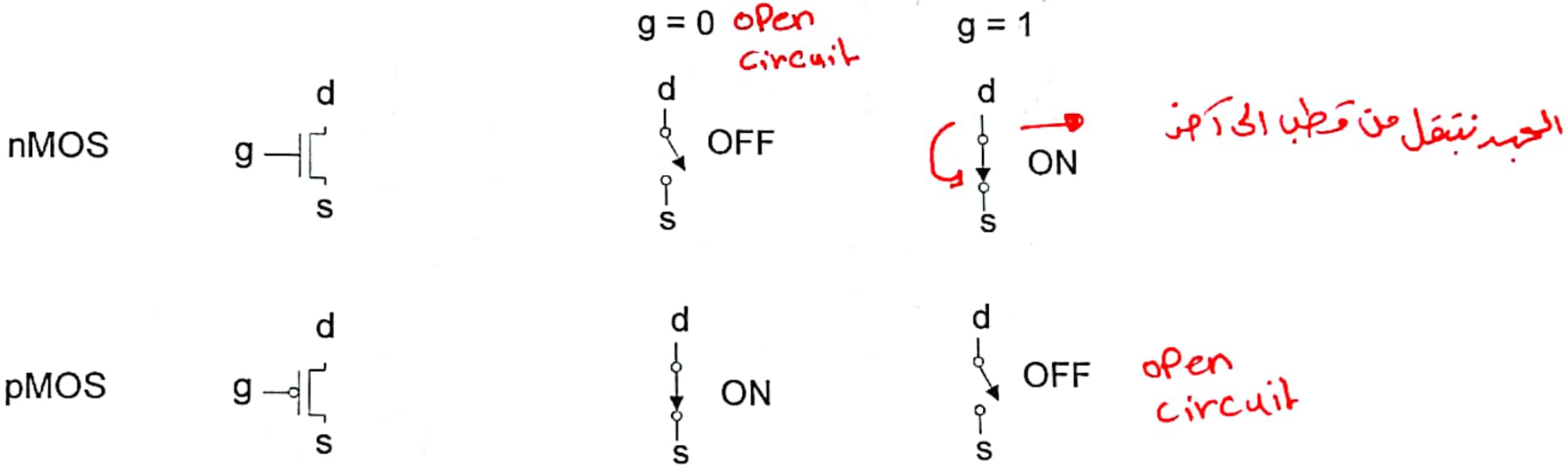
١. الـ Pmos ← load

٢. الـ Nmos ← driver

٣. ما بهمني الـ mode of operation تقدر اهميتها هل الـ Switch on / off

Transistors as Switches

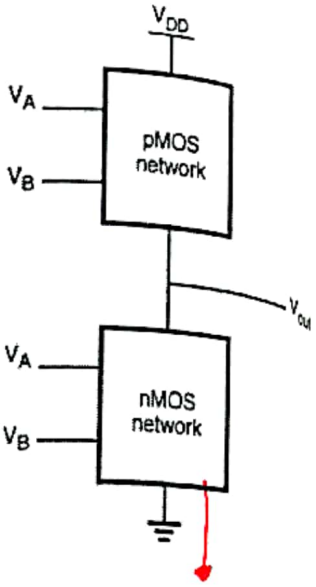
- We can view MOS transistors as electrically controlled switches
- Voltage at gate controls path from source to drain



Scanned with CamScanner

CMOS Circuits

- For the gate to output a '1'
  - Some path of PMOS transistors from VDD to outp on
  - We call the PMOS transistors the Pull-Up Netwo
- For the gate to output a '0
  - Some path of NMOS transistors from GND to ou on
  - We call the NMOS transistors the Pull-Down Net

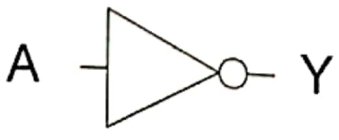


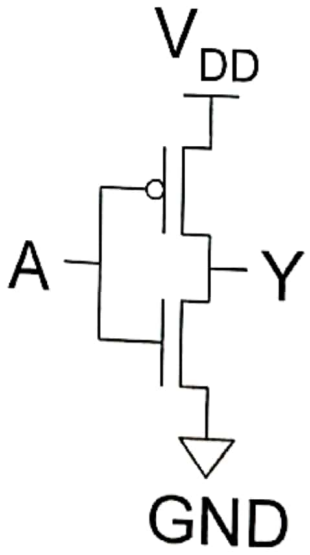
تسحب الـ output الى (Zero).

(*) اي input combination لازم واحد من الـ Transistor يشتغل وواحد يطفي.
* اثنين يشتغلوا لأ.
* اثنين يطفوا لأ.

CMOS Inverter

A	Y.way	Y
0	pull up	1
1	pull down	0





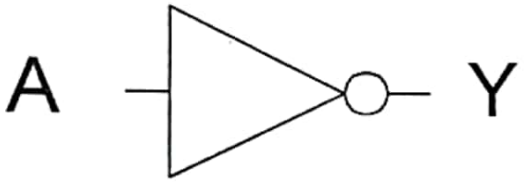
Scanned with CamScanner

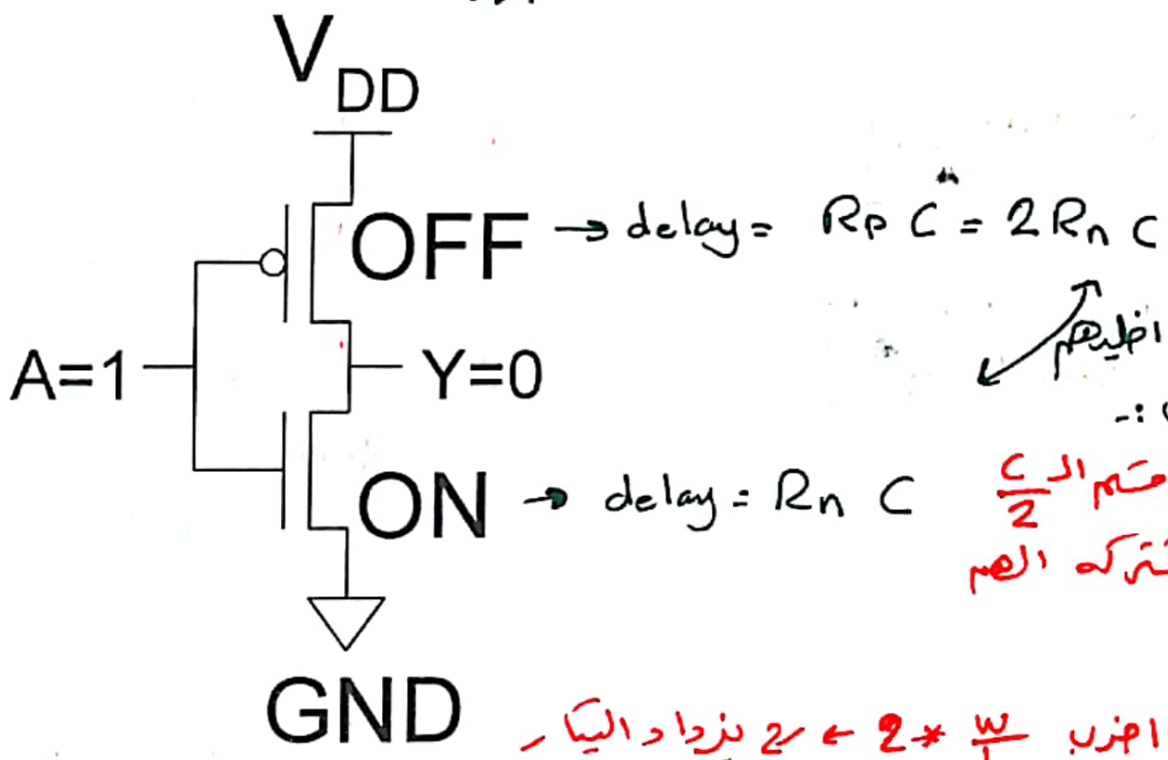
CMOS Inverter

$\mu_n = 2\mu_p$

$$\frac{\mu_n * R_n}{\mu_p} = \frac{\mu_p * R_p}{\mu_p} \Rightarrow R_p = 2R_n$$

A	Y
0	
1	0





OFF → delay = $R_p C = 2R_n C$

ON → delay = $R_n C$

عشان اخليهم
زي بعض :-

١. ما تقبر احسم الـ $\frac{C}{2}$ لأنها مشتركة الهم اثنين .

٢. الكل اضرب $\frac{W}{L} * 2$ ← رح يزداد اليا ، بالتالي رح تقل الـ R للنص وهيك بتروح الـ $\frac{1}{2}$ وليصيروا متل بعض

Scanned with CamScanner

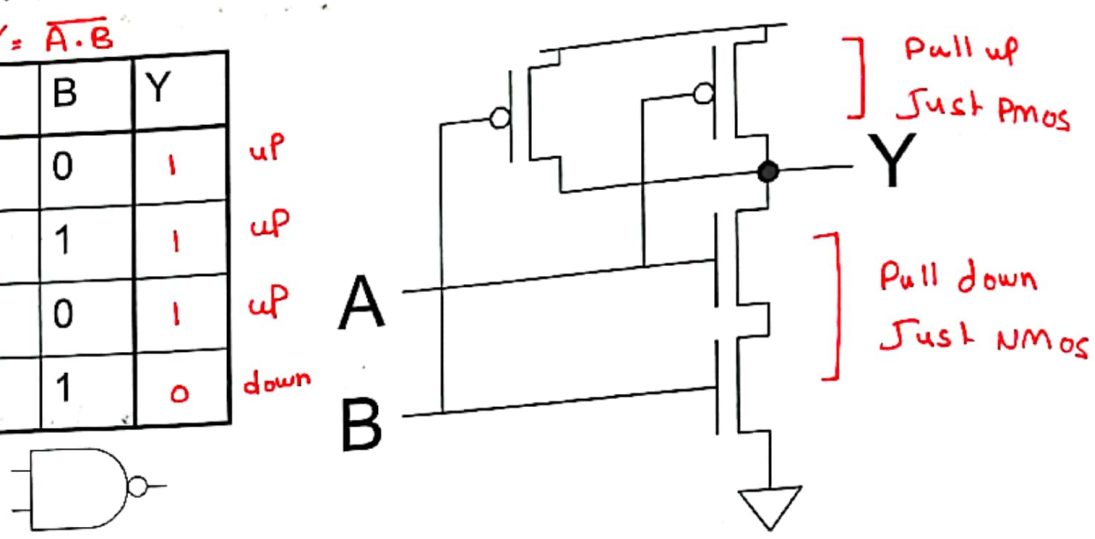
CMOS NAND Gate

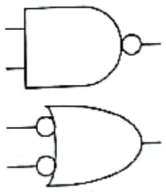
$Y = \overline{A.B}$

A	B	Y	
0	0	1	up
0	1	1	up
1	0	1	up
1	1	0	down

Vdd الـ Path اللي من ال

Path تبوصل ما بين ال ground





- حتى تصميم الـ Nand نبنسى الـ (Par) الشها أيه ونركز ع المحتوى الداخلي

- حتى الـ Pull down :-

* اذا كانت العلاقة بين الـ 2 input هي (and) معناها الـ Transistor لازم يكونوا مصممين توالي (Series)

* اذا كانت العلاقة بين الـ 2 input هي (or) معناها الـ Transistor لازم يكونوا مصممين توازي (Parallel)

اول اشي نبادر ← ولازم يكونوا الثنين (ON) عشان يتحقق الشرط

- حتى الـ Pull up :-

- الـ Pmos بتوخذ نفس العملية حتى الـ Nmos وبتكون لها، بعض

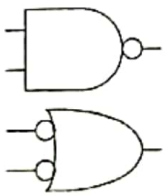
- الـ and تتعبر (or) ← بالتالي توازي

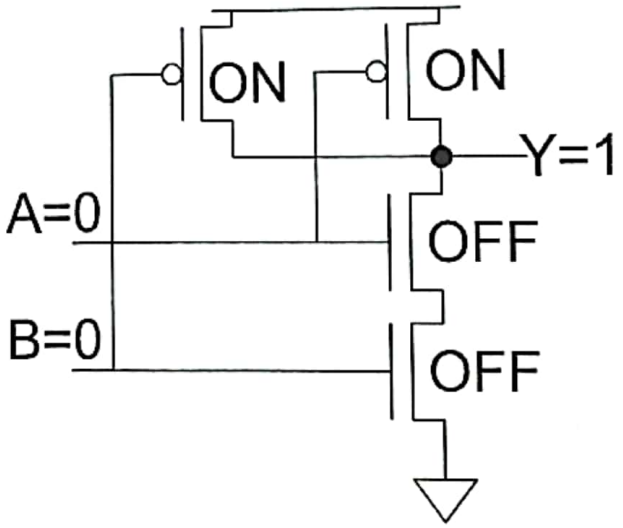
- الـ (or) تتعبر (and) ← بالتالي توالي

ثاني اشي نبادر ← واحد منهم (on) عادي

CMOS NAND Gate

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0





Scanned with CamScanner

delay هنا لبدي احسب :-

- مثلاً اول حالة 00
١. الـ driver رح يكونوا off
٢. الـ load رح يكونوا on
٣. رح نتكولهم 2-resistanel

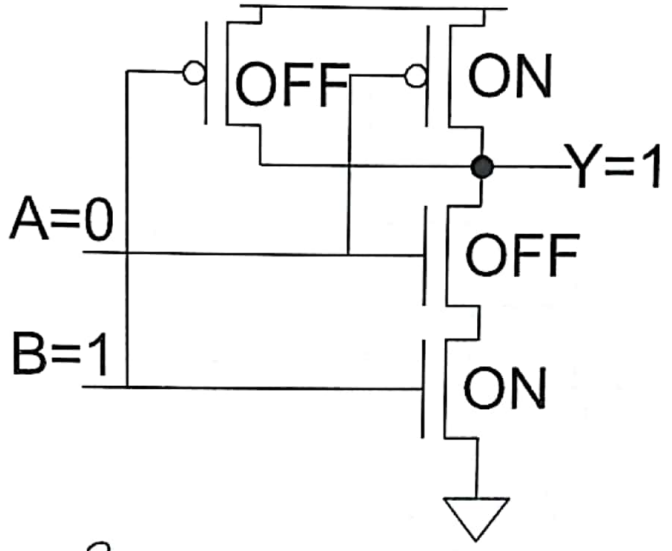
$delay = R_{eq} * C_{eq}$

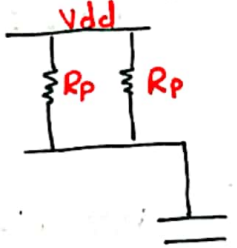
CMOS NAND Gate

A	B	Y
0	0	$\frac{R_p}{2} * C_L$
0	1	$R_p.C_L$
1	0	$R_p.C_L$
1	1	$2R_n * C_L$

worst case rise Time

worst case Fall time





$\frac{R_P}{R_n} = \frac{\mu_n}{\mu_p}$, $\mu_n = 2\mu_p \Rightarrow \frac{R_P}{R_n} = 2 \Rightarrow R_P = 2R_n$

9

بالتالي الـ worst case rise time هو نتيجة جمع الكابتين ← $2R_nC_L$

وهو نفسه الـ worst case fall time

$2R_nC_L$

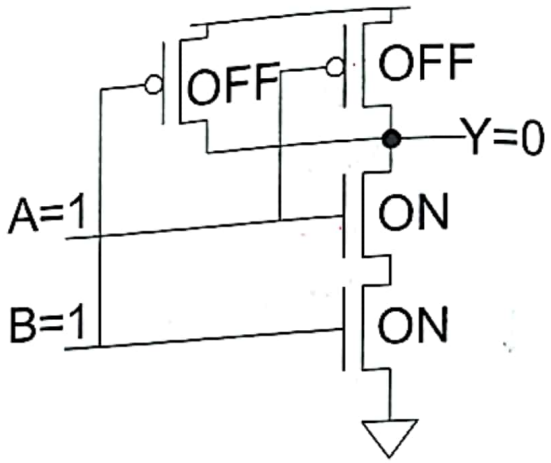
Scanned with CamScanner

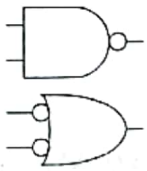
* لما يكونوا عندي الـ input :- 11 واجبي اجيبها لـ 10/01 الـ delay
تبقوا اكبر من لما اجيبها لـ 00

CMOS NAND Gate

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

← هاي اسرع من اللي تاخدها لأنهم الشين سفالين وبصبوا في الـ capacitor





11

* في حالة كانت المعادلة معقدة وطلب منك بشكل طريقة الـ 'dual' :-

let $F = A + B$ حيث

$dual(F) = A \cdot B$ ← تحول العامل بينهم

$Y = \overline{A+B}$

CMOS NOR Gate

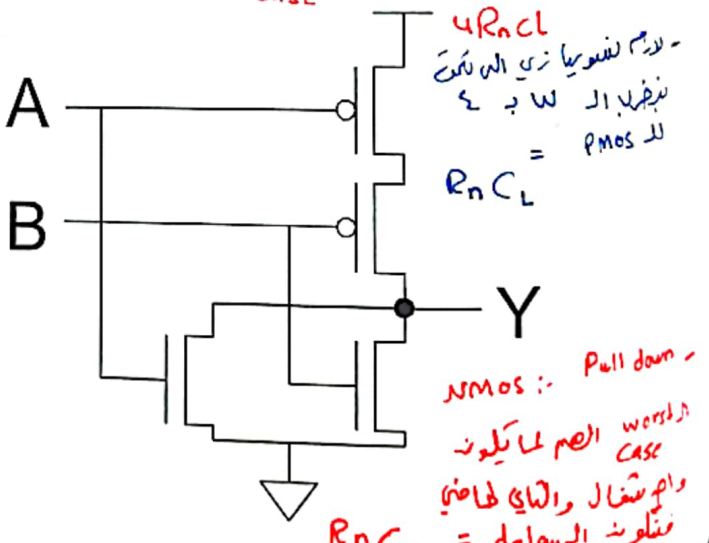
$\frac{R_p}{4} \leftarrow R_p$ تبقى $\mu_n = 2\mu_p$, $R_p = 2R_n$

pmos : Pull up

worst case ← delay = $2R_pC_L$

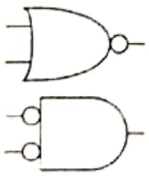
A	B	Y	
0	0	1	up
0	1	0	down
1	0	0	down
1	1	0	down

Bars for Path الهم



- لازم نتعويضيا زي اللي كنت نبظرب الـ W بـ 4 للـ pmos

NMOS :- Pull down - worst case الهم لما يكونوا واحد شغال والباقي قاعدين بتكون الـ delay = R_nC_L



* ملاحظة :- لما يجي نرسم الـ Par الخارجية تكون موجودة اوتوماتيكي ← Nor / Nand هيك or / and

فأنا بتركز على العامل الداخلي (and/or) ، يعني انا فعليا ما بقدر اعمل (inv) وهيك تكون او هيك بسيطة ، لأنه لو بدي اياها بصير Nand/Nor وبدخل الـ output الهم على

Scanned with CamScanner

$F = \overline{(AB + C)}$

$Dual(F) = (A+B).C$ ← لـ ظلّيناها

هاي غلط AB+C

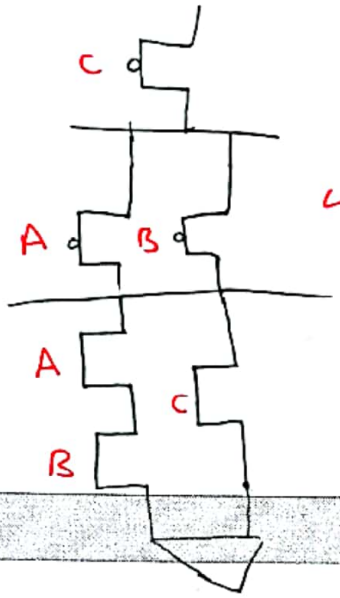
رح تغيير الاجابة والتسلسل متل لبنا،

* شرط الـ dual انه تسلسل العلطات يضل زي ما هو

3-input NAND Gate

- Y pulls low if ALL inputs are 1
- Y pulls high if ANY input is 0

الـ Par اكا رفيه موجود لحتى التعليم



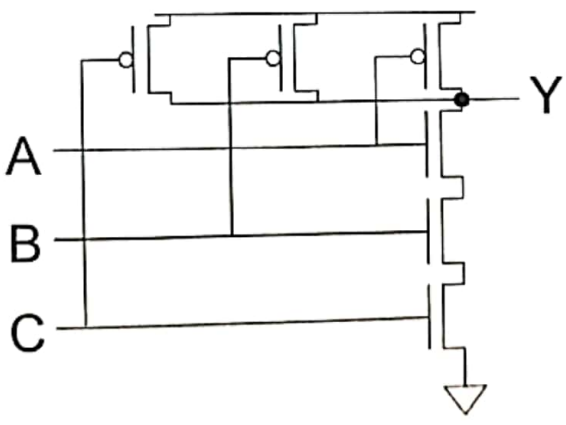
هاي صح

$F = \overline{A \cdot B \cdot C}$ → Nmos (Pull down)

$dual(f) = \overline{A + B + C}$ → Pmos (Pull up)

3-input NAND Gate

- Y pulls low if ALL inputs are 1
- Y pulls high if ANY input is 0



- نبوظ الـ Function الداخلي وبنهمه والـ Par اكا رفيه موجود اوتوماتيكي

Scanned with CamScanner

* لو جينا NMOS trans و طلبت الهم نفس الـ PMOS trans الـ $\frac{W}{L}$ / V_{ds} / V_{th} / V_{gs}

هل التيار الهم متساوي ؟!

لأ ، لأنه الـ Mobility الهم مختلفة حيث الـ $\mu_n > \mu_p$

بالتالي حتى حالة الـ CMOS حيث الـ $\mu_n \neq 2\mu_p$

هون رح يكون التيار اللي بمشي حتى NMOS هو ضعف التيار اللي بمشي حتى PMOS

NMOS لما يكون (ON) ← PMOS لما يكون (ON)

وهيك نتوقع انه الـ Fall أقل من الـ Rise

$\frac{64\ nm}{32\ nm} = \frac{4\ \lambda}{2\ \lambda}$ ← اللي يكون الـ dimintions حقه نسميه (unit size transistor) .

Rn :- resistance of the unit size NMOS .

Rp :- resistance of the unit size PMOS.

* اي Transistor يكون (ON) رح اعطيه بالـ resistance عشان اعبي الـ Capacitor واحسب الـ delay

حيث الـ $delay = R_{eq} * C_{eq}$.

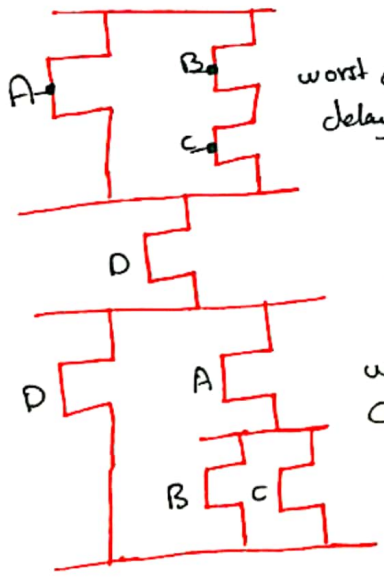
وبالتالي اي وقت بدي بدي إياها من الـ Transistor حسب نوع الـ Rn/Rp

---

Slide 22 :-

$A = \overline{D + A \cdot (B+C)}$

$Dual(A) = D \cdot (A + (B \cdot C))$



worst case delay = $3R_p C_L$

* لو بدي الجهتين يكونوا $2R_n C_L$

worst case delay = $2R_n C_L$

$\mu_n = 2\mu_p$

* بدي اسوي الـ delay PMOS نفس الـ delay NMOS

افرض انه بالـ PMOS ضربت الـ W لـ S بـ Blcld

رح تصير عندي الـ $R_p = \frac{R_p}{5}$

$\frac{R_p}{5} + \frac{R_p}{5} + \frac{R_p}{5} = 2R_n$

$\frac{3R_p}{5} = 2R_n$ ← تعويض في R_p بـ $2R_n$

$\frac{6R_n}{5} = 2R_n$

$S = 3$ ← تعويض في معادلة

$R_p = 2R_n$

تبعيد الـ delay للـ PMOS

$6R_n C_L$

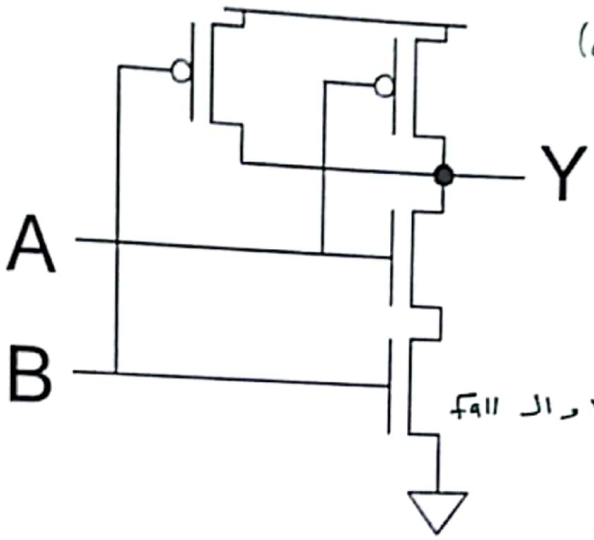
هساهدوه نجرب الـ W لـ Blcld بـ 3 ← تنقل الـ R للثلث

تبعيد $2R_n C_L$

Note :- الـ delay للـ Fall والـ Rise لازم تكون متساوية

Scanned with CamScanner

NAND capacitance

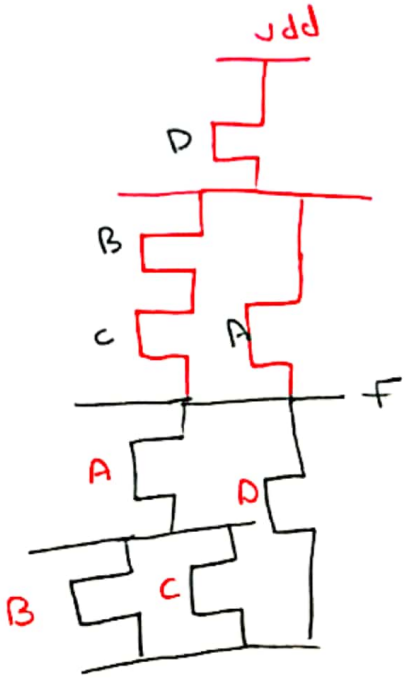


في حال انا بدي ازيد على الـ Output
CMOS inverter
عشان تمثل او مثل لـ (and)
او (OR) ..
لازم يكون الـ delay مستقل
عن الـ NAND او الـ NOR
هي ضروري يكونوا نفس الشيء
المهم يكون الـ delay للـ rise و الـ fall
متساويه

Complex Gates

- $A = \overline{D + A.(B + C)}$

Dual(A): $D.(A + (B.C))$



Scanned with CamScanner

Layout, Fabrication, and Elementary Logic Design

Dr.Mohammad Abdel-Majeed

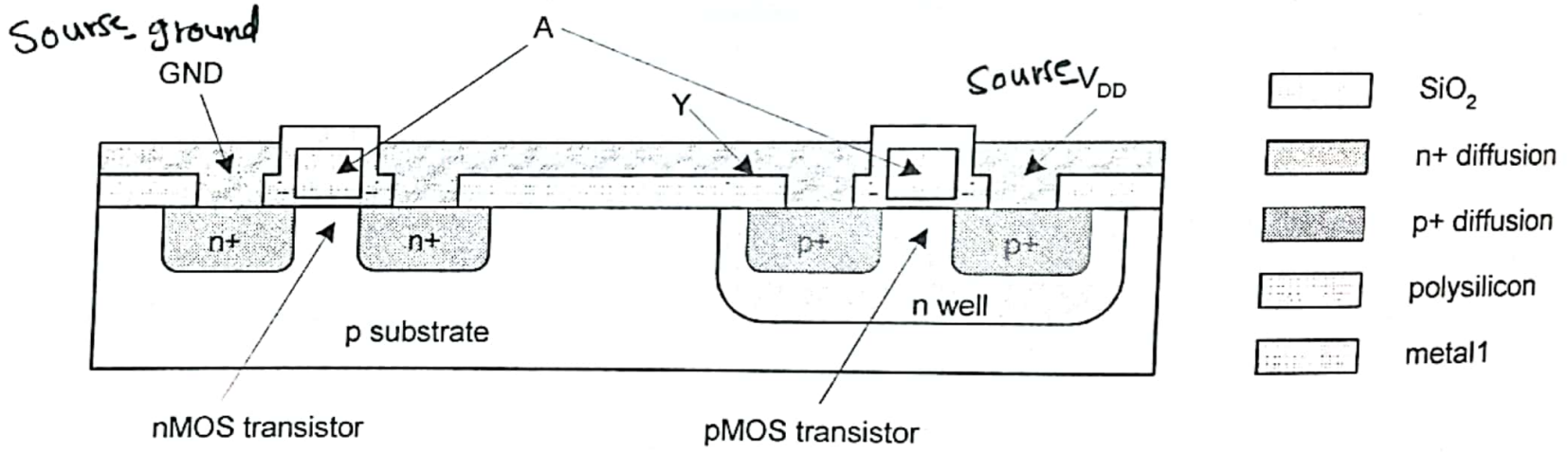
Assistant Professor

University of Jordan

Scanned with CamScanner

Inverter Cross-section

- Typically use p-type substrate for nMOS transistor
  - Requires n-well for body of pMOS transistors
  - Several alternatives: SOI, twin-tub, etc.



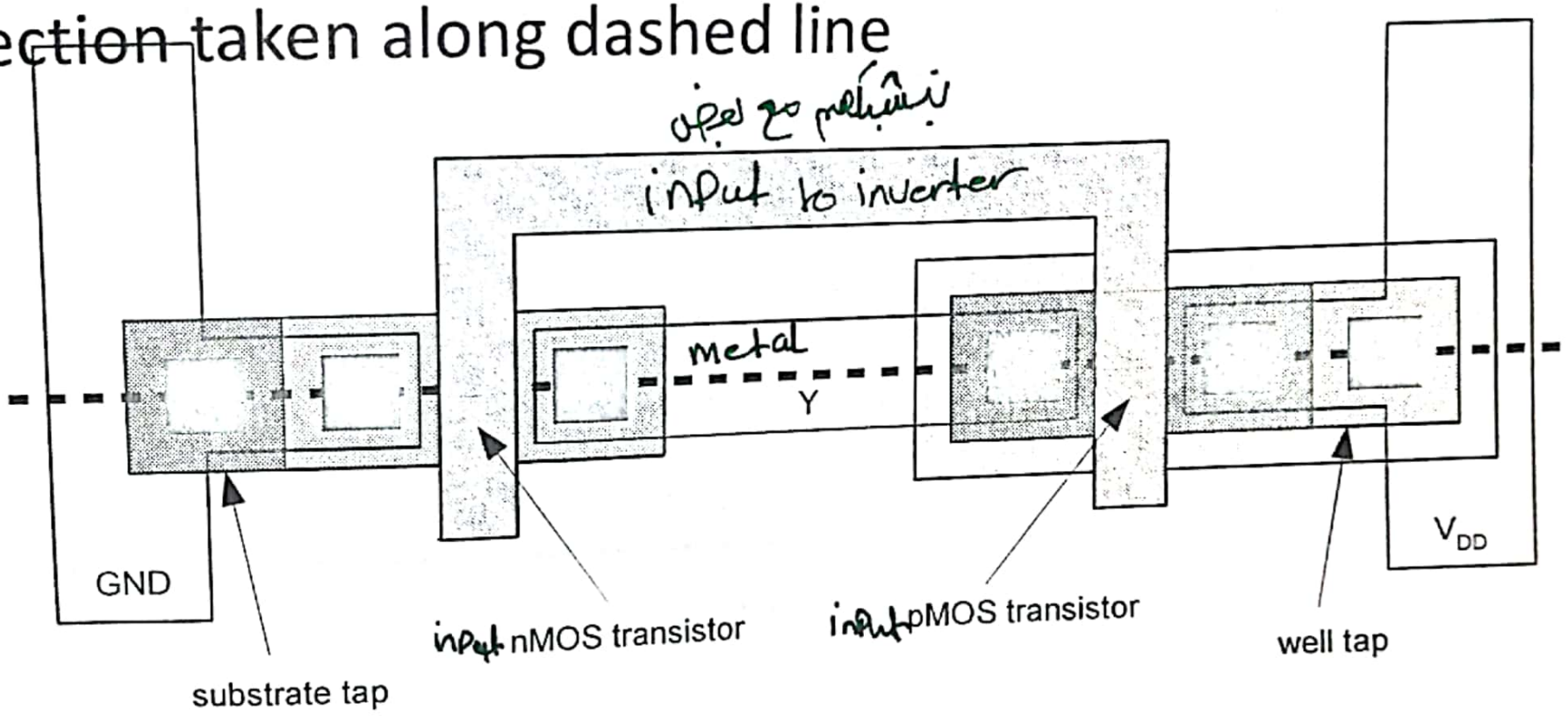
لحبيبي اعمل ال substrate عادي ، لحابيي n well بعطيها pmos substrate

بعطيها اشي p well " " nmos " " " "

Scanned with CamScanner

Inverter Mask Set

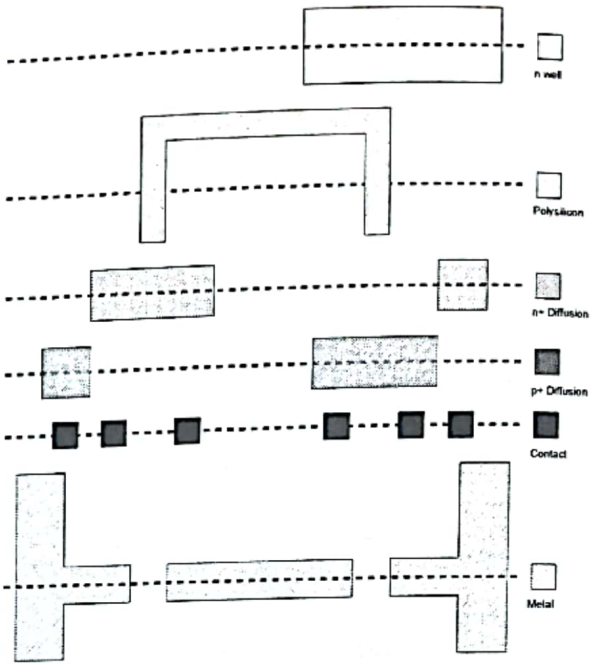
- Transistors and wires are defined by *masks*
- Cross-section taken along dashed line



Scanned with CamScanner

Detailed Mask Views

- Six masks
  - n-well
  - Polysilicon
  - n+ diffusion
  - p+ diffusion
  - Contact
  - Metal



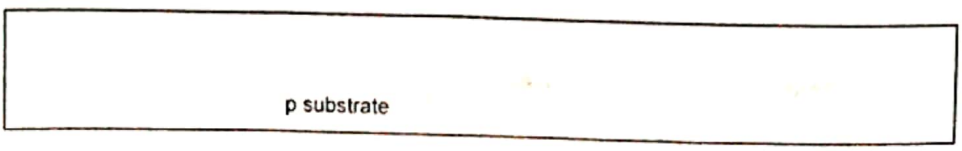
باتجاه اعطي ال drain لـ nmos/pmos كمان اقدر
اقرأ الصيغ الموجود فيه

- ال wafer باتجوي على مليون chip's

- عملية الـ Fabrication تتعيد لكل ال wafer مع بعض
  لازم واحد لكل nMOS / pMOS

Fabrication Steps

- Start with blank wafer
- Build inverter from the bottom up
- First step will be to form the n-well
  - Cover wafer with protective layer of SiO_2 (oxide)
  - Remove layer where n-well should be built
  - Implant or diffuse n dopants into exposed wafer
  - Strip off SiO_2

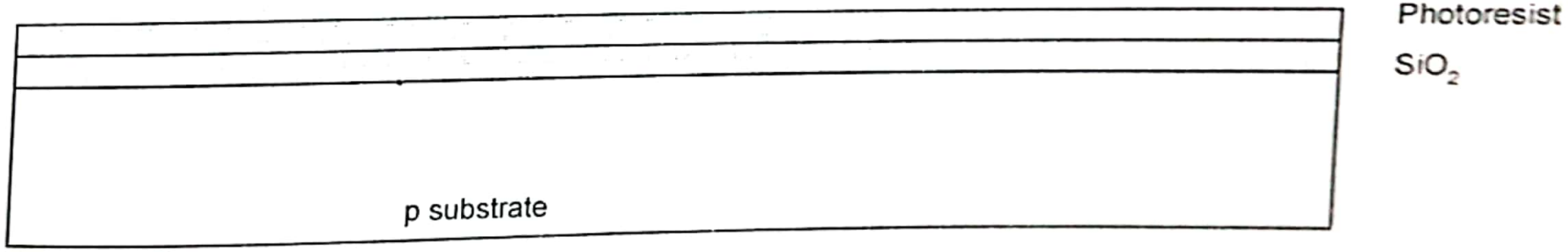


Scanned with CamScanner

Photoresist

هي مادة تتأثر بالضوء حيث لو بدي
اعمل جزء معين منها رح اسلط الضوء على هذا الجزء وبتتحلل

- Spin on photoresist
  - Photoresist is a light-sensitive organic polymer
  - Softens where exposed to light

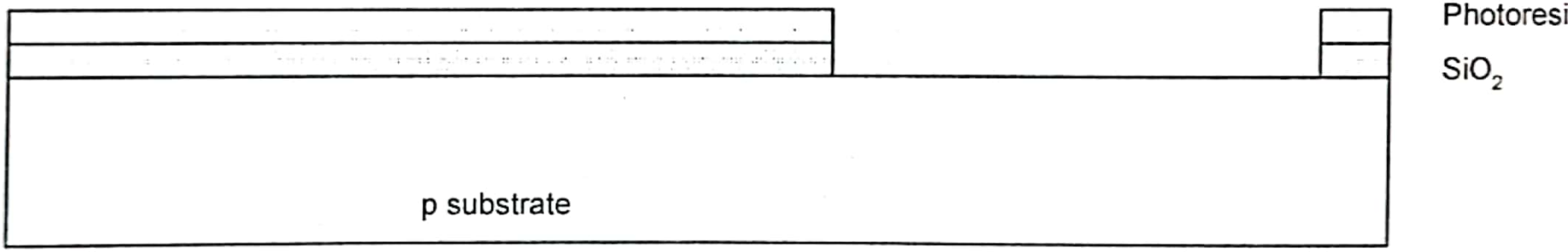


Scanned with CamScanner

Etch

- Etch oxide with hydrofluoric acid (HF)
  - Seeps through skin and eats bone; nasty stuff!!!
- Only attacks oxide where resist has been exposed

ال Substrate حكشوفا بس بالاماكن اللي بدي اعمل فيها الـ n

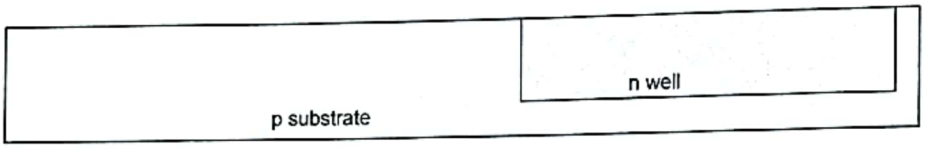


Scanned with CamScanner

Strip Oxide

هاي العملية نبشيل منها المواد اللي
مابدي اياها

- Strip off the remaining oxide using HF
- Back to bare wafer with n-well
- Subsequent steps involve similar series of steps



* لهيدي اعمل الـ gate :-

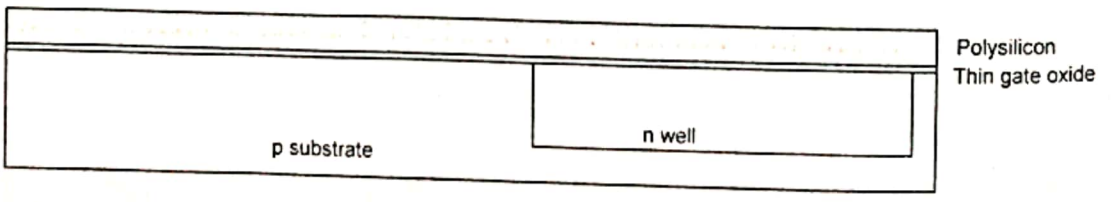
١. بجيب oxide

٢. بجيب PolySillicon

٣. بجيب مقوم Photo resist ، وبسلط الضوء على المكان اللي بدي اياه وبتحلل

Polysilicon

- Deposit very thin layer of gate oxide
  - < 20 Å (6-7 atomic layers)
- Chemical Vapor Deposition (CVD) of silicon layer
  - Place wafer in furnace with Silane gas (SiH_4)
  - Forms many small crystals called polysilicon
  - Heavily doped to be good conductor

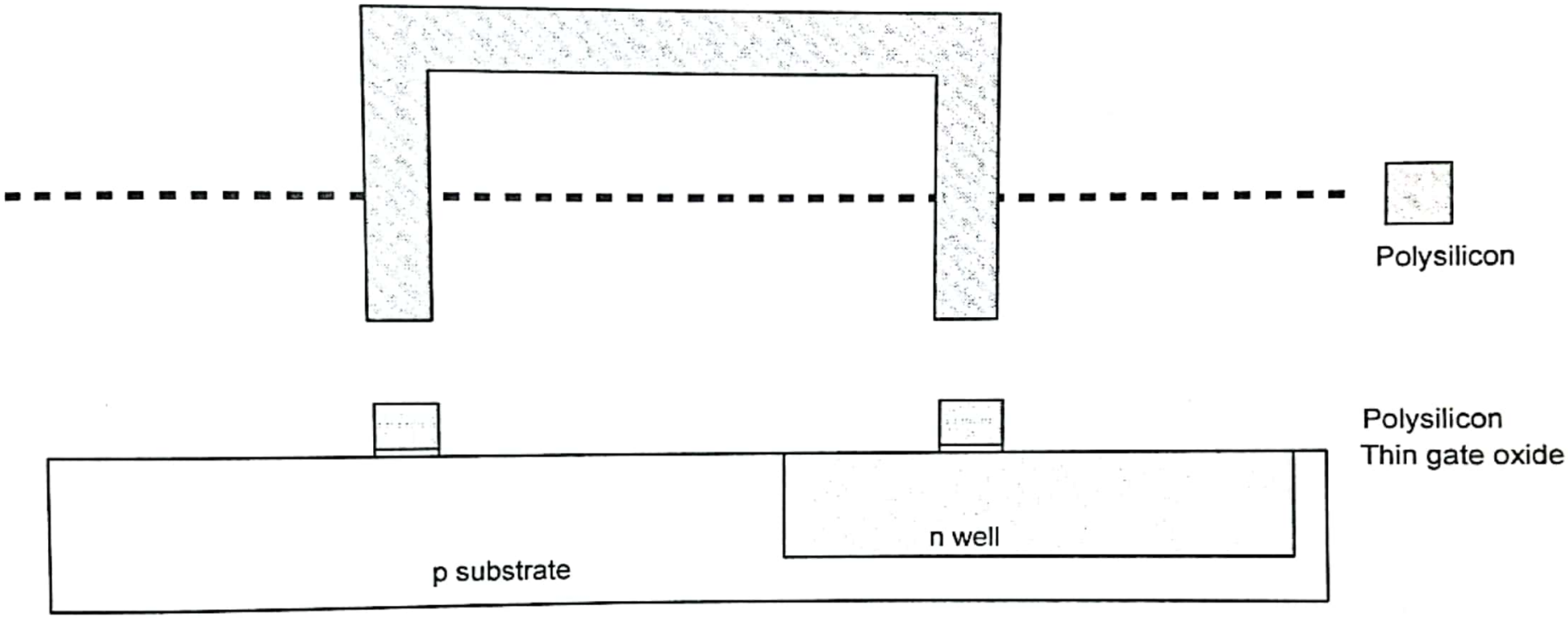


Scanned with CamScanner

Polysilicon Patterning

نبنيو Fabrications لل gate قبل ال
overlab حتى نتجنب ال sourse/drain

- Use same lithography process to pattern polysilicon



Scanned with CamScanner

Self-Aligned Process

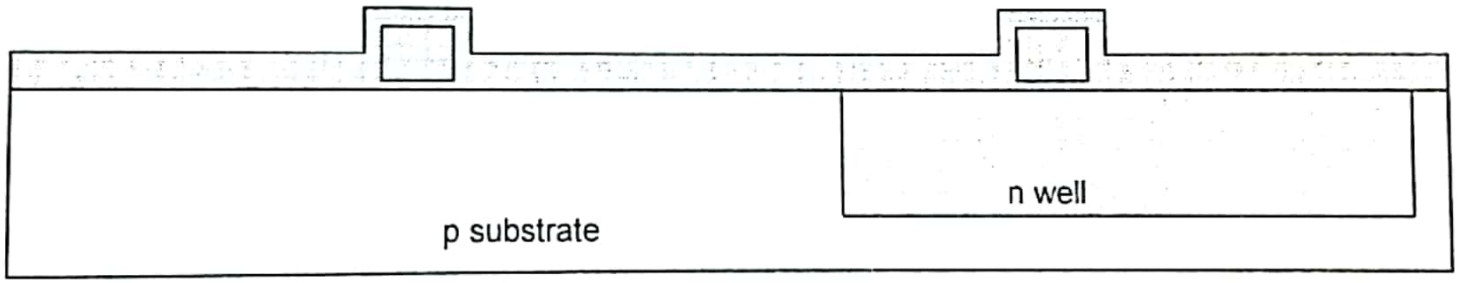
بنفس الخطوات اللي قبل

بدنا نعمل n-plus / P-plus

source drain NMOS

source drain PMOS

- Use oxide and masking to expose where n+ dopants should be diffused or implanted
- N-diffusion forms nMOS source, drain, and n-well contact



Scanned with CamScanner

Layout

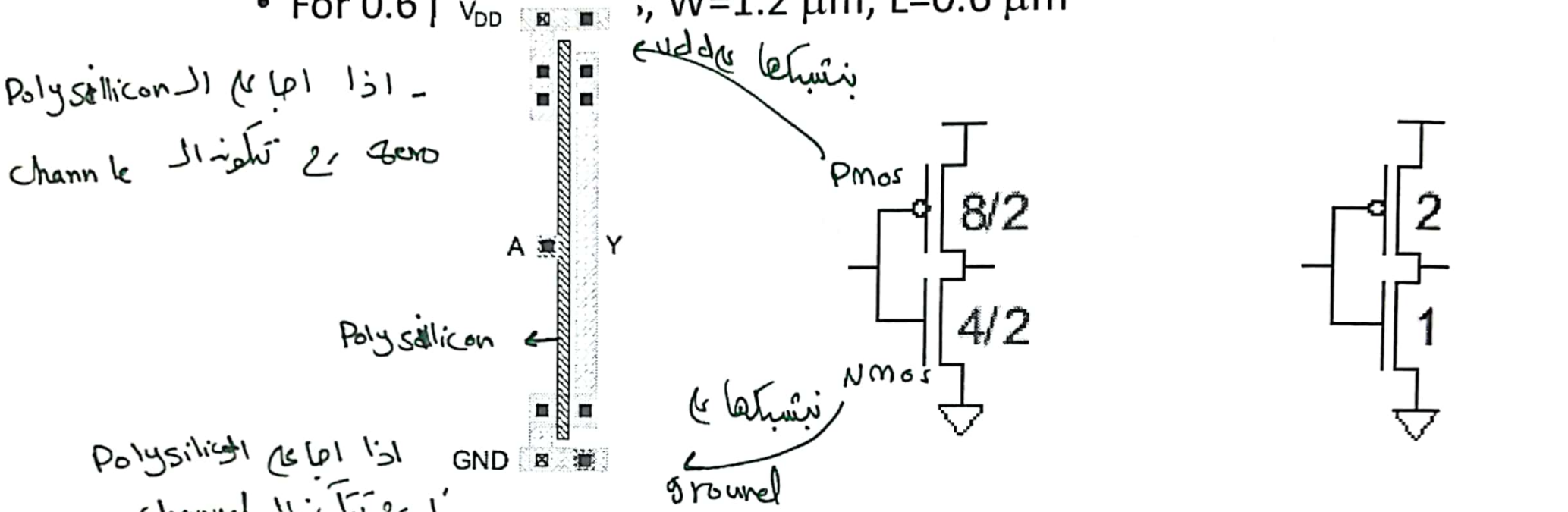
if 32-nano : $L = 2\lambda = 16$ nano

- Chips are specified with set of masks
- Minimum dimensions of masks determine transistor size (and hence speed, cost, and power)
- Feature size f = distance between source and drain
  - Set by minimum width of polysilicon
- Feature size improves 30% every 3 years or so
- Normalize for feature size when describing design rules
- Express rules in terms of $\lambda = f/2$
  - E.g. $\lambda = 0.3\ \mu m$ in 0.6 μm process

Scanned with CamScanner

Inverter Layout

- Transistor dimensions specified as Width / Length
  - Minimum size is 4λ / 2λ, sometimes called 1 unit
  - For 0.6 µ ; W=1.2 µm, L=0.6 µm



Scanned with CamScanner

تمثيل تقديري لـ layout قبل تنفيذه.

Stick Diagrams

- يستخدمها لترتيب الـ Transistor قبل عملية الـ layout في حالات عنا اكثر من واحد.

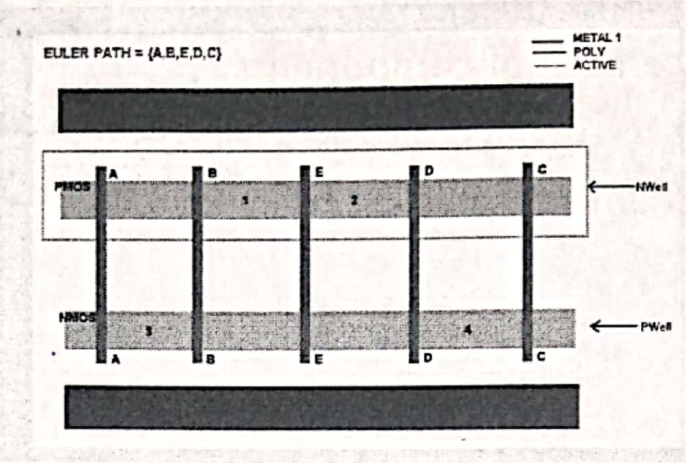
- Does show all components/vias. ... Trans/ wire
- It shows relative placement of components.
- Goes one step closer to the layout
- Helps plan the layout and routing

- تبعرض كل المكونات بس بس التوصيل ما تبعرضه

- تعرض ترتيب الـ Transistor تمثيل عام من يمين وشمال وهكذا..

Scanned with CamScanner

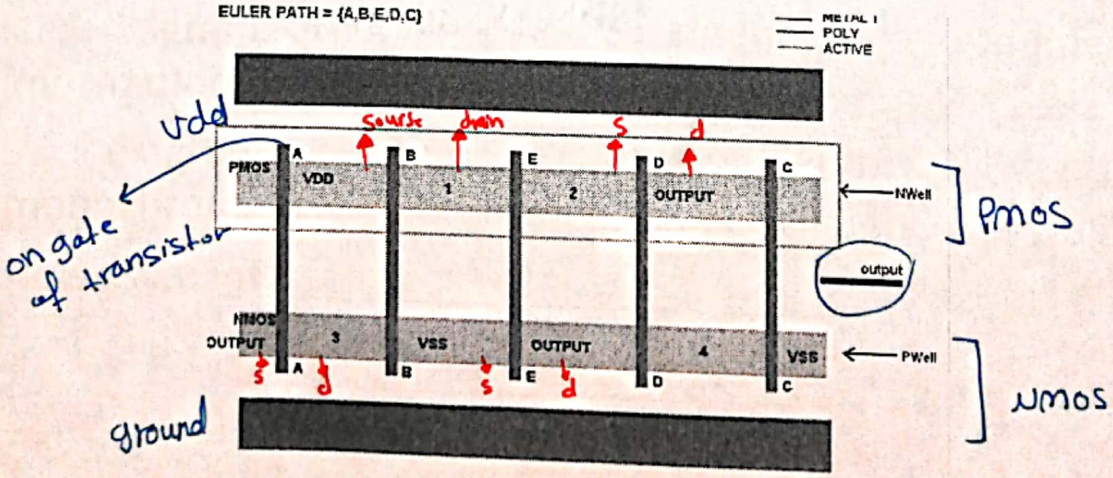
Stick Diagram



-: ~~ق~~ Component ~~ا~~ layout ~~ا~~ ~~ا~~ ~~ا~~

Vdd / ground / out Put --

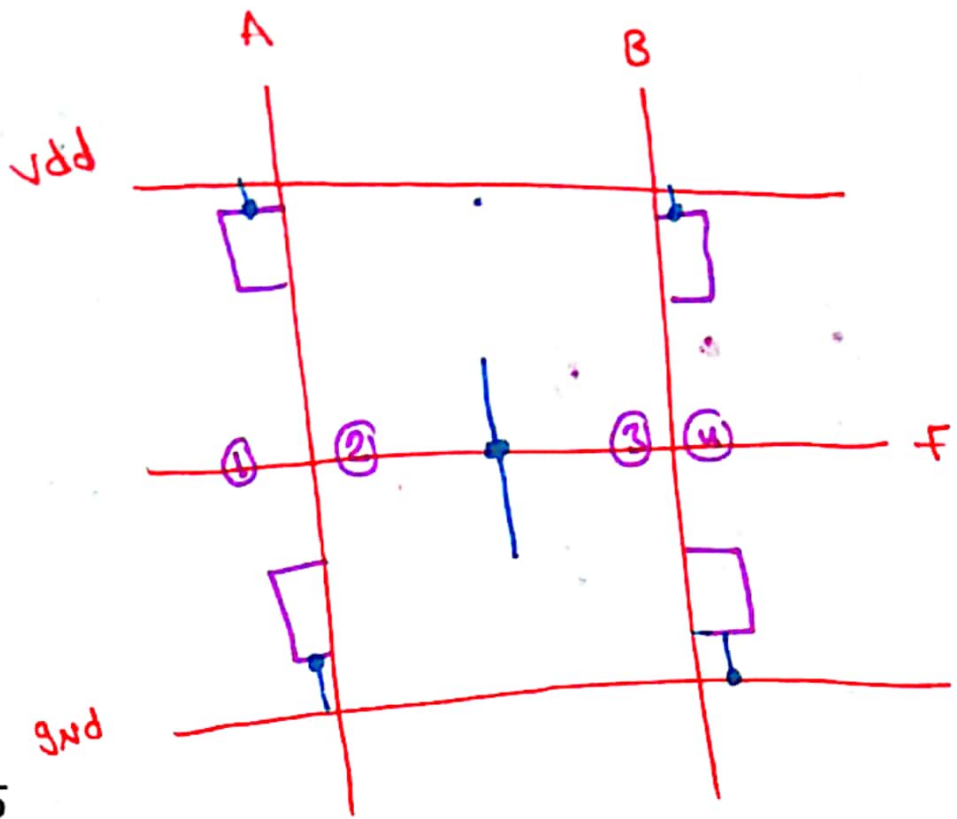
For transistor

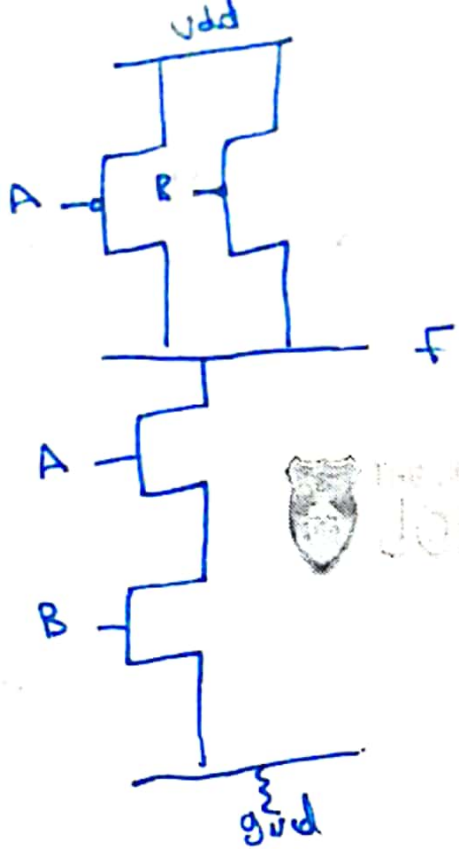


Scanned with CamScanner

Example

- $F = \overline{A \cdot B}$

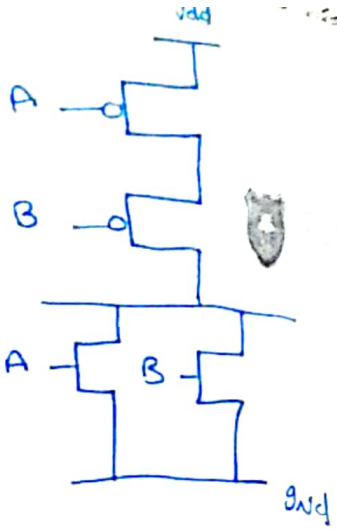




منطقة (2,3) في الـ NMOS/PMOS مشتركين مع بعضهم
S ← d من Channel تكونت الا اذا يشتغلوا بعضهم مع بعض

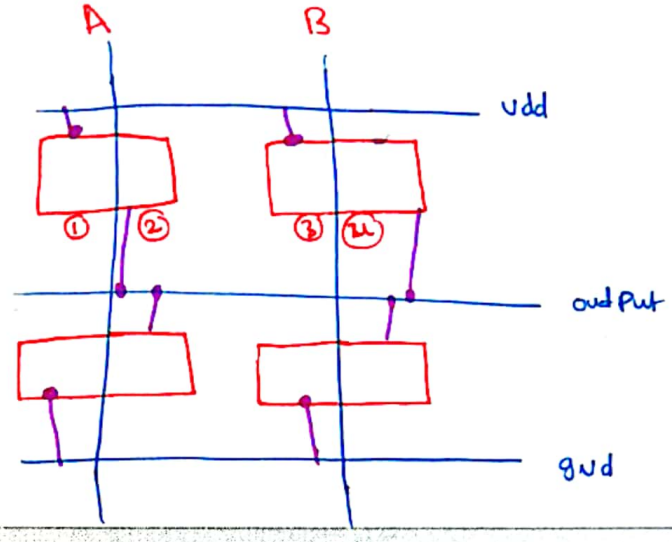
Scanned with CamScanner

- في ال (Pull up) ممكن الي المنطقة (2,3) واشبكهم مع بعض (بعد) منطقة وحدة (لو خلية المنطقة فاضي بدون اسلاك او خطوط) بفهم انهم هدمجين مع بعض.



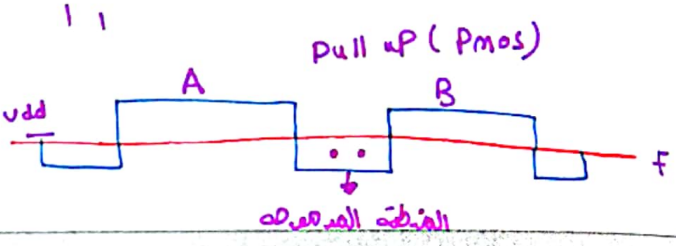
Example

- $F = \overline{A+B}$

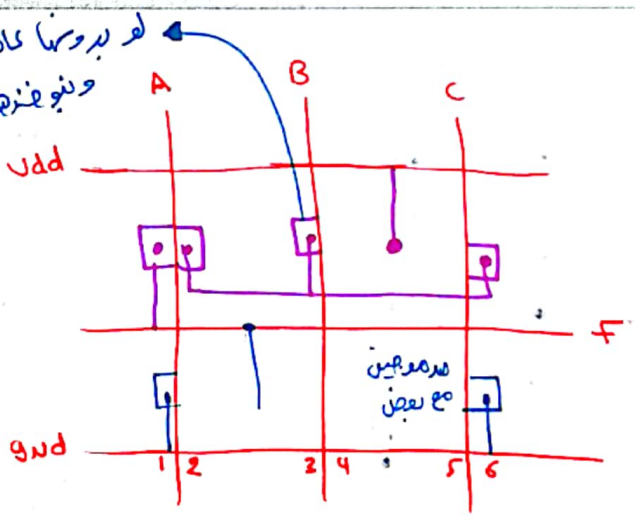


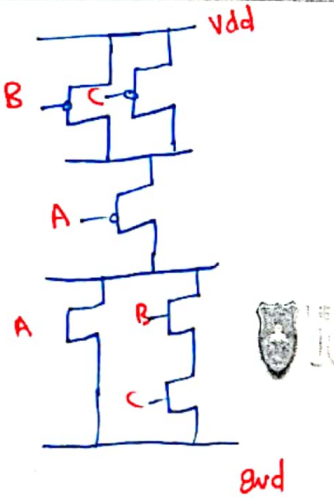
حسب ال input بشتغلوا

A	B
0	0
0	1
1	0
1	1



لو بدونا عادي جمع الكل، نشبكه 2,3 بعض وبنوفرهم سلك واحد





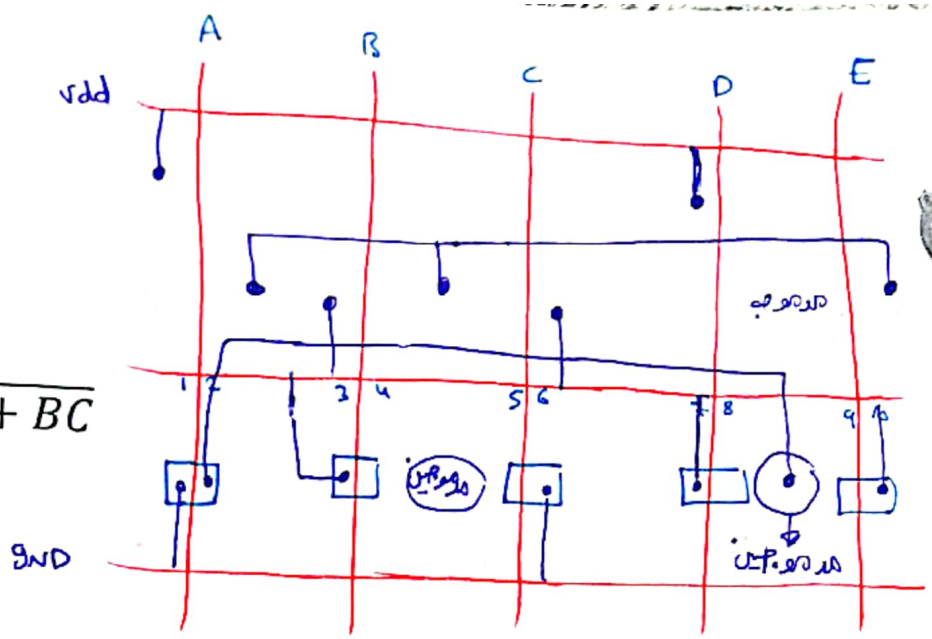
Example

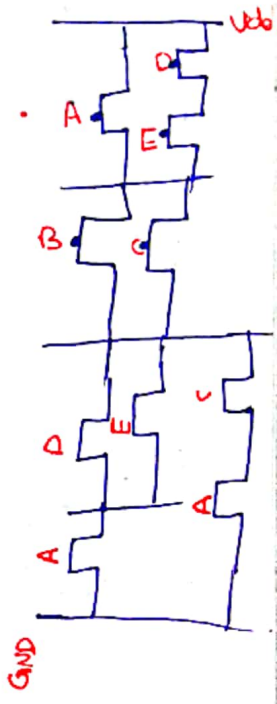
- $F = \overline{A + BC}$

Scanned with CamScanner

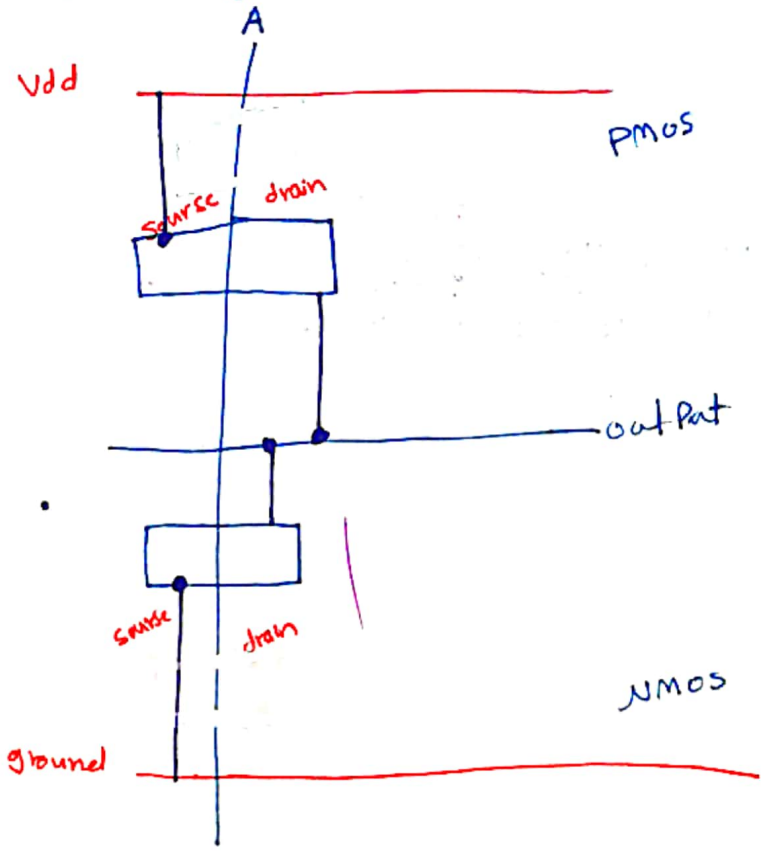
Example

- $F = \overline{A(D+E)+BC}$

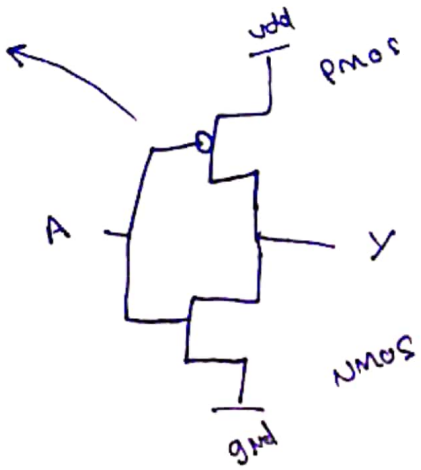




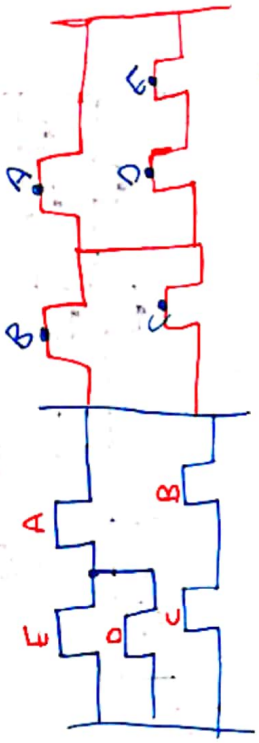
Stick diagram for inverter:-



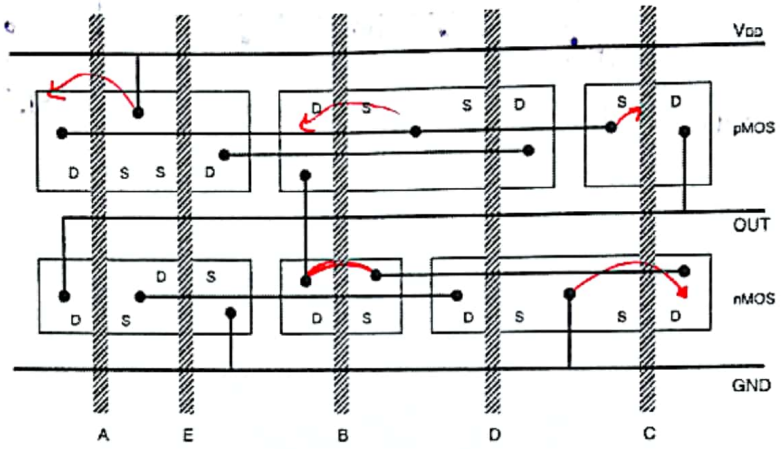
- LVS: تقارنة الlayout بالschematic
وبتشوف هل الlayout بتعكس الschematic صح بالصح ولا لأ؟!
- لازم نكلمنا زي لعضن



Scanned with CamScanner



- حل آخر للسؤال في Slide 33



لو بدي ارجع فيها رجع واربسم
∴ Transistors ال
- بنبلش من الموصل مع ال Ground ونتبع بال الخطوط

35

- وهو صح Pull down ∴
- هو ال Path اللي بسلكه وبتجاوز اول كل الـ Transistors
من دون اعادة المرور بشرط انو عليهم كلهم (تل واحد مرة وحدة)

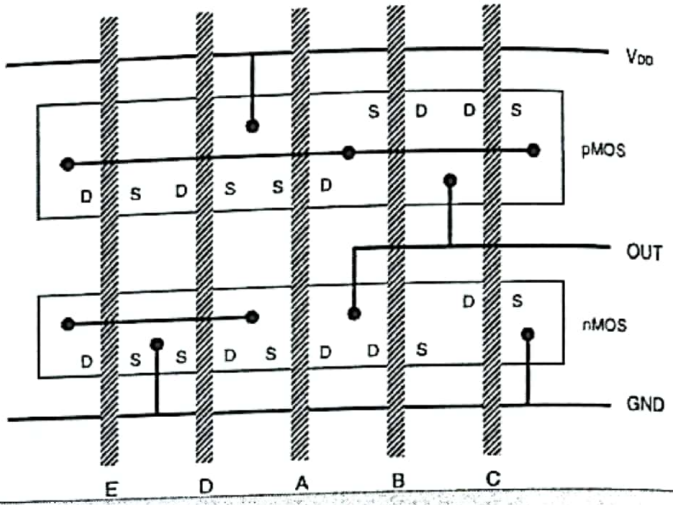
Euler Path

- The number of diffusion breaks can be minimized by changing the ordering of the polysilicon columns
- A simple method for finding the optimum gate ordering is the **Euler-path** approach
- Find a common Euler path for both pull-down and pull-up graphs
- The polysilicon columns can be arranged according to the sequence (in Euler-path)
- Diffusion will be unbroken if identically labeled Euler paths can be found for the p and n trees

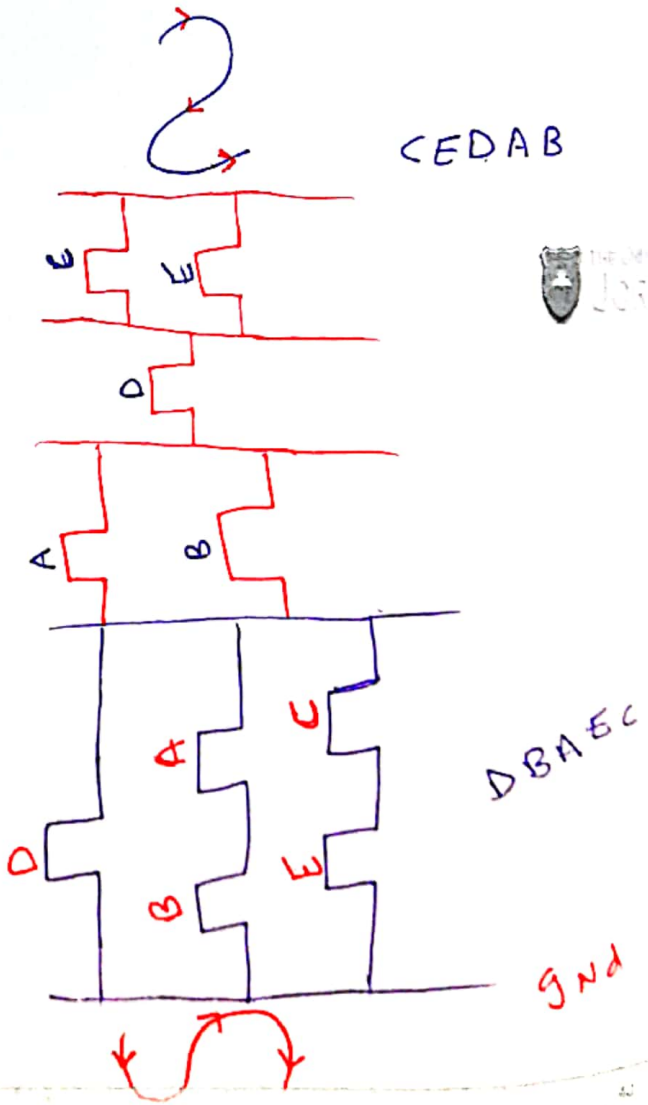
Scanned with CamScanner

- The advantages of this new layout are more compact layout area, simple routing of signals, and consequently, lower parasitic capacitance

- قل عدد ال wire's
- قل ال diffusion region
- حسن ال Performance



* اذا ما لقيت ال Euler Path دغري
بغير التصميم من تاني ويرجع بدون وصيلة..



Euler Path

- $A = \overline{D + AB + CE}$

* حتى ال Pull down لو بدّل ع كانها (A)
آخدك عادي لو كررتها وصارلك Transistor
آخر نبض الرسم

* بال stick diagram ما بتخبص
* لو كنت تقدر اتخربيها بدون ما اغير ال Functionality عادي.

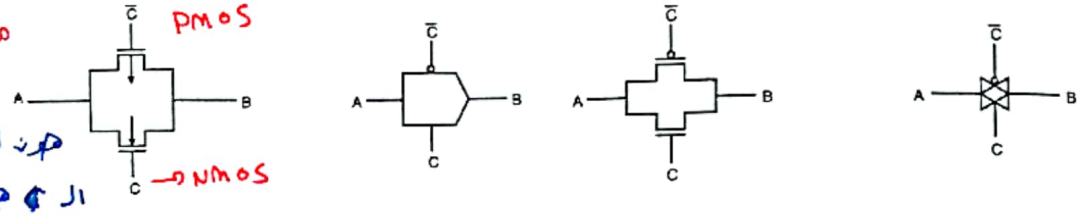
Scanned with CamScanner

وظيفتها نقل الـ Signals من مكان لآخر ولكن ما تبعدل عليه -

CMOS Transmission Gates (Pass Gates)

- Representations of the CMOS transmission gate (TG)

Transmission gate مبدأ عمل الـ



A هون لو دخلنا إشارة على الـ
B بتنقل لـ NMOS رح تنقل لـ PMOS هي الـ
Strong! بتنقل PMOS والـ weak!
فالـ NMOS رح يطفي بنص الطريق

- One nMOS + one pMOS
- Bidirectional switch
- If C=V_{DD}, TG is turned on (low-resistance path)
- If C=GND, TG is turned off (high-impedance state)

وما يكمل وينوقف
جواب الـ PMOS
B على الـ

Control signals
clock signals
input هو A الـ -
ممكن تكون C الـ

if	C	C̄	out Put
	1	0	A
	0	1	hold

43

ممكن اعملها بطريقتين :- Transmission gate الـ

تطلعه زي ما هو بالدخل بدون تعديل

Two-transistors ← زي اللي فوق
فوق بعض ١.
اما مع الليلو
او لو دخلنا هاي

Two inverter back to back . ٢ ←
تتعدل شوي

input (A) الجهتين رح يوخذوا
output (A) ويعطوا

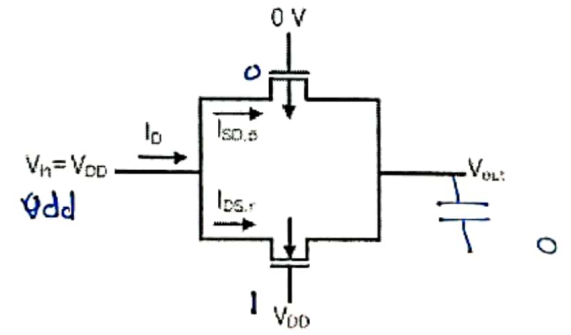
Note:- —▷o—▷o—

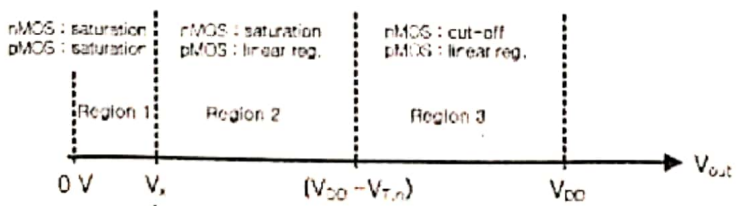
DC Analysis of Transmission Gate (1)

- اول اشي رح يشتغل اثنين وبكونوا بالـ Saturation

- الـ NMOS رح يطفي مع الوقت

- الـ PMOS رح ينقل الى linear ويكمل لحد ما يوصل الـ out لـ Vdd.



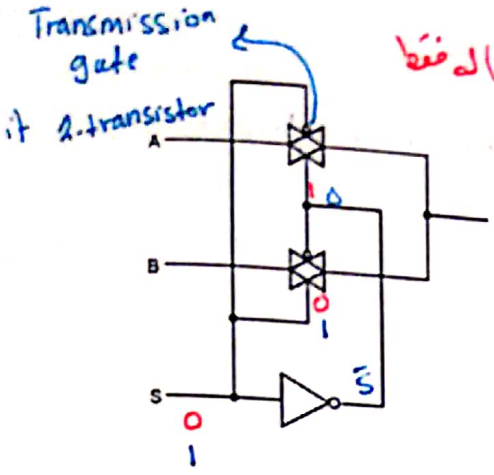


رح نشوفه بتاداً مع الـ PMOS

Scanned with CamScanner

CMOS TG Implementations (1)

- Two-input multiplexor



Nand → 4- transish
NOR → " "
invater → 2-trans

six transistors اصبحت

$\overline{A \oplus B} = A \odot B$

$\overline{A \odot B} = A \otimes B$

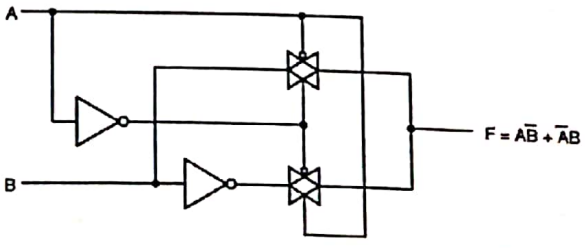
$\overline{F = \bar{A}\bar{B} + AB}$

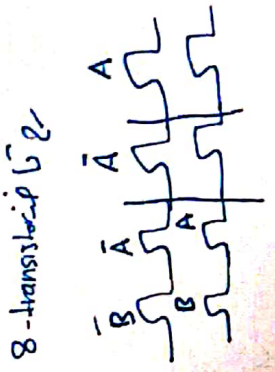
XOR تعطين

XNOR

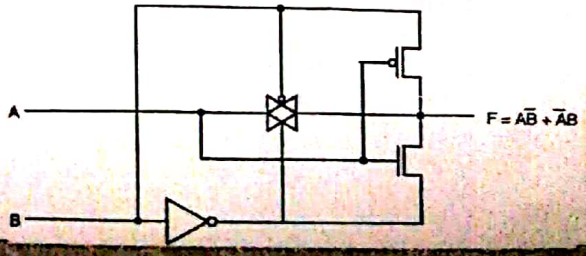
$\overline{XOR} = XNOR$

- 8-TRs XOR function





- 6-TRs XOR function



Scanned with CamScanner

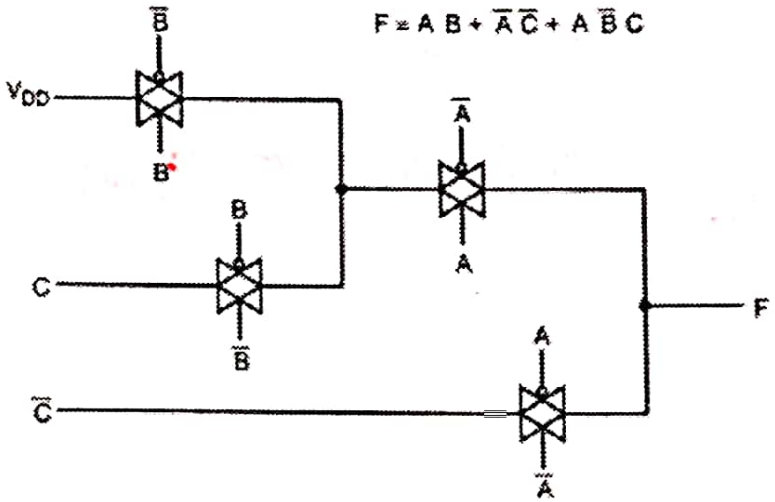
CMOS TG Implementations (2)

- Boolean function realization

Complex function لویدی اصله زی

22-transistor ح تیطلب

transistor بس هوز استخدمنا

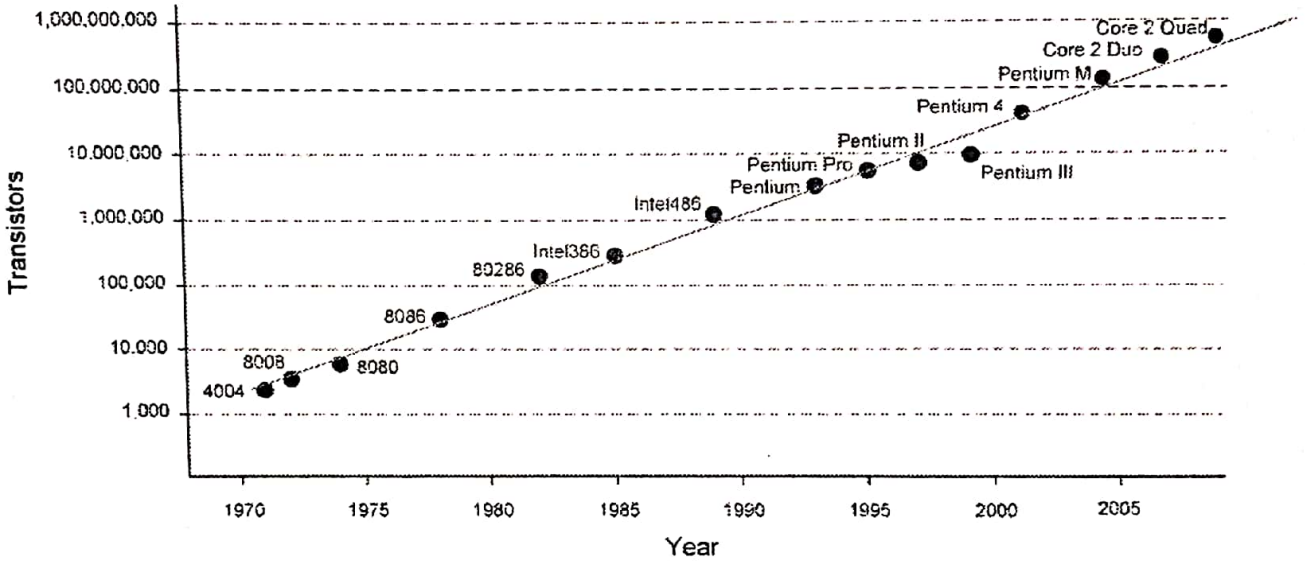


Scanned with CamScanner

Moore's Law

حسب Moore's عدد الـ Transistor تتضاعف كل سنتين
وهذا جيد نسبيًا لأنه يقدر ينفذ عمليات أكثر خلال وقت أقل لكن الخلل يكون اني ما يقدر ازيد الـ freq بسبب زيادة الـ Powerwall

- Recall that Moore's Law has been driving CMOS



Moore's Law today

Scanned with CamScanner